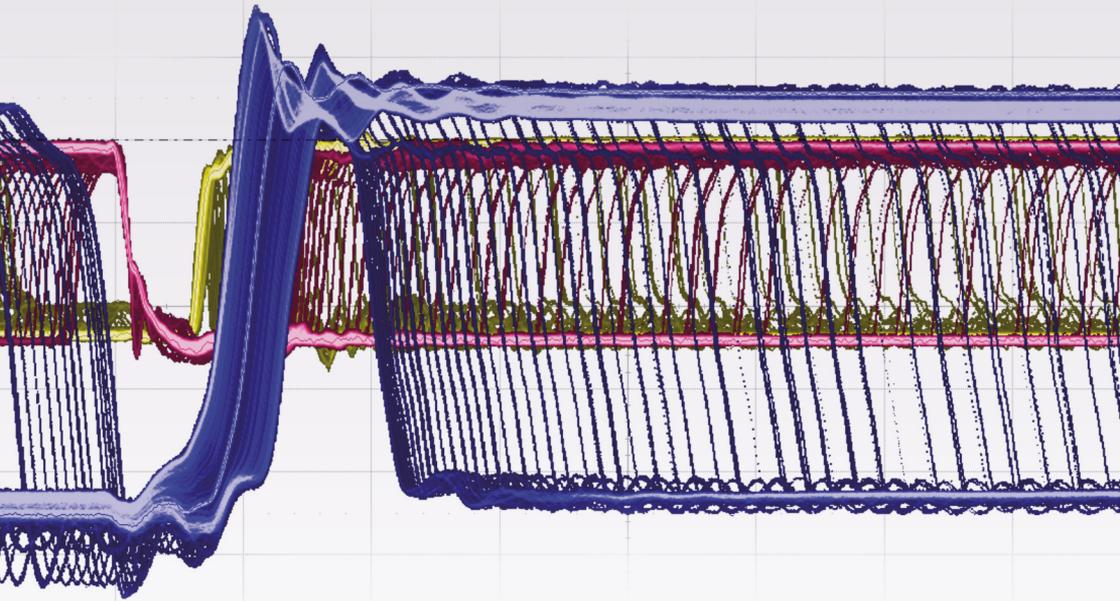


Siliziumkarbid-Transistoren für Audioverstärker der Klasse-D

Verena Grifone Fuchs



Siliziumkarbid-Transistoren für Audioverstärker der Klasse-D

Verena Grifone Fuchs

universi
UNIVERSITÄTSVERLAG SIEGEN

Siegen 2018

Siliziumkarbid-Transistoren für Audioverstärker der Klasse-D

Von der Naturwissenschaftlich-Technischen Fakultät
der Universität Siegen

zur Erlangung des akademischen Grades
Doktor der Ingenieurwissenschaften
Dr.-Ing.

genehmigte
DISSERTATION
vorgelegt von

Dipl.-Ing. Verena Grifone Fuchs
aus Betzdorf (Sieg)

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.dnb.de> abrufbar.

1. Gutachter: Prof. Dr.- Ing. Dietmar Ehrhardt
2. Gutachter: Prof. Dr.- Ing. Günter Schröder
Vorsitzender: Prof. Dr.- Ing. Rainer Brück

Tag der Disputation: 14. Juli 2017

Analoge Schaltungstechnik

Prof. Dr.- Ing. Dietmar Ehrhardt
Naturwissenschaftlich-Technische Fakultät
Universität Siegen
57068 Siegen

Rechte:

bei der Autorin

Druck:

Uni Print, Universität Siegen

Siegen 2018: universi – Universitätsverlag Siegen
www.uni-siegen.de/universi

Gedruckt auf alterungsbeständigem holz- und säurefreiem Papier.

urn:nbn:de:hbz:467-1245-3

ISBN: 978-3-96182-012-2

DIE GESCHICHTE VOM GATE-TREIBER
UND DEN SCHNELLEN TRANSISTOREN

für Nico

Kurzfassung

Im Wesen der Musik liegt es, Freude zu bereiten.

Aristoteles, ca. 334 v. Chr.

Der Klang von Musik hat die Menschen seit jeher fasziniert. Im Vergleich zu Aristoteles' Zeit, ist ein Konzertbesuch heute nicht mehr nur eine willkommene Abwechslung, sondern ein Klangerlebnis, welches durch die Unterstützung von Licht-, Ton- und Videotechnik zu einem emotionalen Moment wird. Folglich müssen die in der Tontechnik eingesetzten Audioverstärker höchsten Anforderungen bezüglich Audioqualität und Wirkungsgrad genügen. Zum Erreichen der benötigten Gesamtleistung kann eine Beschallungsanlage aus über 100 einzelnen Audioverstärkern bestehen. Mit steigender Geräteanzahl nimmt der Aufwand der Verkabelung sowie die physische Anstrengung zum Auf- und Abbauen der Beschallungsanlage zu. Obwohl die Komplexität einer Beschallungsanlage durch schaltende Verstärker der Klasse-D reduziert würde, werden meist Verstärker bevorzugt, deren Leistungstransistoren linear arbeiten (Klasse-H). Die linearen Verstärker werden u.a. wegen der geringen harmonischen Verzerrungen geschätzt, da dies zu einer höherwertigen Audioqualität führt. In einem Klasse-D-Verstärker hingegen entstehen vermehrt harmonische Verzerrungen, welche u.a. durch die Transistoren in der Schaltstufe verursacht werden. Zur Zeit können diese Verzerrungen durch komplexe Rückkopplungs-Topologien mit einem erheblichen Aufwand in der Entwicklung lediglich reduziert werden.

Ziel dieser Dissertation ist es, das Potential von Transistoren aus Siliziumkarbid (SiC) für die Klasse-D-Technik zu ergründen, um bei der Ursache der harmonischen Verzerrungen anzusetzen. Das schnelle Schaltverhalten der SiC-Transistoren könnte genutzt werden, um die Entstehung der harmonischen Verzerrungen in der Leistungsstufe vom Grunde her zu reduzieren und so die Audioqualität in dieser Hinsicht zu verbessern. Darüber hinaus ergeben sich weitere viel versprechende Vorteile, beispielsweise im Zusammenhang mit Ausgangsleistung und Wirkungsgrad. In dieser Arbeit werden vier Endstufen eines Klasse-D-Verstärkers entwickelt und charakterisiert. Die fundierte Analyse der Audioqualität deckt interessante Aspekte bezüglich der etablierten Theorie eines D-Verstärkers auf. Insbesondere die Erkenntnisse im Kontext von Leistung und Wirkungsgrad sind auch auf andere schaltende Anwendungen in der Leistungselektronik übertragbar. Darüber hinaus wird der Zusammenhang zwischen den Halbleitereigenschaften des Transistors und der Entstehung von harmonischen Verzerrungen erstmalig ausführlich ergründet. Die Analyse-Ergebnisse sind jeweils im Kapitel *Einfluss der Transistor-Charakteristika auf...* zusammengestellt.

Der Einsatz von Siliziumkarbid-Transistoren würde in vielen Aspekten der Klasse-D-Technik neue Perspektiven eröffnen. Die vorliegende Dissertation widmet sich der Untersuchung von Audioqualität, Leistung und Wirkungsgrad.

Abstract

It is part of the nature of music to give joy.

Aristoteles, 334. B.C.

The sound of music has always fascinated mankind. In contrast Aristoteles' time, visiting a concert is more than mere entertainment in the normal course of life – nowadays, it is a splendid performance, turned into an emotional moment by light and audio engineering. To meet the arising demands, the audio engineering must utilise a so-called public address system (PA system) consisting of an array of single amplifiers, to drive loudspeakers. Each amplifier requires high performance in terms of energy efficiency and audio quality. In order to achieve the desired power level, a PA system may consist of over 100 single amplifiers. The intricacy of wiring as well as the physical effort to build up a PA system increase rapidly with the number of amplifiers. Although the complexity of a PA system could be reduced using switch-mode class-D amplifiers, in the majority of cases linear class-H amplifiers are used. These linear amplifiers are less efficient but provide excellent audio quality due to low harmonic distortion. A switch-mode class-D amplifier works efficiently but generates harmonic distortion to a greater extent. Currently, this harmonic distortion is generally reduced by complex feedback topologies requiring major time and effort during the designing process of the amplifier.

This thesis investigates the benefit of silicon carbide (SiC) transistors for the power stage of a class-D amplifier, since harmonic distortion is also caused by the power stage devices. The fast-switching SiC-transistors may partially resolve the root of the poorer sound quality by minimising the harmonic distortion of the power stage. Further advantages also arise; e.g. concerning output power and efficiency. In this work, four class-D power stages are developed and characterised. Detailed analysis of the audio quality reveals interesting aspects relating to existing class-D amplifier theory. The outcome, particularly with regard to output power and efficiency, may be transferred to other switch-mode applications in power electronics. Beyond that, the relationship between the transistor's semiconductor-characteristics and the source of harmonic distortion is investigated in detail for the first time. The results are outlined in each chapter beginning with *Einfluss der Transistor-Charakteristika auf...*

The use of silicon carbide power devices would open new prospects in many aspects of class-D amplifier performance. This work examines these aspects with respect to audio quality, output power and efficiency.

Inhaltsverzeichnis

1	Einleitung	1
2	Grundlagen	5
2.1	Funktionsweise eines Verstärkers der Klasse-D	5
2.2	Topologien für die Schaltstufe	8
2.2.1	Halbbrücke	8
2.2.2	Vollbrücke	9
2.2.3	sonstige Topologien	10
2.2.4	Auswahl der Topologie	11
2.3	Modulationstechniken zur Gewinnung des Steuersignals	12
2.3.1	Analoge Pulsweiten-Modulation (NPWM)	13
2.3.2	Digitale Pulsweiten-Modulation (PWM)	16
2.3.3	Sigma-Delta-Modulation	20
2.3.4	Click-Modulation	22
2.3.5	Auswahl des Modulators	25
2.4	Audioqualität	28
2.4.1	Grundsätzliche Entstehung von Verzerrungen	29
2.4.2	Definition der PWM Central Region	30
2.4.3	Etablierte Theorie: Einfluss der Schaltstufe auf die Audioqualität	33
2.4.4	Neue Theorie: Einfluss der Schaltstufe auf die Audioqualität	36
2.4.5	Messverfahren <i>Flankenmodulation</i>	38
2.4.6	Definition der <i>effektiven Totzeit</i>	43
2.4.7	Verzerrungen des Ausgangssignals infolge der effektiven Totzeit	44
2.4.8	Gültigkeitsgrenzen der bestehenden Theorie	49
2.5	Leistung	50
2.5.1	Durchlassverluste und Durchlassenergie	50
2.5.2	Schaltverluste und Schaltenergie	51
2.6	Stand der Technik	52
2.6.1	Leistungstransistoren	52
2.6.2	Rückkopplungs-Topologien	52
3	Siliziumkarbid	61
3.1	Potential von Siliziumkarbid für Klasse-D-Verstärker	61
3.2	Auswahl der Transistoren für den Vergleich	62
4	Entwicklung der Endstufen	67
4.1	Das Schaltungs-Konzept zusammengefasst	67

4.2	DSP als Modulator	69
4.2.1	Grundfunktionen des DSP	69
4.2.2	Erzeugung des PWM-Steuersignals	71
4.2.3	Verzerrungen und Störabstand	73
4.2.4	Ermittlung der optimalen Totzeit	74
4.3	Gate-Treiber-Schaltkreis	78
4.3.1	Erzeugung der Spannungsversorgung für die Gate-Treiber	78
4.3.2	Dimensionierung der Gate-Vorwiderstände	80
4.3.3	Ansteuerung der SiC-JFET-Endstufe	82
4.4	Schaltstufe	89
4.4.1	Entlastungsnetzwerk (Snubber)	89
4.4.2	Kurzschlussicherung für den selbstleitenden JFET	94
4.5	Externe Spannungsversorgungen	97
4.5.1	Spannungsversorgung des Kleinsignalteils	97
4.5.2	Spannungsversorgung der Leistungsstufe	97
4.6	Ausgangsfiler	97
4.6.1	Kondensator	98
4.6.2	Drossel	98
4.7	Layout der Leiterplatte	99
4.7.1	Lagenaufbau des Leistungsteils	99
4.7.2	Masselagen	100
4.7.3	Plazierung und Anbindung der Entkoppel-Elemente	100
4.7.4	Leiterbahnführung	103
5	Schaltverhalten	105
5.1	Messequipment und Definitionen	105
5.2	Schaltverhalten in der PWM Central Region	108
5.2.1	Reverse-Recovery-Verhalten im Leerlauf	108
5.2.2	Anstiegs- und Abfallzeiten im Leerlauf	108
5.2.3	Schaltverzögerung im Leerlauf	110
5.2.4	Rippelstrom-Messung und -Berechnung	111
5.2.5	Rippelstrom am Ende der PWM Central Region	112
5.2.6	Nulllinie im Leerlauf	113
5.2.7	Flankenmodulation am Ende der Central Region	114
5.3	Schaltverhalten bei hoher Aussteuerung	116
5.3.1	Reverse-Recovery-Verhalten unter Aussteuerung	116
5.3.2	Anstiegs- und Abfallzeiten unter Aussteuerung	117
5.3.3	Schaltverzögerung unter Aussteuerung	119
5.3.4	Flankenmodulation unter Vollaussteuerung	120
5.4	Einschätzung parasitärer Bauteile am Brückenknoten	123
5.5	Einfluss der Transistor-Charakteristika auf das Schaltverhalten der Halbrücke	127
6	Audioqualität der Endstufen	133
6.1	Harmonische Verzerrungen (THD)	133

6.1.1	Rauschgerade und Central Region	135
6.1.2	Hohe Aussteuerung	138
6.1.3	Mittlere Aussteuerung	139
6.2	Vergleichsmessung mit identischer DSP-Totzeit	142
6.2.1	Rauschgerade und PWM Central Region	142
6.2.2	Mittlere und hohe Aussteuerungen	143
6.2.3	Schlussfolgerungen	143
6.3	Einfluss der Transistor-Charakteristika auf die Audioqualität	145
7	Leistung und Wirkungsgrad	147
7.1	Wirkungsgrad	147
7.2	Analyse der Verlustleistung	149
7.3	Schlussfolgerung bezüglich Ausgangsleistung und Wirkungsgrad	153
7.4	Tendenz für Messergebnisse mit optimaler Totzeit	154
7.5	Einfluss der Transistor-Charakteristika auf Leistung und Wirkungsgrad	156
8	Fazit und Ausblick	159
Anhang		164
Anhang A Ergänzung zu den Grundlagen und Siliziumkarbid		165
A.1	Aussteuerung eines D-Verstärkers als Halbbrücke	166
A.1.1	Leerlauf bis geringe Aussteuerung – Central Region	166
A.1.2	Positive Aussteuerung	170
A.1.3	Negative Aussteuerung	172
A.2	Technologischer Querschnitt der Transistoren	176
A.3	Kapazitätsverläufe der Transistoren über V_{DS}	178
Anhang B Ergänzung zur Entwicklung der Endstufen		181
B.1	Belegung der Oszilloskop-Kanäle	181
B.2	Belegung der GPIO-Ports des Piccolo-DSPs	181
B.3	Sperrspannungen des CoolMOS-Transistors	182
B.4	Zusammenhang zwischen Leerlauf-Verlustleistung und DSP-Totzeit	183
B.5	Gateströme zum Ein- und Abschalten	184
B.6	Messungen mit und ohne Entlastungsnetzwerk (Snubber)	186
B.7	Stromlaufplan und Layout der Endstufen	192
B.8	Auswirkung von Layout-Fehlern auf die Funktion der Schaltung	204
Anhang C Messungen zum Schaltverhalten		205
C.1	Reverse Recovery im Leerlauf	206
C.2	Umladezeiten und Schaltverzögerung im Leerlauf – optimale DSP-Totzeit	208
C.3	Umladezeiten und Schaltverzögerung im Leerlauf – identische DSP-Totzeit	210
C.4	Nulllinie im Leerlauf	212
C.5	Flankenmodulation am Ende der Central Region	214

C.6	Reverse Recovery unter Aussteuerung	216
C.7	Umladezeiten und Schaltverzögerung unter Aussteuerung – optimale DSP-Totzeit	218
C.8	Umladezeiten und Schaltverzögerung unter Aussteuerung – identische DSP-Totzeit	220
C.9	Flankenmodulation unter Vollaussteuerung – optimale DSP-Totzeit	222
C.10	Flankenmodulation unter Vollaussteuerung – identische DSP-Totzeit	224
C.11	Parasitäre Bauteile der Filterkomponenten	226
Anhang D Messungen zur Verlustleistung		229
D.1	Verlustleistung und- Energie im Leerlauf	230
D.2	Verlustleistung und- Energie für 7 A	232
D.3	Verlustleistung und- Energie unter Vollaussteuerung	234
Anhang Literaturverzeichnis		237

Kapitel 1

Einleitung

Das Hören ist der Ursprung der vernünftigen Seele, und die Vernunft spricht mit dem Klang, und der Klang ist gleichsam Denken, und das Wort ist gleichsam Werk.

Hildegard von Bingen (1098 - 1179)

Im Gegensatz zum Sehen, bei dem der Blick hin- oder abgewendet werden kann, ist das Ohr für jegliche Schallrichtung immer offen. Der Hörsinn kann nicht abgeschaltet, so wie die Augen geschlossen werden können. Musik erlangt immer direkten Zugang zu unserem Inneren, wie auch Aristoteles schon feststellte:

„Es gibt aber nichts, worin Zorn und Sanftmut, worin Tapferkeit, Mäßigung und alle andere[n] moralische[n] Eigenschaften, nebst ihrem Entgegengesetzten sich so deutlich und ähnlich abbildeten [...] als im Gesang und im Rhythmus. [...] Die ganze Stimmung des Gemüts ändert sich, wenn man verschiedene Arten der Musik hört.“
– Aristoteles (384 - 322 v. Chr.) [1].

Der Klang von Musik faszinierte die Menschheit bereits vor Beginn unserer Zeitrechnung. Die Musik, sei sie gespielt oder wiedergegeben, ist gleichwohl Unterhaltung, Ausgleich und Trost im alltäglichen Leben. Mit dem technischen Fortschritt haben sich auch die Möglichkeiten der Unterhaltung in der heutigen Zeit geändert. Ein Konzertbesuch ist nicht mehr nur eine willkommene Abwechslung, sondern ein Klangerlebnis, welches unterstützt durch beeindruckende Lichtkonzepte und aufwendige Videoeinspielungen zu einem emotionalen Moment wird. Die Anforderungen an die Beschallungsanlage im Hinblick auf Klang und Leistung der eingesetzten Audioverstärker sind nicht minder hoch. Die erforderliche Ausgangsleistung einer Beschallungsanlage kann nicht mehr nur von einem einzelnen Verstärker aufgebracht werden. Um den Beschallungsanforderungen gerecht zu werden, ist es daher notwendig, mehrere Leistungsverstärker gleichzeitig zu verwenden und ggf. zu synchronisieren. Für ein Konzert mit 30000 Besuchern können durchaus 60-100 Leistungsverstärker parallel im Einsatz sein. Die Verstärkerzahl steht hierbei in Zusammenhang mit der Anzahl an Kanälen, welche für diverse Hochtון- und Bass-Lautsprecher im Auditorium sowie zur Monitor-Verstärkung für die Musiker auf der Bühne benötigt werden. Mit der Geräte-Quantität wachsen nicht nur die Kosten, sondern auch der Verkabelungsaufwand und die physische Anstrengung beim Auf- und Abbauen der Beschallungsanlage. In diesem Kontext spielen auch Gewicht und Gerätegröße eine entscheidende Rolle.

Um die Komplexität einer Beschallungsanlage zu reduzieren sind leistungsstarke Einzelgeräte von geringem Gewicht und Geräte-Ausmaß erforderlich. Die Geräteanzahl

kann reduziert werden, wenn der einzelne Verstärker durch einen höheren Wirkungsgrad leistungsstärker wird. Diese Kriterien sind bekanntermaßen in Leistungsverstärker der schaltenden Betriebsklasse-D¹ vereint. Mit dem schaltenden Aufbau werden hervorragende Wirkungsgrade von 80% – 90% erzielt, da beim Schaltbetrieb deutlich weniger Verlustleistung im Halbleiter entsteht, als bei einem kontinuierlichen Betrieb der Transistoren. Die niedrige Verlustleistung geht mit einer geringeren Wärmeentwicklung oder einer niedrigeren Stromaufnahme einher. Dies führt, je nach Design, entweder zu einer Reduzierung der Kühlung oder zu einer höheren Ausgangsleistung. Eine Verkleinerung der teuren Kühlkörper bringt für das Einzelgerät Gewicht-, Platz- und Kostenersparnis mit sich und wirkt sich so positiv auf das Gesamtvolumen einer Beschallungsanlage aus. Durch die höhere Ausgangsleistung des Einzelgerätes kann die Gesamt-Gerätezahl einer Beschallungsanlage ggf. reduziert werden (s.o.). Dennoch werden häufig noch Leistungsverstärker der linearen Betriebsklassen-AB oder -H eingesetzt. Bei diesen Betriebsklassen steuern die Leistungstransistoren der Verstärkerstufe entsprechend dem Eingangssignal kontinuierlich (linear) auf- und zu. Hierdurch ergibt sich mit ca. 75% ein deutlich geringerer Wirkungsgrad als bei dem schaltenden Klasse-D-Verstärker [2]. Die linearen Betriebsklassen werden jedoch aufgrund ihrer hervorragenden Audioqualität bevorzugt [3], [4]. Die guten klanglichen Eigenschaften resultieren zum einen aus den geringen harmonischen Verzerrungen, die der Verstärker einbringt; zum anderen können die entstandenen Verzerrungen besser kompensiert werden, da die Auslegung der Rückkopplungs-Topologie wegen der hohen Bandbreite unkomplizierter ist.

Im Gegensatz zu den Verstärkern der linearen Betriebsklassen erzeugt ein Klasse-D-Verstärker – u.a. durch die schaltenden Transistoren – deutlich mehr harmonische Verzerrungen [3], [4]. Zudem gehört die Auslegung der Rückkopplungs-Topologie durch die begrenzte Bandbreite zu den größten Herausforderungen beim Verstärker-Design. Aufgrund der harmonischen Verzerrungen war der D-Verstärker im Vergleich zum analogen Pendant lange als klanglich nicht ebenbürtig angesehen und hat sich in der Audio-Branche erst zur Jahrtausendwende etabliert, als man in der Lage war die Audioqualität zu verbessern. Diese Verbesserung wird durch komplexe Modulations- und Rückkopplungstechniken erzielt, welche einen erheblichen Entwicklungsaufwand mit sich bringen. Die größte Herausforderung liegt hier im Kompromiss zwischen Stabilität und hinreichender Schleifenverstärkung, da die Bandbreite der D-Verstärker recht begrenzt ist. Die harmonischen Verzerrungen werden durch diese Techniken jedoch lediglich reduziert, eine ursächliche Verbesserung der Audioqualität ist bislang nicht möglich. Um die Ursache der schlechteren Audioqualität zu beheben, muss bei der Entstehung der harmonischen Verzerrungen angesetzt werden.

In dieser Dissertation wird untersucht, ob durch Transistoren aus Siliziumkarbid (SiC) in der Leistungsstufe weniger harmonische Verzerrungen generiert werden. In einem Klasse-D-Verstärker arbeiten die Transistoren der Verstärkerstufe in Halb- oder Vollbrücken-Topologie und werden entweder vollständig ein- oder vollständig ausgeschaltet. Die Schaltfrequenz der Transistoren liegt mit 200 kHz – 400 kHz etwa eine

¹ Audioverstärker werden je nach Arbeitsweise der Transistoren ihrer Verstärkerstufe in verschiedenen Betriebsarten klassifiziert: schaltend: Klasse-D / linear: Klasse-A, -B, -AB und -H.

Größenordnung über dem Audioband, sodass das Steuersignal selbst nicht hörbar ist. Das Steuersignal wird meist durch Pulsweitenmodulation (PWM) aus dem analogen Audiosignal gewonnen. Hierbei wird das Audiosignal durch den Mittelwert des hochfrequenten PWM-Steuersignals abgebildet. Ein Tiefpassfilter zweiter Ordnung filtert die Schaltfrequenz heraus und rekonstruiert aus dem Mittelwert der PWM das analoge Audiosignal für den Lautsprecher. Demnach wird dieser Verstärkertyp auch als Schalt- oder PWM-Verstärker bezeichnet.

Die Defizite in der Audioqualität werden, wie bereits erwähnt, primär durch die Entstehung harmonischer Verzerrungen hervorgerufen. Die Ursache der harmonischen Verzerrungen ist u.a. auf zeitliche Fehler des PWM-Signals² zurückzuführen, da hierdurch der Mittelwert der PWM verfälscht wird. Die größte Herausforderung besteht darin, dass sich die erzeugten Fehler nichtlinear mit der Aussteuerung des Verstärkers ändern. Demzufolge sind die daraus resultierenden harmonische Verzerrungen schwer vorzuberechnen.

Die Leistungsstufe des D-Verstärkers trägt einen erheblichen Anteil zu den harmonischen Verzerrungen bei. Das nichtideale Schaltverhalten der Leistungstransistoren bringt einerseits einen zeitlichen Fehler in das PWM-Signal ein und macht andererseits die sog. Totzeit bei der Ansteuerung obligatorisch. In der Totzeit wird nach dem Abschalten des leitenden Transistors für eine kurze, definierte Zeit keiner der Transistoren angesteuert. Die Totzeit hält einen großen Anteil am zeitlichen Fehler und beeinflusst mit ihrer Länge direkt die harmonischen Verzerrungen der Leistungsstufe [3], [5], [6] und [7]. Das schnelle Schaltverhalten moderner Verbundhalbleiter wie Siliziumkarbid (SiC) oder Galliumnitrid (GaN) könnte zu einer Reduzierung der Totzeit führen und somit die Ursache der harmonischen Verzerrungen bekämpfen. Transistoren aus Verbundhalbleitern zeichnen sich durch geringere Gate-Ladungen und kleinere parasitäre Kapazitäten aus. Dies führt zu kürzeren Abschaltverzögerungen sowie zu schnelleren Umladevorgängen, wodurch sich die Totzeit verkürzen kann. Zudem könnten die steileren Schaltflanken zu einer Reduzierung der harmonischen Verzerrungen beitragen [3], [5], [6] und [7]. Die vorliegende Arbeit untersucht u.a. das Schaltverhalten zweier SiC-Transistoren (JFET und MOSFET) und analysiert dessen Auswirkungen auf die harmonischen Verzerrungen. Hierbei findet auch ein Vergleich mit einem kommerziell eingesetzten Transistor statt.

Aktuell werden Silizium-Transistoren mit Sperrspannungen von bis zu 250 V eingesetzt. Das Augenmerk liegt hier auf Leistungsmerkmalen wie der *Figure of Merit* (FOM³) und der intrinsischen Body-Diode, um neben den Verzerrungen auch die Schalt- und Durchlassverluste der Transistoren gering zu halten. Transistoren mit höheren Sperrspannungen finden i.d.R. keine Anwendung, da sich mit steigender Sperrspannung diese Leistungsmerkmale zunehmend verschlechtern. So bringt eine Verdopplung der Sperrspannung einen fünfmal höheren Durchgangswiderstand mit sich, wodurch die Durchlassverluste entsprechend steigen. Die Zunahme des Durchgangswiderstandes mit wachsender Spannungsfestigkeit ist eine Folge des technolo-

²verschobene Schaltzeitpunkte der PWM-Flanken im Vergleich zum idealen PWM-Signal.

³Die FOM setzt mit dem Produkt aus Durchgangswiderstand und Gate-Ladung die grundlegenden Transistor-Eigenschaften ins Verhältnis.

gischen Aufbaus eines Leistungshalbleiters. Um dieser Problematik entgegenzuwirken, gab es in der Vergangenheit verschiedene Bemühungen, die Leistungsmerkmale durch einen optimierten technologischen Aufbau, beispielsweise mit einer Super-Junction-Struktur, zu verbessern⁴. Für klassische Leistungstransistoren aus Silizium ist das Optimierungspotential diesbezüglich jedoch weitgehend erschöpft. Einen Gewinn an Spannungsfestigkeit bei vergleichbarem Durchgangswiderstand bieten Verbundhalbleiter wie Siliziumkarbid oder Gallium-Nitrid. Zudem verbessert sich mit der geringen Speicherkapazität von Siliziumkarbid auch weitere Leistungsmerkmal, wie beispielsweise das Sperrverhalten der intrinsischen Body-Diode.

Ziel dieser Dissertation ist es, die gewinnbringenden Aspekte von Siliziumkarbid-Transistoren für die Klasse-D-Technik zu untersuchen, denn bei entsprechendem Erfolg würde die Limitierung auf die 250 V-Transistoren entfallen. Damit könnten sich neue Möglichkeiten im Hinblick auf das Schaltungsdesign eröffnen, welche sich positiv auf Verstärkung, Bandbreite oder Ausgangsleistung des Audioverstärkers auswirken würden. Die vorliegende Arbeit untersucht insbesondere, ob der Wirkungsgrad der Endstufe durch SiC-Transistoren gesteigert werden kann. Da die kürzeren Sperrverzögerungszeiten sowie die kleineren parasitären Kapazitäten der Transistoren in schnelleren Schaltvorgängen resultieren, ist mit geringeren Verlusten zu rechnen.

Erste Erfolge mit Siliziumkarbid erzielte die Firma *First Watt* bei einem ihrer bereits etablierten Verstärker der linearen Klasse A: Mit der Verwendung eines SiC-JFETs anstelle des Silizium-MOSFET in der Verstärkungsstufe konnten Bandbreite und Verstärkung erhöht und die harmonischen Verzerrungen um 25% reduziert werden.

Um die zuvor erläuterten Aspekte zu untersuchen, werden zwei Endstufen mit konventionellen sowie zwei Endstufen mit SiC-Halbleitern entwickelt. Leistungstransistoren aus GaN befanden sich zu Beginn der Untersuchungen noch in der Entwicklung und waren somit nicht verfügbar. Die notwendigen theoretischen Grundlagen bezüglich der Klasse-D-Technik werden in Kapitel 2 gelegt. Kapitel 3 erläutert das Potential von Siliziumkarbid für die Leistungsstufe sowie die Auswahl der Halbleiter. Eine ausführliche Beschreibung der Endstufen-Entwicklung sowie die Festlegung der Ansteuerung findet sich in Kapitel 4. Die tiefgehende Untersuchung des Schaltverhaltens der Halbleiter (Kapitel 5) schafft die Basis für die fundierte Analyse der Audioqualität (Kapitel 6) sowie des Wirkungsgrades (Kapitel 7) der Endstufen. In diesen drei Kapiteln stellt jeweils das letzte Unterkapitel (*Einfluss der Transistor-Charakteristika auf...*) ein Resümee der Analyse-Ergebnisse dar und setzt diese in Bezug zu den technologischen Eigenschaften des Halbleiters. Kapitel 8 gibt eine prägnante Zusammenfassung der Arbeit und zieht ein kritisches Fazit aus den gewonnenen Erkenntnissen. Abschließend wird ein Ausblick auf die Perspektive von SiC-Transistoren in der Klasse-D-Technik im Kontext der Beschallungsanlagen gegeben.

Neben dem wissenschaftlich-technischen Analysen, bietet die Arbeit einen Einblick in den Fortschritt der Halbleitertechnologie und dessen Auswirkung auf die musikalische Unterhaltung in der heutigen Zeit.

⁴Etabliert hat sich die CoolMOS-Technologie von Infineon, welche als Vergleich untersucht wird.

Kapitel 2

Grundlagen

2.1 Funktionsweise eines Verstärkers der Klasse-D

Dieser Abschnitt stellt eine grundlegende Einführung in diese Verstärkertechnik dar, welche für das Verständnis der nachfolgenden detailreichen Unterkapitel nützlich ist. Die Komplexität, die sich aus der Klasse-D-Technik ergibt, geht aus jenen Unterkapitel hervor. Das Buch *Designing Audio Power Amplifiers* [3] bietet mit den dortigen Kapitel 28 - 30 einen verständlichen Einstieg in diese Technik.

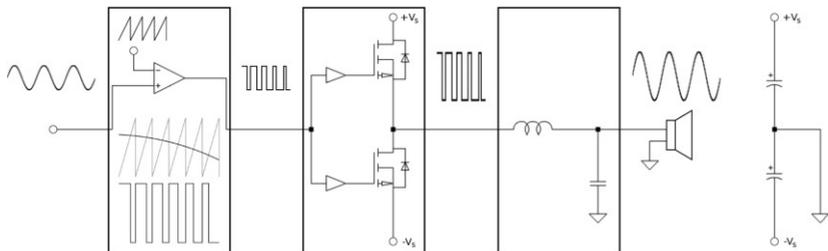


Abb. 2.1: Modulator, Schaltstufe und Ausgangsfilter des D-Verstärkers.

Der Aufbau eines D-Verstärker wird üblicherweise in drei Blöcke unterteilt, welche in Abbildung 2.1 markiert sind:

1. Modulator: generiert aus dem Eingangssignal ein höherfrequentes Steuersignal für die Schaltstufe.
2. Schaltstufe: realisiert die Verstärkung in Abhängigkeit von der Versorgungsspannung.
3. Ausgangsfilter: gewinnt das Audiosignal aus dem hochfrequenten Schaltsignal zurück.

Modulator

Der Modulator erzeugt aus dem kontinuierlichen Audiosignal ein amplitudendiskretes Steuersignal höherer Frequenz, welches die Schaltzeitpunkte der Brückentransistoren definiert. Das gängigste Modulationsverfahren zur Erzeugung des PWM-Steuersignals ist die Pulsweiten-Modulation, wie in Abbildung 2.2 dargestellt. Hierbei vergleicht ein Komparator das Audiosignal mit dem hochfrequenten Trägersignal (Sägezahn oder Dreieck). Die Schnittpunkte von Audiosignal und Träger ergeben den Zustandswechsel des PWM-Signals und stellen somit die idealen Umschaltzeitpunkte der Halbbrücke dar. Das Audiosignal wird über das Tastverhältnis der beiden Brückentransistoren und die Versorgungsspannung der Brücke abgebildet – Leitet beispielsweise bei einer komplementären Versorgung der obere Transistor länger als der untere, so entsteht eine positive Ausgangsspannung. Leiten gleich lang, so beträgt das Ausgangssignal im Mittel null.

Bei der analogen Pulsweiten-Modulation mit einem analogen Audiosignal und einem idealen Träger ist die Konversion theoretisch fehlerfrei [8] (vgl. Kapitel 2.3.1). In der praktischen Umsetzung des Modulators findet i.d.R. die digitale PWM mit einem quantisierten Audiosignal Anwendung, da die Audiosignale zunehmend in digitaler Form vorliegen. Durch die Quantisierungsfehler entstehen Signalverzerrungen, welche die Audioqualität des Verstärkers deutlich herabsetzen. Aus diesem Grund werden sog. Prekompensationsverfahren angewendet, die den Quantisierungsfehler verringern und den Vorgang der idealen analogen PWM approximieren (siehe Kapitel 2.3.2). Neben dem klassischen PWM-Verfahren werden zur Gewinnung des Steuersignals auch andere Modulationstechniken angewendet, wie beispielsweise die Sigma-Delta-Modulation oder die Click-Modulation (siehe Kapitel 2.3.3 und 2.3.4). Einen kompakten Überblick über die verschiedenen Modulationstechniken gibt [9].

Schaltstufe

Die Transistoren der Schaltstufe können in verschiedenen Topologien konfiguriert werden, einen Überblick bietet Kapitel 2.2. Eine gängige Topologie ist die Halbbrücke, wie in Abbildung 2.1. Da eine Halbbrücke die Grundlage der untersuchten Endstufen in dieser Arbeit bildet, werden die folgenden Erklärungen immer auf diese Topologie bezogen. Bei einer Halbbrücken-Topologie steuert der High-Zustand der PWM den oberen Brückentransistor, der Low-Zustand den unteren. Die Leistungstransistoren sind – entsprechend dem Steuersignal – für eine genau definierte Zeit voll leitend oder voll sperrend. Nach jedem Abschaltvorgang wird eine Totzeit eingefügt, während der beide Transistoren sperren. Durch das nichtideale Schaltverhalten realer Transistoren könnte es andernfalls zu einem Kurzschluss zwischen positiver und negativer Versorgung kommen. Die Schaltfrequenz der Transistoren liegt mindestens eine Größenordnung über der maximalen Audiofrequenz, um das Eingangssignal korrekt abzubilden [8]. Die höchste Frequenz des Audiosignal wird bei 20 kHz angesetzt, sodass die Leistungsstufe mit mindestens 200 kHz schaltet. Da bei jedem Schaltvorgang nahezu die gesamte Versorgungsspannung am Ausgang anliegt, ist die Verstärkung des Eingangssignals direkt von der Versorgungsspannung abhängig.

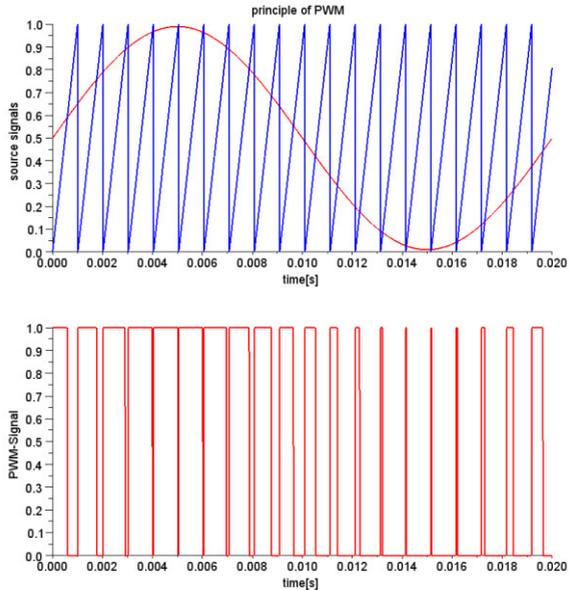


Abb. 2.2: Bei der Pulsweiten-Modulation ergibt sich das Steuersignal aus den Schnittpunkten zwischen Audiosignal und hochfrequentem Trägersignal.

Ausgangsfilter

Ein LC-Tiefpass 2. Ordnung wandelt das verstärkte PWM-Signal der Schaltstufe in ein analoges Musiksignal zurück (vgl. Abb. 2.1). Der Lautsprecher am Ausgang wird somit von einem rein analogen Signal im Frequenzbereich bis 20 kHz gespeist. Die Grenzfrequenz des Tiefpasses liegt etwas über 20 kHz, um die Frequenzanteile am oberen Ende des Audiobandes nicht zu dämpfen. Die Schaltfrequenz der Transistoren, also die Trägerfrequenz der Puls-Weiten-Modulation, befindet sich außerhalb des Hörbereiches und wird damit herausgefiltert.

2.2 Topologien für die Schaltstufe

Die Transistoren der Schaltstufe können in unterschiedlichen Schaltungen konfiguriert werden. Die Schaltungstopologie ist eng mit dem Modulator verknüpft, da nicht jedes Modulationsverfahren zu einer bestimmten Topologie passt. Kapitel 2.3 wird diesen Sachverhalt genauer beleuchten.

2.2.1 Halbbrücke

Die Halbbrücke besteht aus zwei in Serie geschalteten Leistungstransistoren, die an einer komplementären Versorgungsspannung im Schaltbetrieb arbeiten (Abbildung 2.3). Das Ausgangssignal der Brücke ist massebezogen und kann zwei Zustände annehmen: $+V_{DD}$ und $-V_{DD}$. Der Zustand *Null* muss durch ein Puls-Pausenverhältnis von 50% erzeugt werden. Der Energiefluss im Verstärker ist bidirektional.

Der große Vorteil der Halbbrücken-Topologie liegt in der einfachen schaltungstechnischen Umsetzung und in der geringen Anzahl an Komponenten, die mit wenig Aufwand angesteuert werden können. [10], [5].

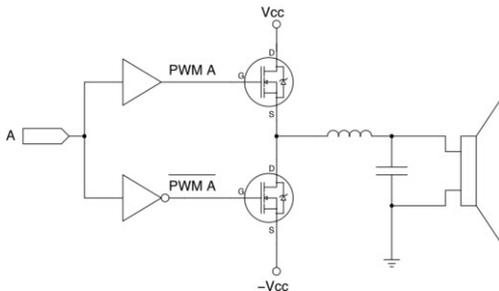


Abb. 2.3: Die Halbbrücke als Topologie für die Schaltstufe des D-Verstärkers.

Power Supply Pumping

Der bidirektionale Energiefluss führt zu einem elementaren Nachteil der Topologie: Tritt das sog. *Power Supply Pumping* auf, kann die Versorgungsspannung ihren Sollwert überschreiten und es entstehen Verzerrungen des Audiosignals [3], [5]. Der Effekt dominiert bei niedrigen Audiofrequenzen unter 100 Hz, wenn die Entkopplungskondensatoren die Schwankungen nicht ausreichend unterdrücken können. Bei einer niederfrequenten Ansteuerung ist das Puls-Pausen-Verhältnis über mehrere Zyklen nahe zu konstant, daher ist der Effekt bei einem Puls-Pausen-Verhältnis bis ca. 25% am stärksten. Hier speichert die Ausgangsdrossel während der längeren Leitphase

Energie, die dann in der kürzeren Leitphase der Gegenseite in die Versorgungsspannung zurückgespeist wird. Kann die Spannungsquelle die eingespeiste Energie nicht absorbieren, so steigt der Spannungswert gegenüber dem Sollwert ohne Eingangssignal an (*Power Supply Pumping*). Jede Änderung der Versorgungsspannung greift direkt auf das Ausgangssignal durch, wodurch das Audiosignal verzerrt wird. Der Effekt wird durch großzügige Entkopplungskondensatoren zwischen den komplementären Versorgungsspannungen gemindert. Bei höherfrequenten Ansteuerungen macht sich der Effekt kaum bemerkbar, da das Tastverhältnis während einer Signal-Periode schneller variiert und so in der gesamten Periode weniger Energie in die selbe Richtung fließt. Weiterführende Informationen finden sich in [10], [3] sowie in [5].

Brummspannung bzw. Restwelligkeit der Versorgungsspannung werden im Allgemeinen weniger gut unterdrückt¹ (*PSRR: Power Supply Rejection Ratio*), was jedoch durch entsprechenden Gegenkopplungsschleifen verbessert wird [10], [3], [5]. Zum Nachteil der Umladeverluste müssen sich die parasitären Ausgangskapazitäten immer auf die doppelte Versorgungsspannung aufladen. Wird eine Pulsweiten-Modulation als Ansteuerung gewählt, so sind die möglichen Ansteuervarianten auf ein zweiwertiges PWM-Signal² beschränkt. Die Erläuterung zu zwei- und dreiwertiger PWM ist in Kapitel 2.3.1) nachzulesen.

2.2.2 Vollbrücke

Bei der Vollbrücke werden vier Leistungsschalter als H-Brücke zusammenschaltet. Die Last befindet sich zwischen den beiden Ausgangsfiltern, wie in Abbildung 2.4 dargestellt. Das Ausgangssignal der Brücke ist somit nicht mehr massebezogen, kann jedoch drei Zustände annehmen: $+V_{DD}$, $-V_{DD}$ und *Null*. Bei einer Pulsweiten-Modulation kann sowohl ein zweiwertiges, als auch ein dreiwertiges Steuersignal eingesetzt werden. Daraus ergeben sich mehr Konvertierungs-Varianten als bei einer Halbbrücke (siehe Kapitel 2.3.1). Eine dreiwertige Ansteuerung erzeugt weniger Quasifizierungsfehler und stellt somit einen Gewinn für die Audioqualität dar [5].

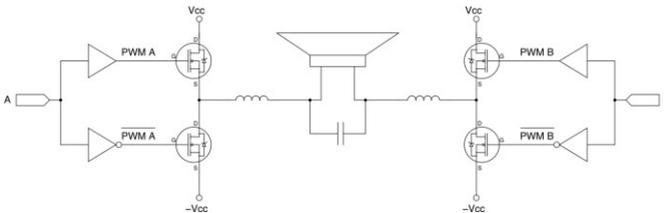


Abb. 2.4: Die Vollbrücke als Topologie für die Schaltstufe des D-Verstärkers.

¹ist abhängig von der Ansteuerungsart.

²Die zweiwertige PWM besitzt zwei Stufen (0 und 1) oder (-1 und 1). Die dreiwertige PWM besitzt drei Stufen (0, 1 und -1)

Ein Vorzug dieser Topologie liegt darin, dass die Vollbrücke bei gleicher Höhe der Versorgungsspannung einer Halbbrücke die doppelte Ausgangsspannung erzeugt. Eine komplementäre Versorgungsspannung ist nicht obligatorisch. Zudem werden nur die Hälfte der Entkoppelkondensatoren für die Versorgungsspannung benötigt, was wiederum Kosten und Platz einspart. Bei einer unipolaren Versorgungsspannung sind die Umladeverluste niedriger als bei der Halbbrücke, da sich die parasitären Ausgangskapazitäten der Transistoren lediglich auf die einfache Versorgungsspannung aufladen. Im Gegensatz zur Halbbrücke kann es hier nicht zu einem Power-Supply-Pumping kommen, da eine Hälfte der Vollbrücke als Quelle und die andere als Senke agiert. Durch die differenzielle Ansteuerung der Last hebt sich der DC-Offset weitestgehend auf. Die Topologie gilt als linearer, da sich die gradzahligen Anteile der harmonischen Verzerrungen auslöschen. Ein weiterer Vorteil ist, dass ein Vollbrücken-Verstärker theoretisch auch ohne Gegenkopplung (open loop) betrieben werden kann, u. a. da die Brummspannung bzw. Restwelligkeit der Versorgungsspannung besser unterdrückt werden als bei der Halbbrücke³ (PSRR) [10].

Nachteilig ist die höhere Komplexität bezüglich Schaltung und Ansteuerung, sowie höhere Kosten und größerer Platzbedarf durch mehr Komponenten. Zudem ist das Ausgangssignal nicht massebezogen wie bei einer Halbbrücken-Topologie. Die Durchlassverluste sind doppelt so hoch wie bei der Halbbrücke, da in jedem Schaltzyklus der Strom immer durch zwei Transistoren fließen muss. Ein weiterer Nachteil liegt in der schlechten Gleichtakt-Unterdrückung bei einer dreiwertigen Ansteuerung. Diese führt im Schaltbetrieb zu einer höheren elektromagnetischen Abstrahlung als bei der Halbbrücken-Topologie [10].

2.2.3 sonstige Topologien

Die Parallelschaltung von mehreren Schaltzweigen einer Halb- oder Vollbrücke wird im Rahmen der Dissertation von Karsten Nielsen [8] genauer beleuchtet. Kern der Arbeit ist die hierfür vorgestellte Modulationsvariante PSC-PWM (Phase Shift Carrier PWM) und deren Vergleich mit konventionellen PWM-Varianten.

Die NPC⁴-Topologie verwendet ebenfalls vier Leistungsschalter, deren Mittelabgriff über Dioden oder aktive geschaltete Freiläufe mit Masse verbunden ist. Abbildung 2.5 zeigt eine mögliche Verschaltung. Alternative Verschaltungen, sowie die Vor- und Nachteile werden in [11] analysiert. Die NPC-Brücke wird wegen ihres hohen Wirkungsgrades gerne in der Antriebstechnik [12], [13], oder für Solar-Wechselrichter eingesetzt [14], [15]. In einem Klasse-D-Audioverstärker findet sie eher selten Anwendung, da die Brücke bei kleinen Aussteuerungen um Null herum erhebliche Nichtlinearitäten aufweist. Im Nulldurchgang werden die Pulse zu Ansteuerung so klein, dass sie vom Gate-Treiber und der Schaltstufe nicht mehr umgesetzt werden können. Als Folge treten Verzerrungen und Nichtlinearitäten auf. Die Ansteuerung von sehr kleinen Signalen ist daher nicht trivial und bedingt aufwendige Kompensations-Algorithmen [16].

³ist abhängig von der Ansteuerungsart der Vollbrücke.

⁴NPC: Neutral Point Clamped

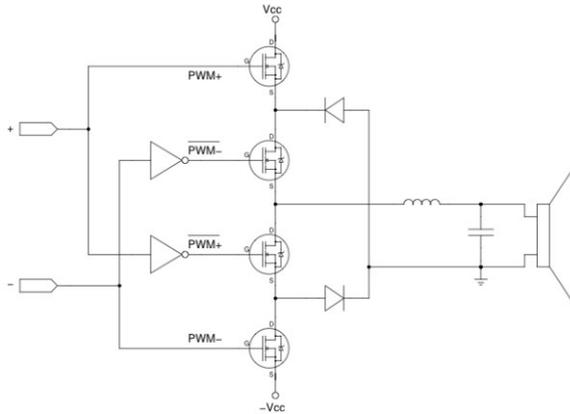


Abb. 2.5: Die Neutral Point Clamped (NPC) Brücke als Topologie für die Schaltstufe des D-Verstärkers.

2.2.4 Auswahl der Topologie

Die Vollbrücke ist die am häufigsten verwendete Topologie [17], [18], [19], etc. und wird von [5] als die zu bevorzugende Topologie erachtet. Die Generierung eines Steuersignals für insgesamt vier Transistoren ist jedoch deutlich fehleranfälliger als die Generierung für nur zwei Transistoren. Zudem beziehen sich die Nachteile der Halbbrücken-Topologie vorwiegend auf die Versorgungsspannung. In der praktischen Umsetzung wird die Versorgungsspannung jedoch von einem professionellen, externen Netzteil bereitgestellt, das die schwerwiegendsten Nachteile ausgleicht. Das Netzteil wird mit seinen Eigenschaften in Kapitel 4.5.2 vorgestellt.

Für einen fundierten Vergleich von konventioneller Technologie und Siliziumkarbid-Transistoren muss die Ansteuerung der Schaltstufe möglichst fehlerfrei erfolgen. Da die Wahl der Schaltstufen-Topologie eng mit der Wahl des Modulators verknüpft ist, wird eine Topologie gewählt, die einen möglichst einfachen Modulator erlaubt. Wie in Kapitel 2.3.5 erörtert, ist die Umsetzung einer zweiwertigen PWM für eine Halbbrücke am wenigsten komplex.

Von allen vorgestellten Topologien lässt sich die Halbbrücke schaltungstechnisch am einfachsten umsetzen, benötigt die wenigsten Komponenten und ermöglicht trotz eingeschränkter Modulations-Varianten eine fehlerarme Erzeugung des Steuersignals (vgl. 2.3.5). Zudem lassen sich die Erkenntnisse einer Halbbrücke direkt auf eine Vollbrücke transferieren, wie die Dissertation von Karsten Nielsen [8] zeigt. Vor diesem Hintergrund ist es sinnvoll, die Untersuchungen dieser Arbeit mit einer Halbbrücken-Topologie durchzuführen.

2.3 Modulationstechniken zur Gewinnung des Steuersignals

Der Modulator konvertiert das Audiosignal in eine höherfrequente Pulsfolge, welche die Leistungstristoren der Schaltstufe ansteuert. Dem Klasse-D-Verstärker stehen hierfür vier grundlegenden Modulationstechniken zur Verfügung:

- analoge Puls-Weiten-Modulation (auch NPWM, Natural Sampled PWM)
- digitale Puls-Weiten-Modulation (verschiedene Verfahren, siehe 2.3.2)
- Sigma-Delta-Modulation (Σ - Δ -Modulation)
- Click-Modulation (auch SB-ZePoC-Verfahren⁵)

Alle vier Modulationstechniken basieren entweder auf Puls-Weiten-Modulation (PWM) oder auf Puls-Dichte-Modulation (PDM). Denkbare andere Verfahren wie Puls-Amplituden- (PAM) oder Puls-Positions-Modulation (PPM) sind zur Erzeugung des Steuersignals aufgrund schlechter Effizienz oder zu hoher Komplexität ungeeignet [8].

Einige der Modulationstechniken können in verschiedenen Modulationsverfahren umgesetzt werden. Jedes Modulationsverfahren erzeugt unterschiedlich starke Signalverzerrungen und nimmt so direkten Einfluss auf die Klangqualität des Verstärkers. Zum besseren Verständnis werden an dieser Stelle die vier Modulationstechniken grundlegend erläutert, um später auf die einzelnen Verfahren dieser vier Techniken besser eingehen zu können. Eine kompakte Übersicht der gängigen Modulationsverfahren gibt Tabelle 2.3 am Ende des Kapitels.

Die *analoge PWM* (siehe auch Kapitel 2.3.1) beschreibt die ideale Pulsweiten-Modulation mit einem analogen Audiosignal und einem idealen Träger (NPWM). Das Audiosignal wird zwar fehlerfrei in ein PWM-Signal konvertiert, dennoch entstehen selbst bei idealer Demodulation Signalverzerrungen, da Komponenten der Trägerseitenbänder im Audioband auftreten. Für die Konvertierung existieren vier Varianten der NPWM, die abhängig von der Schaltstufen-Topologie sind. In diesem Unterkapitel werden die vier Varianten erläutert, graphisch veranschaulicht und den einzelnen Topologien zugeordnet.

Die *digitale PWM* (siehe auch 2.3.2) geht auf die in der Praxis angewendete Pulsweiten-Modulation ein, der ein abgetastetes Audiosignal zugrunde liegt. Mit der Quantisierung treten zusätzliche Signalverzerrungen in Form von harmonischen Oberwellen (*Total Harmonic Distortion*, THD) und Intermodulations-Komponenten (IM) auf. Verzerrungen durch Trägerseitenbänder nach der Demodulation sind weiterhin existent. Die Audioqualität der digitalen PWM wird verbessert, indem so genannte Prekompensationsverfahren vor der Modulation auf das abgetastete Signal angewendet werden. Diese Verfahren approximieren durch unterschiedliche Algorithmen den Vorgang der idealen NPWM und verringern auf diese Weise den Quantisierungsfehler. Das Kapitel stellt die äquidistant abgetastete PWM (UPWM) sowie verschiedene Prekompensationsverfahren wie die linearisierte PWM (LPWM), die quasi-natürliche PWM (PNPWM) und den Algorithmus von Song und Sarwate vor.

⁵SB-ZePoC: Zero-Position-Coding with Separated Baseband

Die *Sigma-Delta-Modulation* (siehe auch 2.3.3) verlagert durch die sog. Rauschformung (noise shaping) alle unerwünschten Stör-Anteile aus dem Audioband in einen Frequenzbereich außerhalb des Audiospektrums. Das Steuersignal wird hierbei durch Puls-Dichte-Modulation erzeugt.

Die *Click-Modulation* (siehe auch 2.3.4) erzeugt auf analytischem Wege ein Steuerungssignal, bei dem die Frequenzbänder von Audiosignal und Träger garantiert voneinander getrennt sind. Die Technik basiert zwar auf der Pulsweiten-Modulation, durch die Trennung der Frequenzbänder treten jedoch *keine* Komponenten der Trägerseitenbänder im Audioband auf.

Da die klassische Pulsweite-Modulation kein verzerrungsfreies Audiosignal liefert, wurden die alternativen Verfahren der Sigma-Delta-Modulation und der Click-Modulation entwickelt. Diese beiden Techniken steigern die Linearität der Modulation auf Kosten der Komplexität. Signalverzerrungen durch Trägerseitenbänder, THD und IM-Verzerrungen sind deutlich geringer. Signalverzerrungen entstehen jedoch nicht nur durch den Modulator, sondern insbesondere auch durch die Schaltstufe. Der Einfluss der Schaltstufe wird in den Kapiteln 5 - 7 erörtert und steht im Vordergrund der Dissertation. Das vorliegende Kapitel soll weniger in die Details der einzelnen Techniken eintauchen, als die Grundlagen des Modulators für einen Klasse-D-Audioverstärker vermitteln, sowie die Komplexität der praktischen Umsetzung unterstreichen.

2.3.1 Analoge Pulsweiten-Modulation (NPWM)

Die gängigste Modulationstechnik ist die Pulsweiten-Modulation, bei der das rechteckförmige Steuerungssignal durch Vergleich mit einem Träger gewonnen wird. Die analoge PWM wird in der Literatur als *natural sampled PWM* (NPWM) bezeichnet und setzt ein analoges Audiosignal und einen idealen Träger voraus. Die Konvertierung des Audiosignals in ein Rechtecksignal erfolgt demnach ohne zeitliche Quantisierung. Die Untersuchungen in [20] und [8] zeigen, dass die Konvertierung mittels NPWM fehlerfrei ist und hierbei weder harmonische Verzerrungen (THD) noch Intermodulations-Verzerrungen entstehen. Dennoch treten selbst bei idealer Demodulation Komponenten des Trägers im Audioband (Basisband) auf. Diese Komponenten sind Ausläufer der Trägerseitenbänder, die mit dem Basisband überlappen. Die so entstehenden Signalverzerrungen sind unvermeidbar und können nur durch Heraufsetzen der Schaltfrequenz vermindert werden. Die Amplitude der Störfrequenzen aus den Trägerseitenbändern sinkt mit steigendem Abstand zur Schaltfrequenz. Wird die Schaltfrequenz auf ca. 350 kHz erhöht, so sind die Störfrequenzen hinreichend gedämpft [18].

Für die Konvertierung des Audiosignals existieren vier Varianten, die sich in der Signalform des Trägers und nach Anzahl der logischen Zustände des rechteckigen Steuerungssignals unterscheiden. Abhängig von der Schaltstufen-Topologie kann das Steuerungssignal zwei oder auch drei logische Zustände besitzen. In der Literatur ist die zweiwertige Ansteuerung als *Class ad* und die Dreiwertige als *Class bd* standardisiert [21].

In diesem Kapitel werden die vier grundlegenden Konvertierungsvarianten erläutert, graphisch veranschaulicht und den einzelnen Topologien zugeordnet. Alle Varianten

zeichnen sich durch die fehlerfreien Konvertierung aus (kein THD, keine IM) und unterscheiden sich jedoch in ihren spektralen Charakteristika sowie in den erzeugten Signalverzerrungen. Tabelle 2.1 fasst diese Varianten und deren Charakteristika für die analoge NPWM zusammen. Tieferegehende Informationen bietet die Dissertation von Karsten Nielsen [8] mit Kapitel 2 in Form einer zweidimensionalen Fourier-Analyse (DFS, Double Fourier Series) sowie umfassenden spektralen Charakterisierungen der einzelnen Varianten. Darüber hinaus wurde in der Dissertation eine weitere Variante entwickelt, die sog. PSC-PWM (Phase Shift Carrier PWM). Die Variante eignet sich zur Ansteuerung von Halb- oder Vollbrücken mit mehreren parallelen Schaltzweigen und ist in [8] nachzulesen.

Class ad-Variante: 2-wertiges Steuersignal für eine Halbbrücke

Eine Halbbrücken-Topologie wird durch ein zweiwertiges PWM-Signal angesteuert, wobei die Form des Trägers dreieckig oder sägezahn-förmig sein kann. In Abhängigkeit der Trägerform werden beide oder nur eine Flanke des Steuersignals moduliert. Die einseitige Modulation wird in der Literatur mit *S* für *single-sided modulation*, die Beidseitige mit *D* für *double-sided modulation* gekennzeichnet. Beide Trägerformen können sowohl auf eine Halbbrücken-, als auch auf eine Vollbrücken-Topologie angewendet werden. Interessante Aspekte der einseitigen Modulation sind in [22] veröffentlicht.

Abbildung 2.6 veranschaulicht, dass ein sägezahn-förmiger Träger nur eine Flanke des Steuersignals moduliert, während die andere Flanke zeitlich fixiert ist. Ein dreieckförmiger Träger moduliert hingegen beide Flanken des Steuersignals. Diese beidseitige Modulation enthält die doppelte Information bei gleicher Frequenz gegenüber der einseitigen Modulation.

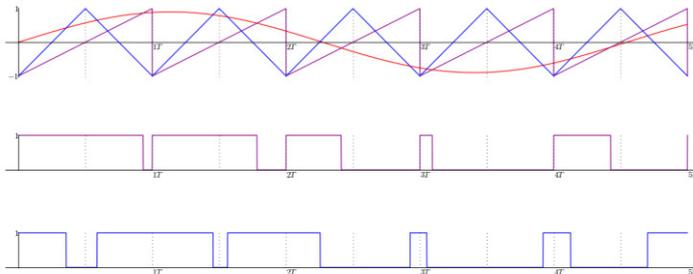


Abb. 2.6: Verschieden Arten zur Erzeugung eines zweiwertigen Steuersignals. *oben*: Sägezahn-Träger (magenta), Dreiecks-Träger (blau) und Audio-Signal (rot) *mitte*: PWM-Signal mit einseitiger Modulation durch Sägezahn-Träger, *unten*: PWM-Signal mit beidseitiger Modulation durch Dreiecks-Träger.

Class *bd*-Variante: 3-wertiges Steuersignal für eine Vollbrücke

Während eine Halbbrücke auf ein zweiwertiges Signal beschränkt ist, kann die Vollbrücke neben zweiwertigen auch dreiwertige PWM-Signale verarbeiten. Aufgrund der H-Brücken-Konfiguration der Transistoren kann der Null-Zustand nicht nur mit einem Puls-Pausenverhältnis von 50% erzeugt werden, sondern auch durch das gleichzeitige Einschalten der beiden oberen oder der beiden unteren Transistoren. Somit ist ein dritter Zustand der PWM möglich.

Abbildung 2.7 veranschaulicht die Erzeugung des dreiwertigen Steuersignals. Hierbei wird das Audiosignal sowohl mit dem blauen Träger als auch mit dem dazu invertierten grünen Träger moduliert (I). Dabei entstehen zwei einzelne PWM-Züge (II, blau und III, grün), welche in der Zeichnung auch farblich mit den Trägern korrespondieren. Diese PWM-Züge (II) und (III) steuern jeweils einen Zweig der Vollbrücke. Am Ausgang der Vollbrücke entsteht das dreiwertige PWM-Signal (III, rot) als Differenzsignal von PWM-Zug (II) und (III). Durch den Einsatz eines dreieckförmigen Trägers wird das dreiwertige PWM-Signal beidseitig moduliert. Bei der Verwendung zweier Sägezahn-Träger entstünde ein einseitig moduliertes Signal.

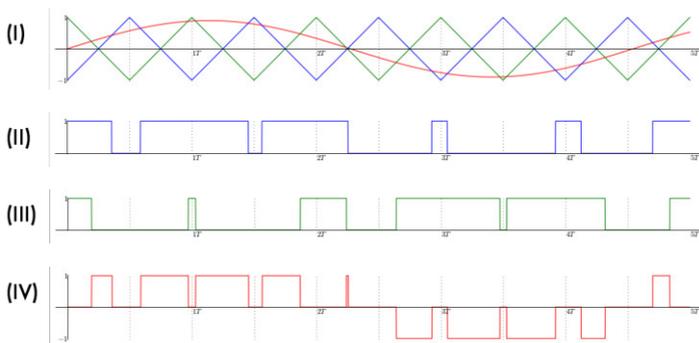


Abb. 2.7: Erzeugung eines dreiwertigen Steuersignals durch zwei zueinander invertierte Träger (I) mit resultierendem PWM-Zug aus blauem (II) und aus grünem Träger (III). Das dreiwertige PWM-Signal entsteht durch Subtraktion der beiden oberen PWM-Züge (IV).

Tabelle 2.1 gibt einen Überblick über die vier Varianten zur Generierung eines NPWM-Signals. Aus den Analysen in der Dissertation [8] geht hervor, dass die 3-wertige Variante mit beidseitiger Modulation (NbdD) die beste Modulationsqualität aufweist. Ein dreiwertiges Steuersignal kann jedoch von einer Halbbrücken-Topologie nicht verarbeitet werden. Die letzte Spalte greift die standardisierte Nomenklatur auf: Der erste Buchstabe gibt jeweils das angewendete Modulationsverfahren an; hier *N* für *natural sampled PWM*. *Class ad* steht für ein zweiwertiges, *Class bd* für ein dreiwertiges Steuersignal, *S* für *single-sided modulation*, *D* für *double-sided modulation*.

Modulations-Verfahren	log. Zustände der PWM	mögl. Topologie der Schaltstufe	Modulation der PWM-Flanken	Nomenklatur
NPWM (analog)	2	Halbbrücke	einseitig	$NadS$
			beidseitig	$NadD$
	3	Vollbrücke	einseitig	$NbdS$
			beidseitig	$NbdD$

Tab. 2.1: Grundlegende Modulationsvarianten des analogen NPWM-Verfahrens

2.3.2 Digitale Pulsweiten-Modulation (PWM)

Im Gegensatz zur analogen Pulsweiten-Modulation liegt der digitalen PWM ein abgetastetes Audiosignal zugrunde. Für die Umsetzung des Modulators im Verstärker-Design ist die digitale PWM durchaus praktikabel, insbesondere da die Audiosignale zunehmend in digitaler Form, meist als PCM⁶-Daten, vorliegen und so zur Weiterverarbeitung verwendet werden können.

Ein wichtiger Aspekt der digitalen PWM ist die Vorverarbeitung der digitalen Audio-Abtastwerte. Werden die abgetasteten Werte ohne weitere Verarbeitung in eine PWM gewandelt (siehe Abschnitt *UPWM*), führt dies zu erheblichen Signalverzerrungen. Infolge des Quantisierungsfehlers entsteht ein zeitlicher Fehler bezüglich der Flanken des PWM-Signals, der in der NPWM nicht existent ist. Dieser Fehler resultiert in harmonischen Oberwellen (THD) und Intermodulations-Produkten (IM). Auf diese Problematik geht der Abschnitt *UPWM* näher ein.

In den darauf folgenden Abschnitten werden verschiedene Verfahren zur Vorverarbeitung der Abtastwerte (PCM-Daten) beschrieben. Diese sog. Prekompensations-Algorithmen nähern die Abtastwerte vor der Konvertierung in ein PWM-Signal an die korrekten analogen Idealwerte an. Die Verfahren unterscheiden sich in der Genauigkeit der Korrektur-Algorithmen und nähern sich so mehr oder weniger präzise den idealen Eigenschaften der NPWM an.

UPWM - Äquidistant abgetastete PWM

Das einfachste, aber auch ungenaueste Verfahren ist die sog. äquidistant abgetastete PWM, (*uniform sampled PWM*, UPWM). Das Verfahren verwendet ein äquidistant abgetastetes Audiosignal und ist mit geringstem Hardwareaufwand umzusetzen [18]. Liegt das Audiosignal bereits digital vor, werden die im PCM-Format codierten Amplitudenwerte in proportionale Pulsweiten umgesetzt. Hierbei verschieben sich jedoch die PWM-Flanken gegenüber den korrekten Flanken der NPWM, wie in Abbildung 2.8 dargestellt. Dieser zeitliche Fehler resultiert in erheblichen Signalverzerrungen in Form von THD und IM [20].

⁶PCM: Pulse Code Modulation

Abbildung 2.8 stellt das Verfahren graphisch dar. Das Audiosignal wird zu Beginn des Taktes abgetastet und im aktuellen Takt mit dem Träger verglichen. Sind die Werte gleich, wechselt das PWM-Signal seinen Zustand. Der Schnittpunkt des äquidistanten Abtastwerts mit dem Träger bezeichnet den Umschaltzeitpunkt. Der entstehende Fehler im Umschaltzeitpunkt ist in der Abbildung gut erkennbar.

Die harmonischen Verzerrungen des Audiosignals (THD) werden in der Dissertation [8] im dortigen Kapitel 3 für alle dazugehörigen Varianten analysiert, mathematisch untersucht und spektral charakterisiert, sodass an dieser Stelle nur eine grundsätzliche Beschreibung des Verfahrens erfolgt.

LPWM - Linearisierte PWM

Bei der linearisierten PWM (linearized PWM) wird das analoge Audiosignal durch lineare Interpolation angenähert. Zwischen zwei Audio-Abtastwerten der äquidistanten Abtastung wird eine Gerade aufgespannt, wie in Abbildung 2.9 dargestellt. Der Schnittpunkt von Gerade und Träger ergibt den korrigierten Audio-Wert. Bei diesem Verfahren wird der Fehler gegenüber der äquidistanten Abtastung am Taktanfang (UPWM) etwas korrigiert, wodurch sich die Genauigkeit im Umschaltzeitpunkt gegenüber der UPWM erhöht. Abbildung 2.8 stellt den zeitlichen Fehler der UPWM und der LPWM im Vergleich zur NPWM dar.

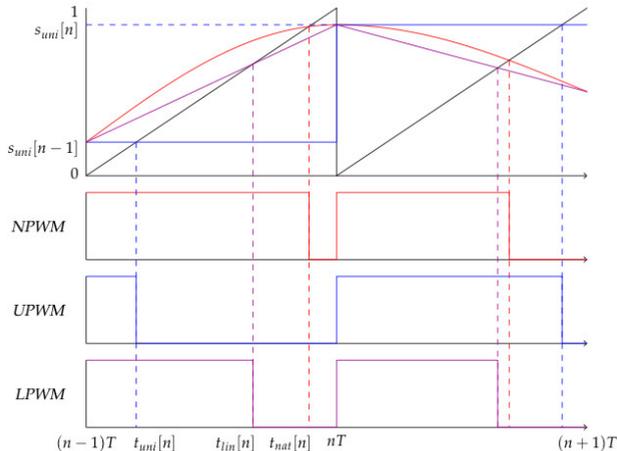


Abb. 2.8: Bei den digitalen Verfahren UPWM und LPWM entsteht ein zeitlicher Fehler infolge inkorrekt er Umschaltzeitpunkte.

Modulations-Verfahren	log. Zustände der PWM	mögl. Topologie der Schaltstufe	Modulation der PWM-Flanken	Nomenklatur
LPWM (lin. Interpol.)	2 (ad)	Halbbrücke	einseitig	LadS
			beidseitig	LadD
	3 (bd)	Vollbrücke	einseitig	LbdS
			beidseitig	LbdD

Tab. 2.2: Grundlegende Modulationsvarianten des digitalen LPWM-Verfahrens

Die in Tabelle 2.1 beschriebenen Varianten der NPWM sind auch auf UPWM und LPWM anwendbar. Für die LPWM ergibt sich somit die obenstehende Tabelle 2.2.

PNPWM - Quasi-Natürliche PWM

Die quasi-natürliche PWM (*Pseudo-Natural PWM*, PNPWM) verwendet die Polynom-Interpolation, um die idealen Werte der NPWM beliebig genau anzunähern. Die Schnittpunkte von Abtastwert und Träger können durch das Newton-Raphson-Verfahren ermittelt werden.

Das demodulierte Audiosignal ist frei von harmonischen Oberwellen und Intermodulations-Verzerrungen. Ähnlich wie bei der NPWM, treten jedoch weiterhin Signalverzerrungen durch Trägerseitenbänder auf. Die Modulations-Qualität der PNPWM ist damit höherwertiger als die der LPWM, die Implementierung jedoch deutlich aufwendiger [8].

Abbildung 2.9 veranschaulicht die Unterschiede in den Verfahren LPWM und PNPWM. Während das LPWM-Verfahren den Mittelpunkt der Interpolations-Kurve mit dem Träger vergleicht, wird beim PNPWM-Verfahren der exakte Schnittpunkt mit dem quasi-natürlichen Abtastwert ausgerechnet. Der Umschaltzeitpunkt beim LPWM-Verfahren wird hierbei geringfügig verschoben.

Als Modulationstechnik kommt dieses Verfahren für die vorliegende Arbeit aus den in 2.3.5 erläuterten Gründen nicht in Frage. Es sei an dieser Stelle der Vollständigkeit halber erwähnt, wird jedoch nicht weiter vertieft.

Das Verfahren wurde 1991 von der Gruppe um Goldberg und Sandler entwickelt. Einen detaillierten Einblick gibt die Dissertation von Goldberg [23]. Die Theorie des PNPWM-Modulators und dessen praktische Umsetzung wurde in diversen Veröffentlichungen beschrieben [24], [25], [26], [27], [28].

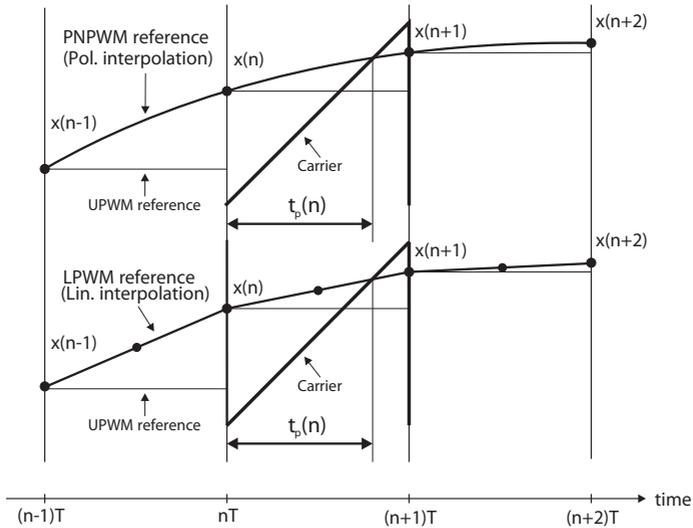


Abb. 2.9: Die Korrektur-Algorithmen der LPWM und PNPWM basieren auf linearer bzw. Polynom-Interpolation.

Song-Sarwate Algorithmus

Ein analytischer Ansatz zur Annäherung an die ideale NPWM wird in der Dissertation von Zukui Song formuliert [29]. Das sog. *Natural Sampling Theorem* verwendet die äquidistanten Abtastwerte der UPWM, um die idealen Abtastwerte der NPWM durch eine Taylor-Reihenentwicklung zu approximieren.

Infolge der Filter-Komplexität kann der Algorithmus jedoch mit der gewählten Schaltfrequenz im verwendeten DSP nicht umgesetzt werden. Eine kurze Erläuterung hierzu wird in Kapitel 2.3.5 bei der Auswahl des Modulators gegeben. Aus diesem Grund sei er an dieser Stelle ebenfalls nur der Vollständigkeit halber erwähnt.

Die Herleitung, die spektrale Untersuchung, sowie vertiefende Informationen zu diesem Verfahren, sind in [29], [30], [31] sowie [32] nachzulesen.

2.3.3 Sigma-Delta-Modulation

Der Sigma-Delta-Modulator arbeitet nach dem gleichen Prinzip wie ein Sigma-Delta-Wandler und kann sowohl analog als auch digital ausgelegt werden. Das System besteht aus Integrator als Schleifenfilter, Quantisierer und einer Gegenkopplung. Der Quantisierer tastet das Audiosignal mit einer Taktfrequenz von einigen MHz ab und erzeugt einen 1-bit Datenstrom. Das entstehende Quantisierungsrauschen wird vom Schleifenfilter (Integrator) integriert und so in einen höheren Frequenzbereich verschoben. Der Integrator wird daher auch als *Rauschformer* oder engl. *Noise-Shaper* bezeichnet. Die Anzahl der Integrator-Stufen (Noise-Shaping-Stufen) bestimmt die Ordnung des Sigma-Delta-Modulators. Je höher die Ordnung, desto größer der Störabstand (SNR) für den gegebenen Überabtastungsfaktor [33].

Die Sigma-Delta-Modulation entspricht einer Puls-Dichte-Modulation (PDM). Durch die Verschiebung der Rauschanteile in höherfrequente Bereiche ist das Audioband quasi frei von harmonischen und Intermodulations-Verzerrungen (THD und IM). Die genaue Funktionsweise sowie eine praktische Umsetzung kann in [34] bzw. in [17] nachgelesen werden. Die Entwicklung eines 1-bit-D/A-Wandler für Audioanwendungen wird in [35] vorgestellt.

Abbildung 2.10 zeigt einen analogen 1-bit Sigma-Delta-Modulator 5. Ordnung aus [9]. Der Sigma-Delta-Modulator kann als zeitdiskretes System in der z -Domäne verstanden werden, in der das Quantisierungsrauschen als additives weißes Rauschen modelliert wird. Das Audiosignal durchläuft zunächst 5 Integrator-Stufen und wird dann quantisiert und auf den Eingang zurückgekoppelt. Die optimalen Koeffizienten werden mittels Simulation bestimmt. Bei der Modulation eines 1 kHz-Tons erzeugt der Modulator das in Abbildung 2.11 dargestellte Spektrum. Es ist gut erkennbar, dass der Rauschsteppich im Audioband unter -150 dB liegt und erst ab 20 kHz signifikant ansteigt.

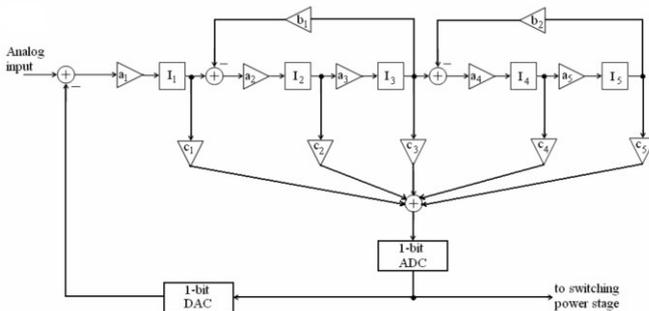


Abb. 2.10: Blockschaltbild eines Sigma-Delta-Modulators 5. Ordnung mit den Integratoren $I_1 - I_5$. Quelle: [9]

Der Vorteil des Modulators liegt in der guten Modulationsqualität mit wenig THD und IM im Audioband. Zudem kann die Schaltstufe des D-Verstärkers problemlos in die Gegenkopplung des Modulators einbezogen werden, um beispielsweise Schaltstufen-Fehler mit zu korrigieren. Die Fehler gehen mit ein in die Quantisierungsfehler, die durch die 1-bit-Quantisierung entstehen und werden durch die Rauschformung im dem Audioband unterdrückt.

Nachteilig ist, dass der Modulator ab der 3. Ordnung nur in bestimmten Konfigurationen stabil ist und die Implementierung deutlich aufwendiger ist als bei einem klassischen Puls-Weiten-Modulator [9]. Weiterhin kann der Ausgang des Sigma-Delta Modulators wegen seiner hohen Taktfrequenz nicht direkt mit den Treibern der Schaltstufe verbunden werden. Um Eingangssignale mit einer Abtastrate von 44 kHz (16-bit CD-Qualität) korrekt zu reproduzieren, muss das Audiosignal mindestens 64-fach überabgetastet werden. Daraus ergibt sich eine Modulator-Takt-Frequenz von ca. 3 MHz. Die Taktfrequenz entspricht auch der Puls-Wiederholungsrate am Ausgang des Modulators. Sie muss in einen Bereich ca. 300 kHz herabgesetzt werden, da konventionell eingesetzte Transistoren nicht mit Schaltfrequenzen von einigen MHz arbeiten können. Zudem steigen die Verluste der Leistungsstufe mit der Schaltfrequenz der Transistoren deutlich an.

Zur Reduktion der Puls-Wiederholungsrate werden verschiedene Techniken angewandt, u.a das sog. *bit-flipping*, welches in [36] und [37] beschrieben wird. In einem anderen Ansatz wird die Sigma-Delta-Modulation mit einer digitalen PWM kombiniert [38] und durch die Gruppierung der Pulse ein neues Signal mit niedrigerer Puls-Wiederholungsrate erzeugt [39].

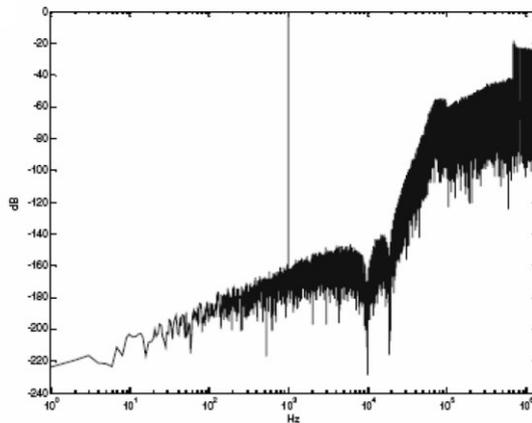


Abb. 2.11: Durch Sigma-Delta-Modulation erzeugtes Spektrum eines 1 kHz-Tons.
Quelle: [40]

2.3.4 Click-Modulation

Die Click-Modulation wurde 1984 von Logan veröffentlicht [41] und 1999 von Streitenberger für Klasse-D-Audioverstärker entdeckt [42]. Infolge der hohen Komplexität gelang Streitenberger erst 2002 die praktische Implementierung von eingehenden Audiosignalen in Echtzeit [43].

Die Click-Modulation basiert auf einem signal-theoretischen Ansatz und erzeugt die Pulsfolge auf analytischem Wege. Die Besonderheit dieser Technik liegt darin, dass das Spektrum des modulierten Audiosignals (base band) garantiert vom Spektrum des Trägers getrennt wird, wie in Abbildung 2.12 dargestellt. Zwischen den Bändern befindet sich ein Übergangsbereich, damit die Bänder nicht überlappen (guard-band). Tieferegehende Informationen zur Click-Modulation bietet die Dissertation von Streitenberger [44].

Ähnlich wie bei der NPWM und der PNPWM existieren auch hier kaum harmonische Oberwellen und Intermodulations-Verzerrungen. Durch die Trennung der Frequenzbänder treten jedoch nach der Demodulation keine Komponenten der Trägerseitenbänder im Audioband auf, wie es bei den PWM-Verfahren der Fall ist. Ein Vergleich der beiden Techniken in Abbildung 2.14f zeigt deutlich den spektralen Unterschied im Audioband. Hierfür wurde in [43] die Modulation eines Dreiton-Signals (2,4 kHz, 19 kHz und 19,5 kHz) mit einer Trägerfrequenz von 97,6 kHz simuliert. Bei der Click-Modulation ist das Audioband vollständig störfrei. Die Komponenten der Trägerseitenbänder treten erst nach dem Guard-Band von 28 kHz bei 48 kHz auf. Bei der NPWM hingegen, sind die Komponenten im Audioband nicht zu übersehen. Wegen der niedrigen Schaltfrequenz von 96 kHz sind die Amplituden der Komponenten vergleichsweise hoch. Die Spektrallinien außerhalb des Audiobandes zeigen bei beiden Modulationstechniken dieselbe Charakteristik.

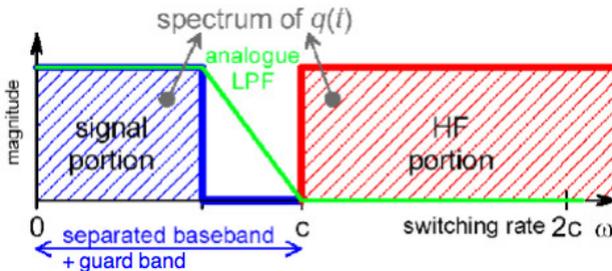


Abb. 2.12: Bei der Click-Modulation entsteht im Spektrum eine garantierte Trennung von Basisband und Trägerband. *Quelle:* [45]

Die mathematische Herleitung der Click-Modulation kann man mit Hilfe des Manuskripts von Logan [41] nachvollziehen, die analytischen Schritte sind in [9] sowie etwas

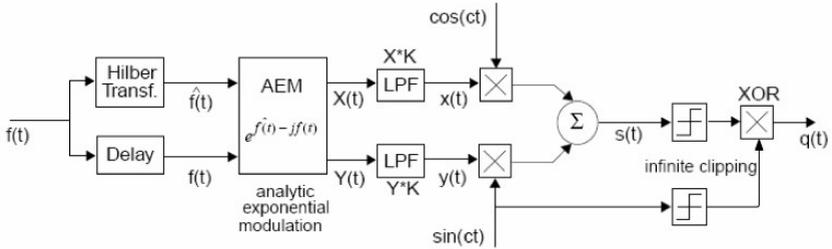


Abb. 2.13: Blockschaltbild eines binären Click-Modulators. *Quelle:* [46]

detaillierter in [46] beschrieben. Der Ansatz basiert auf verschiedenen, aufeinanderfolgenden Modulationsschritten, die anhand des Blockschaltbilds in Abbildung 2.13 erläutert werden.

Im ersten Schritt wird aus dem Audiosignal ein analytisches⁷ Signal erzeugt, indem die Hilbert-Transformierte des Audiosignals $\hat{f}(t)$ als Imaginärteil hinzuaddiert wird. Ein komplexes Signal ist hier obligatorisch, um in einem späteren Modulationsschritt das gewünschte Einseitenband-Signal zu generieren.

Im nächsten Schritt wird das komplexe Audiosignal durch eine analytische Exponential-Modulation (AEM) auf die Form e^{jx} gebracht. Der hierdurch entstandene Raumzeiger ändert bei Modulation sowohl seine Amplitude als auch seine Phase, da die Trajektorie für einen Sinus-Ton einen nierenförmigen Verlauf zeigt. Das Spektrum der Funktion ist nicht bandbegrenzt und muss daher durch die steilflankigen Tiefpassfilter (LPF) für Realteil $X(t)$ und Imaginärteil $Y(t)$ bandbegrenzt werden. Die Flankensteilheit dieser Filter beeinflusst das Guard-Band aus Abbildung 2.12. Die Filter müssen daher sorgfältig ausgelegt werden, damit Basisband und Trägerband nicht überlappen.

Im dritten Modulationsschritt wird der Realteil des Audiosignals $x(t)$ mit der Kosinus-Funktion multipliziert, der Imaginärteil $y(t)$ mit der Sinus-Funktion. Diese Multiplikation kann vereinfacht als reine Phasenmodulation des komplexen Audiosignals auf der Trägerfrequenz c angesehen werden. Realteil und Imaginärteil werden separat moduliert und die Träger sind um 90° zueinander verschoben. Bei der Multiplikation wird genau genommen auch die Amplitude moduliert. Dies kann jedoch vernachlässigt werden, da eine Amplitudeninformation für das rechteckförmige Steuersignal der Transistoren nicht benötigt und daher in einem späteren Schritt eliminiert wird.

Nach der Modulation werden Real- und Imaginärteil des (modulierten) Audiosignals addiert. Da die beiden Träger (Sinus und Kosinus) im negativen Spektrum entgegengesetzte Dirac-Impulse aufweisen, löscht sich ein Frequenzband aus – es entsteht das Einseitenband-Signal (SSB) $s(t)$. An dieser Stelle wird deutlich, warum ein komplexes Signal benötigt wird.

⁷komplexes

Nach der Logan'schen Theorie ist die gesamte Information in den Nullstellen des Signals $s(t)$ gespeichert, da es sich um eine Phasenmodulation handelt und die Amplitudeninformation für das binäre Steuersignal unwichtig ist. Im Folgeschritt wird die Amplitudeninformation durch eine starke Übersteuerung des Signals eliminiert (infinite clipping), wodurch ein rechteckförmiges, binäres Signal entsteht. Mathematisch wird dieses binäre Signal durch Anwendung der Signum-Funktion generiert. Im letzten und entscheidenden Modulationsschritt wird das binäre Signal mit dem begrenzten Träger des Imaginärteils $\sin(cf)$ multipliziert. Wegen der Rechtecksignale genügt eine einfache XOR-Verknüpfung, was an dieser Stelle einer Multiplikation entspricht. Die Nullstellen des modulierten Audiosignals $s(t)$ liegen immer zwischen den äquidistanten Nullstellen des Imaginärteil-Trägers $\sin(cf)$ und werden durch die Modulation leicht hin und her verschoben. Durch die Multiplikation entsteht also ein klassisches, pulsweiten-moduliertes Rechtecksignal auf der Trägerfrequenz $2c$. Im Frequenzbereich entspricht die Multiplikation einer Faltung, bei der die Differenzprodukte $c + c$ und $c - c$ entstehen. Das bedeutet, dass das modulierte Audiosignal $s(t)$ auf die doppelte Trägerfrequenz ($2c$) hochgemischt und ins Audioband (Basisband) hinuntergemischt ($0c$) wird. Hierbei überlappen die Bänder nicht, wenn die Tiefpässe, wie zuvor beschrieben, akkurat ausgelegt wurden. Die Schaltstufe wird dann mit dem PWM-Signal auf der doppelten Trägerfrequenz $2c$ gesteuert. Da die Frequenzbänder nicht überlappen, kann das Audiosignal durch den Ausgangsfilter artefaktfrei rekonstruiert werden.

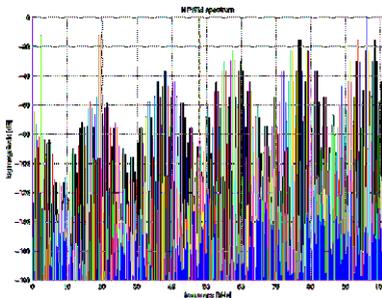


Abb. 2.14: NPWM eines Dreiton-Signals mit $f_c=96$ kHz. *Quelle:* Vortrag zu [43]

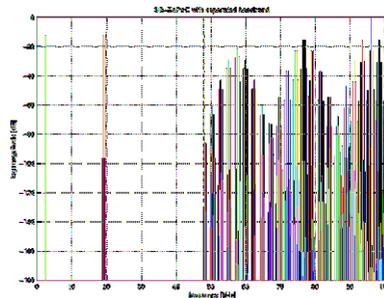


Abb. 2.15: Click-Modulation eines Dreiton-Signals mit $f_c=96$ kHz. *Quelle:* Vortrag zu [43]

Vorteilhaft ist die herausragende Linearität des Modulators. Eine Fehlerkorrektur oder Überabstastung wie in den anderen Verfahren ist wegen der geringen Signalverzerrungen nicht notwendig. Bei einer idealen Leistungsstufe könnte daher auf aufwendige Gegenkopplungsschleifen verzichtet und der Verstärker *open loop* betrieben werden [18]. Da durch die Trennung der Frequenzbänder keine Komponenten der Trägerseitenbänder im Audioband auftreten können, ist eine Schaltfrequenz von ca. 100 kHz ausreichend. Mit sinkender Schaltfrequenz reduzieren sich nicht nur die

Schaltverluste, sondern auch die zeitlichen Verzerrungen durch die Schaltstufe [18]. Der Nachteil liegt in der aufwendigen Implementierung der analytischen Schritte und der steilflankigen Tiefpassfilter. Die erste Echtzeit-Realisierung der Click-Modulation 2002 [43] benötigte 5 DSPs zur Berechnung der Modulation. Die Implementierung von Schnick 2007 forderte zu den 5 DSPs noch 2 FPGAs [18]. Weniger rechenintensiv ist der in [47] beschriebene Ansatz für tragbare Audiowiedergabe-Geräte. Bei der sog. *off-line Implementierung* generiert der Modulator im Vorfeld eine Pulsfolge für das gesamte Musikstück, die auf dem Abspielgerät lokal gespeichert wird. Dieser Ansatz ist jedoch auf Audiowiedergabe-Geräte beschränkt und für einen Verstärker im Live-Betrieb nicht anwendbar. Das Verfahren ist auch unter der Bezeichnung *Zero-Position Coding with Separated Baseband* (SB-ZePoC) bekannt und wird immer noch weiterentwickelt. Die praktische Implementierung eines Click-Modulators mit entsprechenden Messungen des Frequenzgangs kann in [45], [19], [18] oder [43] nachvollzogen werden.

Abkürzung Modulations- verfahren	THD harmonische Oberwellen	IM Intermodulations- Verzerrungen	Komponenten der Träger- seitenbänder
NPWM	<i>keine</i>	<i>keine</i>	ja
UPWM	hoch	hoch	ja
LPWM	gering	gering	ja
PNPWM	<i>keine</i>	<i>keine</i>	ja
Sigma-Delta	<i>keine</i>	<i>keine</i>	<i>nein</i>
Click	<i>keine</i>	<i>keine</i>	<i>nein</i>

Tab. 2.3: Modulationsverfahren und deren Auswirkung auf die Audioqualität

Tabelle 2.3 gibt einen Überblick über die entstehenden Signalverzerrungen für alle beschriebenen Modulationsverfahren. Hierbei wird von einer idealen Umsetzung ausgegangen. Die endliche Genauigkeit der Rechenalgorithmen in der praktischen Umsetzung sowie Fehler durch die Auflösung des Trägers werden nicht berücksichtigt.

2.3.5 Auswahl des Modulators

Die Wahl des Modulationsverfahrens entscheidet nicht nur über die Qualität (THD) des reproduzierten Audiosignals, sondern auch über die Komplexität der Implementierung des Modulators im Design [48]. Für die vorliegende Arbeit liegt das Augenmerk auf einer einfachen und robusten Realisierung des Modulators, die wenige potentielle Fehlerquellen im Design birgt, da der Modulator nicht im Fokus der Betrachtungen steht.

Im Rahmen der Dissertation von Karsten Nielsen [8] werden im Kapitel 2 die grundlegenden Modulationsarten PWM und PDM analysiert und miteinander verglichen. Der Autor kommt zu dem Ergebnis, dass eine auf PWM basierende Technik für

einen Audio-Leistungsverstärker gewinnbringender sei. Seine Analyse ergibt, dass die PDM, wie sie im Sigma-Delta-Modulator Anwendung findet, grundlegende Nachteile aufweist, welche sich überwiegend auf die Schaltstufe auswirken. Darüber hinaus sind bei der Sigma-Delta-Modulation wegen der hohen Taktfrequenz zusätzliche Techniken zur Reduzierung der Puls-Wiederholungsrate notwendig. Diese Techniken sind aufwendig und verursachen Verzerrungen und zusätzliches Rauschen. Linearität und Noise-Shaping Charakteristika des Modulators werden negativ beeinflusst [39], [34]. Die eigentlich vorteilhaften Korrekturen der Schaltstufen-Fehler sind im Rahmen dieser Arbeit nicht erwünscht, da genau diese Fehler untersucht und deren Entstehung durch Silizium bzw. SiC-Transistoren analysiert werden.

Die Click-Modulation ist das linearste, aber auch das aufwendigste Modulationsverfahren [9], [48], [42], [43], [44]. Die Herausforderung liegt in der Implementierung des Algorithmus auf den Signalprozessoren sowie in der Auslegung der steilflankigen Tiefpassfilter, welche essentiell für die Separierung der Frequenzbänder ist. Der Echtzeit-Algorithmus der Click-Modulation muss aufgrund des rechenintensiven analytischen Ansatz auf mehreren DSPs und/oder FPGAs umgesetzt werden [43], [18]. Die Programmierung ist aufwendig, zeitintensiv und fehleranfällig. Der Ansatz der *Off-line Implementierung* kann hier nicht gewählt werden, da der Verstärker in einer PA-Anlage im Live-Betrieb eingesetzt und nicht ausschließlich abgespeicherte Musiktitel abspielen wird.

Wie im vorherigen Abschnitt erläutert, kann die NPWM (natürliche Puls-Weiten-Modulation) als Sonderfall der Click-Modulation angesehen werden. Nach den Erkenntnissen aus [49] ist die NPWM bei entsprechend hoher Schaltfrequenz der Click-Modulation ebenbürtig.

Zusammenfassend lässt sich feststellen, dass im Vergleich zu den o.g. Techniken bei der NPWM und PNPWM Signalverzerrungen durch Komponenten der Trägerseitenbänder im Audioband auftreten. Mit der gewählten Schaltfrequenz von 400 kHz liegen diese jedoch unterhalb der festgelegten Schwelle [18], vgl. Kapitel 2.3.1. Für den Fokus, in dem diese Arbeit steht, muss der Modulator vor allem sicherstellen, dass die von den Leistungstransistoren erzeugten Verzerrungen nicht in der Ansteuerung untergehen. Da die Linearität der alternativen Modulations-Techniken im Verhältnis zur Komplexität der Umsetzung nur geringfügig steigt [8], [28], [48], [49], ließe sich der Mehraufwand für die Thematik dieser Arbeit nicht rechtfertigen. Vor diesem Hintergrund ist ein Modulator, der auf einer PWM-Technik basiert, deutlich praktikabler, als die beiden alternativen Modulations-Techniken.

Für die praktische Umsetzung des Modulators mit einem DSP ist eine digitale PWM-Technik notwendig. Beim Vergleich der digitalen PWM-Verfahren muss nicht nur die Genauigkeit der Modulation in Betracht gezogen werden, sondern insbesondere die Möglichkeiten zur Umsetzung auf dem DSP sowie die Anzahl der Prozessortakte, welche bei der gewählten Schaltfrequenz zur Verfügung steht.

Der Algorithmus nach Song und Sarwate wäre bei der gewählten Schaltfrequenz von 400 kHz wegen der zu implementierenden Filter zu rechenintensiv. Der Algorithmus wurde im Rahmen einer bei der Firma Camco durchgeführten Diplomarbeit [50] für

eine Schaltfrequenz von 192 kHz implementiert. Hierbei wurde der DSP-Baustein gewählt, welcher für Audioverstärker geeignet ist und gleichzeitig über die höchste verfügbare Auflösung verfügt. Dieser DSP stellt auch die Basis für den Modulator in der vorliegenden Arbeit dar. In der Diplomarbeit wurden die für die Taylor-Reihe notwendigen Ableitungen mit digitalen FIR-Filtern realisiert, um die Berechnung einer Division auf dem DSP zu vermeiden. Bei der Programmierung des DSPs stellte sich jedoch heraus, dass für die Implementierung der Filter bei der *doppelten* Schaltfrequenz zu wenige Rechenzyklen pro Takt zur Verfügung stünden. Folglich ist der Algorithmus nach Song und Sarwate als Modulator nicht praktikabel.

Beim Vergleich von UPWM und LPWM wird – wegen der deutlich besseren Annäherung an die NPWM – der LPWM-Technik der Vorzug gegeben.

Die Umsetzung der PNPWM kann mit dem gewählten DSP nicht realisiert werden, da die Polynom-Interpolation aufgrund der vielen Divisionen zu komplex ist. Die Interpolation der Abtastwerte wird bei dem LPWM-Verfahren etwas vereinfacht. Nach den Analysen in [8], Kapitel 3, zeigt eine lineare Interpolation eine hinreichend gute Annäherung an die NPWM und ist zudem praktikabel im Bezug auf die Implementierung.

Die in Tabelle 2.2 beschriebenen Varianten der LPWM beschränken sich wegen der Halbbrücken-Topologie auf die einseitige Modulation (LadS) mit einem Sägezahn-Träger oder die beidseitige Modulation (LadD) mit einem Dreiecks-Träger. Das Time-Base-Submodul des DSPs, welches den Träger realisiert (vgl. Kapitel 4.2.1), unterstützt sowohl einen sägezahn- als auch einen dreieckförmigen Träger. Demnach wäre die höherwertige beidseitige Modulation (LadD) theoretisch auch möglich. Bei der korrekten Modulation beider Flanken ändern sich die Flanken unabhängig von einander asymmetrisch um die Spitze des Dreieck-Trägers. Hierfür müsste jedoch die lineare Interpolation pro Takt zweimal durchgeführt werden: einmal für die steigende Flanke des Trägers und einmal für die fallende Flanke. Infolgedessen würden im Algorithmus zwei Divisionen pro Takt getätigt, für die jedoch die Rechenleistung des DSPs nicht ausreicht. Führt man mit einem Dreieck-Träger nur eine Interpolation pro Takt durch, so ändern sich die Flanken gleichartig symmetrisch um die Spitze des Dreiecks. Diese Modulationsart kommt jedoch der einseitigen Modulation mit einem Sägezahn gleich, die sich durch eine feststehende und eine modulierte Flanke auszeichnet [30].

Nach eingehender Analyse kristallisiert sich die LadS-Variante der digitalen Pulsweiten-Modulation als Verfahren zur Erzeugung des Steuersignals heraus, welches für diese Arbeit am besten geeignet ist. Das Kapitel 4.2 beschreibt die praktische Umsetzung des Modulators.

2.4 Audioqualität

Die Audioqualität eines Verstärkers beschreibt die Linearität der Audio-Wiedergabe. Im idealen Fall würde das Eingangssignal linear verstärkt und das Ausgangssignal wäre rausch- und verzerrungsfrei. Bei einer nichtlinearen Wiedergabe generiert der Verstärker Verzerrungen [51], die beispielsweise als harmonische Verzerrungen (THD) oder als Intermodulations-Verzerrungen gemessen werden können.

Harmonische Verzerrungen treten als ganzzahlige Vielfache der Grundwelle auf, wenn ein Audiosignal einer einzelnen Frequenz f_0 verstärkt wird. Eine harmonische Verzerrung HD_i ist als Verhältnis der Effektivwerte von harmonischer Komponente (Klirrkomponente) A_i zur Grundwelle A_0 definiert [51]:

$$\text{HD}_i = \frac{A_i}{A_0} \quad (2.1)$$

Die Summe aller harmonischen Komponenten A_n bestimmen in der Musik die *Klangfarbe* eines Tons. Durch unterschiedliche spektrale Zusammensetzung der harmonischen Komponenten⁸ ist der Klang eines Tons derselben Grundfrequenz auf einem Klavier ein ganz anderer als auf einer Gitarre oder einer Trompete. Setzt man die Summe aller harmonischen Komponenten ins Verhältnis zur Grundwelle, so ergeben sich die gesamten harmonischen Verzerrungen des Signals mit der Frequenz f_0 zu:

$$\text{THD} = \frac{\sqrt{\sum_{i=1}^n (A_i^2)}}{A_0} \quad (2.2)$$

Ein Verstärker sollte das Audiosignal möglichst unverfälscht wiedergeben, daher ist man bestrebt, die gesamten harmonischen Verzerrungen so gering wie möglich zu halten.

Intermodulations-Verzerrungen sind nicht-ganzzahlige Vielfache der Grundwelle. Sie entstehen bei der Verstärkung zweier unterschiedlicher Frequenzen als Komponenten aus der Summe sowie der Differenz beider Frequenzen. Intermodulations-Verzerrungen können hier nicht bestimmt werden, da es der vorliegende Aufbau nicht ermöglicht, mehrere Frequenzen gleichzeitig in eine PWM umzuwandeln. Wie in Kapitel 4.2.1 beschrieben, können mit dem DSP-Algorithmus in dieser Arbeit nur die Daten einer einzelnen Frequenz gespeichert und verarbeitet werden. Da Ansteuerung und Modulationstechnik bei allen Endstufen gleich ist und die Schaltstufe in erster Linie harmonische Verzerrungen erzeugt, spielen Intermodulations-Verzerrungen für den Vergleich eine untergeordnete Rolle.

⁸in der Musik auch *Obertöne* genannt

2.4.1 Grundsätzliche Entstehung von Verzerrungen

Die generierten Verzerrungen hängen von der Struktur des Verstärkers in Bezug auf Modulationstechnik und Topologie der Leistungsstufe ebenso ab, wie vom Design und der Ansteuerung der Schaltstufe. Bei Letzterem geht es um die Erzeugung des Ansteuersignals, die Dimensionierung von Gate-Treiber-Beschaltung und Einstellung der Totzeit, die Auslegung des Ausgangsfilters und schlussendlich um die Auswahl der eingesetzten Komponenten und das Leiterplattenlayout. Im späteren Betrieb des Verstärkers haben Aussteuerhöhe und Betriebstemperatur des Verstärkers ebenfalls Einfluss auf die entstehenden Verzerrungen.

In einem Klasse-D-Verstärker sind Verzerrungen in der Regel auf ein nichtideales PWM-Signal zurückzuführen. Dieses PWM-Signal weist sowohl Fehler in der Amplitude als auch im Schaltzeitpunkt auf, wie in Abbildung 2.16 veranschaulicht. Hierdurch wird der Mittelwert des PWM-Takts verfälscht und korrespondiert nicht mehr mit dem aktuellen Eingangssignal. Infolgedessen ist das demodulierte Ausgangssignal verzerrt. Die Ursachen für eine Veränderung des idealen PWM-Signals sind vorwiegend im Modulator und in der Leistungsstufe zu suchen:

1. Zeitfehler im Steuersignal durch die gewählte Modulationstechnik,
2. Zeitfehler im Steuersignal durch die endliche Auflösung der Bausteine (DSP, FPGA) auf denen der Modulations-Algorithmus umgesetzt ist,
3. Zeitfehler im Steuersignal als Konsequenz der Transistorcharakteristika,
4. Fehler im verstärkten PWM-Signal durch die nicht-rechteckige Kurvenform des Brückensignals (Schwingungen, Flankensteilheit, etc)
5. Zeitfehler im verstärkten PWM-Signal durch die Schaltstufe (vgl. 2.4.3),
6. Amplitudenfehler im verstärkten PWM-Signal durch Schwankungen der Versorgungsspannung,
7. Amplitudenfehler im verstärkten PWM-Signal durch Wahl der Topologie (Power Supply Pumping und schlechtes PSRR).

Der Einfluss der Modulationstechnik (Punkt 1) wurde in den vorangegangenen Kapiteln kurz beleuchtet und spielt für diese Arbeit eine untergeordnete Rolle. Die hierdurch erzeugten Verzerrungen sind für alle Endstufen gleich, da für alle Endstufen derselbe DSP eingesetzt wird⁹. Die endliche Auflösung des verwendeten DSPs (Punkt 2) stellt für die spätere THD-Messung lediglich eine Obergrenze des Störabstandes dar, die für alle Endstufen gleich ist. Da die Berechnung des maximalen Störabstandes eine genauere Kenntnis des verwendeten Bausteins voraussetzt, wird hierauf erst in Kapitel 4.2.1 eingegangen.

In der weiteren Analyse werden Verzerrungen, die durch Amplitudenfehler (Punkt 6-7) entstehen, nicht betrachtet. Diese Fehler werden hauptsächlich durch Schwankungen der Versorgungsspannung verursacht. Da die Versorgungsspannung durch ein für das Testen von Audioendstufen entwickeltes Netzteil bereitgestellt wird, kann der Einfluss hier vernachlässigt werden (siehe Kapitel 4.5.2)

⁹Es wird immer dieselbe DSP-Leiterplatte jeweils auf die zu untersuchende Endstufe aufgesteckt.

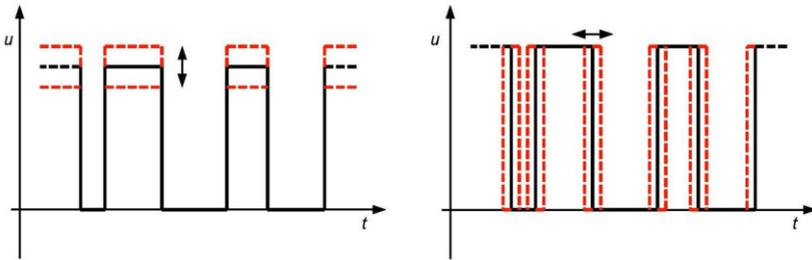


Abb. 2.16: Amplituden-Schwankungen und fehlerhafte Schaltzeitpunkte verfälschen den Mittelwert der PWM.

Alle Einflüsse, die auf die Schaltstufe zurückzuführen sind (Punkt 3-5), werden im folgenden theoretisch beleuchtet. Für die vorliegende Arbeit sind die übrigen Fehlerquellen, auf die die Wahl der Transistortechnologie keine Auswirkung hat, von sekundärer Bedeutung. Die Signalverzerrungen müssen lediglich so gering gehalten werden, dass der Einfluss der Schaltstufe nicht überdeckt wird.

Für ein besseres Verständnis der zugrunde liegenden Theorie, sei zunächst der Begriff der *PWM Central Region* definiert.

2.4.2 Definition der PWM Central Region

Ähnlich wie bei analogen Klasse-AB-Verstärkern sind auch beim D-Verstärker die Signal-Verzerrungen von der Aussteuerung am Eingang abhängig. Neben der Definition von positiver und negativer Aussteuerungen sei nachfolgend die sog. *PWM Central Region* genauer beleuchtet.

Positive und negative Aussteuerung

Eine positive Aussteuerung am Eingang erzeugt eine positive Halbwelle des Ausgangssignals durch ein Tastverhältnis größer 50%. Umgekehrt führt eine negative Aussteuerung zur negativen Halbwelle am Ausgang, die durch Tastverhältnisse kleiner 50% erzeugt wird.

Die Höhe des Laststroms am Ausgang wird durch die Aussteuerung am Eingang bestimmt. Bei positiver Aussteuerung bleibt am Brückenknoten die Summe aus Laststrom und Ripplestrom während eines Schaltzyklus durchweg positiv. Für die negative Aussteuerung gilt entsprechendes mit umgekehrtem Vorzeichen. Von positiver oder negativer Aussteuerung spricht man erst, wenn der Laststrom einen bestimmten Grenzwert überschreitet und die sog. *PWM Central Region* verlässt.

PWM Central Region

Als *PWM Central Region* wird in der Literatur [3] ein bestimmter Bereich um den Nulldurchgang des Ausgangssignals bezeichnet.

Im Nulldurchgang beträgt das Tastverhältnis 50%, ebenso wie im Leerlauf des Verstärkers. Laststrom und -spannung am Ausgang sind (nahezu) Null, der Strom am Brückenknoten vor dem Ausgangsfilter pendelt jedoch dreiecksförmig um den Nullpunkt herum. Dieser sog. Rippelstrom wird von der Filterdrossel getrieben und ist in Abbildung 2.17 dargestellt. Da im Magnetfeld der Drossel wenig Energie gespeichert ist, wechselt der Strom *während* der Leitphase der Leistungstransistoren seine Richtung im Verstärker. Der Strom in den Verstärker hinein und aus dem Verstärker heraus ist hierbei betragsmäßig gleich groß und der niederfrequente Wechselanteil des Laststroms beträgt Null. In Abbildung 2.17 sind die Flächen der Sägezahnkurve oberhalb und unterhalb der t -Achse identisch. Die Gründe für dieses Verhalten werden im Anhang unter A.1.1 erläutert.

Mit zunehmender Aussteuerung des Verstärkers weicht das Tastverhältnis von 50% ab. Mit den ungleich langen Ladezeiten der Drossel steigt der niederfrequente Wechselanteil in eine Richtung an und nimmt in die andere Richtung um den selben Betrag ab. Demzufolge verschiebt sich die Sägezahnkurve in Abbildung 2.17 bei einer positiven Aussteuerung (also in der positiven Halbwellen am Ausgang) nach oben, bei einer negativen Aussteuerung nach unten. Der Strom pendelt weiterhin um die t -Achse, die Flächen oberhalb und unterhalb der Kurve sind jedoch nicht mehr gleich groß. Der niederfrequente Wechselanteil addiert sich zum Rippelstrom hinzu und bewirkt am Ausgang einen von Null verschiedenen Laststrom. Solange der niederfrequente Wechselanteil des Laststroms kleiner als der maximale Rippelstrom ist, wechselt der Strom am Brückenknoten während jeder Leitphase der FETs weiterhin seine Richtung.

Das Ende der Central Region ist erreicht, wenn die Aussteuerung so hoch ist, dass der Strom in einer Richtung zu Null wird. In diesem Falle wechselt der Strom am Brückenknoten nicht mehr seine Richtung. Der niederfrequente Wechselanteil ist nun so hoch, dass die Summe aus Laststrom und Rippelstrom am Ende einer Transistor-Leitphase genau zu Null wird. Abbildung 2.18 verdeutlicht diesen Sachverhalt als Berührung mit der t -Achse. In den Schaltzyklen auf dem positiven Scheitel der Ausgangsspannung liegt der Sägezahn auf der t -Achse auf, auf dem negativen Scheitel der Ausgangsspannung hängt der Sägezahn unter der t -Achse. Der Leerlauf des Verstärkers mit dem Tastverhältnis von 50% befindet sich somit in der Mitte der Central Region.

Charakteristisch für die Central Region ist, dass der Rippelstrom am Brückenknoten während jeder Leitphase der Transistoren seine Richtung wechselt. Die Central Region endet, wenn der Strom am Brückenknoten in der längeren Leitphase genau zu Null wird und nicht mehr seine Richtung ändert.

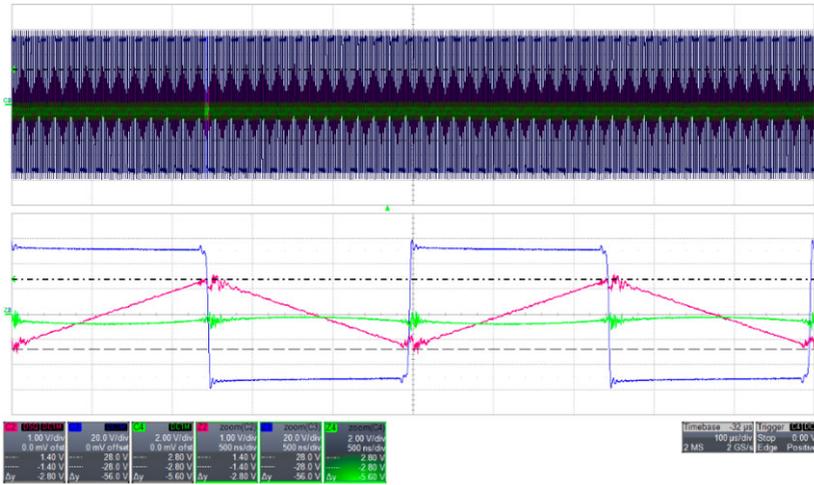


Abb. 2.17: Ripplestrom in der Mitte der PWM Central Region.

Verzerrungen in der PWM Central Region

Anders als beim analogen AB-Verstärker¹⁰ entstehen innerhalb der Central Region keine harmonischen Verzerrungen durch die Leistungsstufe. Die harmonischen Verzerrungen beginnen der Theorie nach erst beim Verlassen der Central Region. Die Gründe hierfür werden in den Abschnitten 2.4.3f beleuchtet. Die PWM Central Region gilt bezüglich der Audioqualität als Bereich linearer Verstärkung. Auf entsprechende Einschränkungen wird in Kapitel 2.4.8 hingewiesen.

Die Breite der Central Region ist durch die Höhe des maximalen Ripplestroms bestimmt. Der Ripplestrom wird bei einem Tastverhältnis von 50% maximal, die Höhe wird durch Schaltfrequenz und Versorgungsspannung der Halbbrücke, sowie die Größe der Filterinduktivität festgelegt. Ein größerer linearen Bereich kann durch die Verbreiterung der Central Region infolge kleinerer Induktivität der Ausgangsdrossel, einer Erhöhung der Versorgungsspannung oder Verringerung der Schaltfrequenz erzielt werden.

In der vorliegenden Arbeit erstreckt sich der lineare Bereich der Central Region über ein Tastverhältnis von 44% bis 56%. Das Ende der Central Region bei einer Aussteuerung von ca. 12%¹¹ erreicht. Hierbei liegt über der Last am Ausgang eine effektive

¹⁰Bei einem AB-Verstärker entstehen bei falscher Basistrom-Einspeisung Übernahmeverzerrungen im Nulldurchgang.

¹¹Die exakte Aussteuerung ist von der jeweiligen Halbbrücke abhängig.

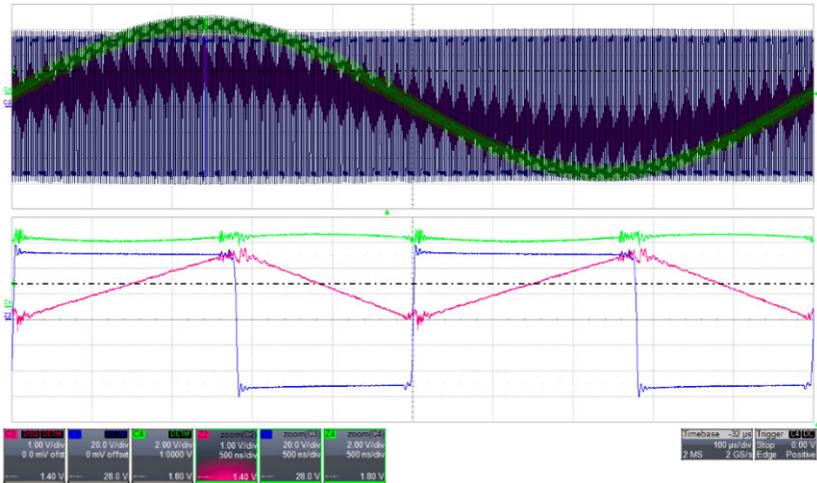


Abb. 2.18: Ripplestrom am Ende der PWM Central Region.

Ausgangsspannung von $4 V_{eff}$ an. Abbildung 2.17 zeigt den im Leerlauf gemessenen Ripplestrom der SiC-MOSFET-Halbbrücke. Der maximale Ripplestrom ist für alle Halbbrücken identisch und beläuft sich auf $\pm 1,4$ A.

2.4.3 Etablierte Theorie: Einfluss der Schaltstufe auf die Audioqualität

Die Schaltstufe besitzt einen entscheidenden Einfluss auf die Audioqualität, da die Entstehung von harmonischen Verzerrungen außerhalb der Central Region vorwiegend auf zeitliche Fehler sowie die nicht rechteckige Kurvenform des verstärkten PWM-Signals am Brückenknoten zurückzuführen ist. Nachfolgend eine Liste der Zeitfehler, die die Schaltstufe einbringt. Die Auswirkungen der Zeitfehler wird im Analysekapitel 6.1 eingehend untersucht und diskutiert.

1. Zeitfehler im Steuersignal durch die Totzeit,
2. Zeitfehler im Steuersignal durch die Flankensteilheit der Gate-Treiber,
3. Zeitfehler im Brückensignal durch die Schaltcharakteristika der Transistoren, wie Ein- und Abschaltverzögerung, endliche Schaltgeschwindigkeit und Reverse-Recovery-Vorgänge der Body Diode,
4. Zeitfehler im Brückensignal durch Flankensteilheit der Gate-Source-Spannung,
5. Zeitfehler im Brückensignal durch die effektive Totzeit,

6. Zeitfehler durch die endliche Anstiegs- und Abfallzeiten der Brückenspannung,
7. Schwingungen auf dem Brückensignal durch die Anregung parasitärer Kapazitäten und Induktivitäten.

Die *Auswirkung* der Zeitfehler auf harmonischen Verzerrungen und Audioqualität ist in der Literatur gut dokumentiert [3], [4], [8], [5], [52], [6], [7], [53]. *Ursache und Entstehung* der harmonischen Verzerrungen wird hingegen nur oberflächlich behandelt. Die tiefgründigere Analyse der harmonischen Verzerrungen brachte einige Erkenntnisse zu Tage, die eine Ergänzung bestimmter Aspekte der bestehenden Theorie notwendig machten. In diesem Abschnitt wird die etablierte Theorie, wie sie in der Literatur zu finden ist, zusammengefasst. Im folgenden Abschnitt werden entsprechende Aspekte dieser Theorie mit den während der Dissertation gefundenen Ergebnissen präzisiert.

Verschiebung der PWM-Flanken am Brückenknoten nach der etablierten Theorie

Die zeitliche Verschiebung der PWM-Flanken am Brückenknoten ist bedingt durch das nichtideale Schaltverhalten der Transistoren. Ein schaltender Transistor erzeugt Spannungsflanken mit endlichen Anstiegs- und Abfallzeiten, deren Steilheit von den parasitären Transistor-Kapazitäten sowie der Gate-Treiber-Ansteuerung abhängig sind. Die endliche Flankensteilheit der Gate-Drain-Spannung verursacht am Brückenknoten einen zeitlichen Fehler gegenüber der idealen PWM-Flanke.

Die endlichen Anstiegs- und Abfallzeiten der Gate-Source-Spannungen führen zu Ein- und Abschalt-Verzögerungen des Transistors. Als Konsequenz der Abschaltverzögerungen muss in einer Halbbrücke beim Wechsel des stromführenden Transistors eine sog. *Totzeit* eingehalten werden, in der beide Transistoren abgeschaltet sind. Hierfür wird entweder die steigende oder die fallende Flanke der Steuersignale für High- und Low-Side um die Totzeit verzögert. Diese Totzeit hat einen dominanten Einfluss auf die Entstehung harmonischer Verzerrungen des Ausgangssignals.

Trotz einer konstanten Verzögerung beider Steuersignale wird das verstärkte PWM-Signal am Brückenknoten nicht gleichartig beeinflusst. In Abhängigkeit vom Laststrom wirkt sich die Totzeit unterschiedlich auf die PWM-Flanken eines Schaltzyklusses aus.

Abbildung 2.19 zeigt die Verschiebung der PWM-Flanken gemäß der etablierten Theorie. Das Tastverhältnis ist nicht an die entsprechende Aussteuerungshöhe angepasst, sondern zur besseren Übersicht immer gleich dargestellt. Die Skizze soll lediglich dem prinzipiellen Verständnis des Verschiebungs-Mechanismus dienen. Der rot markierte Bereich zeigt die Verschiebung der PWM-Flanke durch die Totzeit an. Die Ursache für die ungleiche Verschiebung liegt in der Natur der Drossel und wird nachfolgend kurz umrissen. Eine detailliertere Beschreibung findet sich in Anhang A.1.

Das oberste PWM-Signal zeigt den idealen Schaltzyklus ohne Totzeit (HS/LS on = High/Low Side leitet). In den Zyklen darunter markieren die gestrichelten Linien die Totzeit.

Schaltzyklus (I) verdeutlicht den Einfluss bei positiver Aussteuerung des Verstärkers¹². Der Laststrom ist durchweg positiv. In diesem Betriebsmodus bestimmt das Schalten des High-Side Transistors die PWM-Flanke am Brückenknoten. Beim Abschalten der High-Side wechselt die Brückenspannung ihren Zustand, da der Strom unmittelbar in die Body-Diode des Low-Side FETs kommutiert. Die zeitliche Position der fallenden PWM-Flanke bleibt daher unverändert. Der Strom verbleibt in der Low-Side bis der High-Side FET hart einschaltet, die Schaltvorgänge der Low-Side haben keinen Einfluss auf die Brückenflanke. Erst wenn der High-Side FET einschaltet, wechselt die Brückenspannung wieder ihren Zustand. *Die Position der steigenden PWM-Flanke ist um die Totzeit verschoben.* Die ungleiche Beeinflussung von steigender und fallender PWM-Flanken verändert das Tastverhältnis. Mit dem längeren Leiten der Low-Side reduziert sich der Mittelwert dieser PWM-Zyklen und es kommt zu einer Verzerrung des Ausgangssignals (siehe Abb. 2.24).

Schaltzyklus (II) gilt für die PWM Central Region. Das Ausgangssignal ist nahezu Null, der Laststrom am Brückenknoten ist betragsmäßig kleiner als der maximale Ripplestrom. Aufgrund des Richtungswechsels während der Leitphasen, kommutiert der Strom nach *jedem* Abschalten umgehen in die Body-Diode des jeweils anderen FETs. Die Brückenspannung wechselt sofort ihren Zustand, die Position der PWM-Flanke bleibt daher unverändert. Das Abschalten des jeweiligen Transistors bestimmt die Brückenflanke, das Einschalten hingegen hat keinen Einfluss (vgl. Anhang A.1.1). Die Literatur geht von einem spannungslosen Einschalten des Transistors aus (ZVS¹³). Nach dem Abschalten verbleibt der Strom während der gesamten Totzeit in der Body-Diode. Der Brückenknoten wird während dieser Zeit vollständig resonant

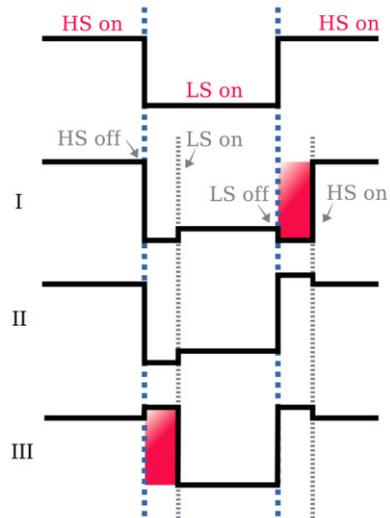


Abb. 2.19: Flankenverschiebung durch Totzeit bei positiver (I), ohne (II) und bei negativer Aussteuerung (III).

¹²Schematische Darstellung, daher Tastverhältnis nicht angepasst

¹³Zero Voltage Switching: Der Transistor schaltet erst ein, wenn die Brückenspannung vollständig umgeladen ist. Der Strom verschiebt sich lediglich aus der Diode in den Kanal, über der Drain-Source-Strecke entsteht im Einschaltmoment keine nennenswerte Spannung

umgeladen¹⁴. In der *Central Region* bleiben die PWM-Flanken von der Totzeit unberührt. Die PWM-Flanken treten unabhängig von der Größe des Eingangssignal an der selben Stelle auf. Das Ausgangssignal wird nicht durch die Totzeit verzerrt.

Schaltzyklus (III) zeigt den Einfluss bei negativer Aussteuerung¹⁵. Der Laststrom ist durchweg negativ. Der Schaltvorgang des Low-Side Transistors bestimmt die Position der PWM-Flanke, das Schalten der High-Side hat hingegen keinen Einfluss. Die steigende Flanke entsteht durch Kommutierung sofort, die fallende Flanke tritt erst nach dem Einschalten der Low-Side auf. *Damit ist die Position der fallenden Flanke um die Totzeit verschoben*. Das Ausgangssignal wird verzerrt, da die High-Side zu lange leitet.

Während einer Signal-Periode werden, bei Aussteuerungen über die *Central Region* hinaus, immer alle drei Schaltzyklen durchlaufen. Der eingebrachte Fehler durch die Totzeit ändert sich demgemäß während einer Signal-Periode. Hierdurch werden auf dem Ausgangssignal nichtlineare Verzerrungen erzeugt, die im folgenden Abschnitt beleuchtet werden.

2.4.4 Neue Theorie: Einfluss der Schaltstufe auf die Audioqualität

In den theoretischen Ausführungen der gängigen Literatur [3], [5], [6] und [7] werden einige Aspekte behandelt, welche sich im Verlauf dieser Dissertation als stark vereinfacht herausstellten. Diese Aspekte sind nachstehend zusammengefasst und werden in diesem sowie in den folgenden beiden Unterkapiteln veranschaulicht.

1. Die Literatur beschreibt die Verzögerung von jeweils einer PWM-Flanke im Schaltvorgang außerhalb der *Central Region* (vgl. Abb. 2.19, (I) bzw. (III)). Wie die Untersuchungen im Rahmen der vorliegenden Arbeit zeigen, verschieben sich jedoch im selben Schaltzyklus beide Flanken zeitlich gegeneinander. Abbildung 2.20 verdeutlicht den Unterschied.
2. Im Gegensatz zu den Annahmen der etablierten Theorie, variiert die Verschiebung der PWM-Flanke mit der Aussteuerung. Die genaue zeitliche Position der Flanke ist abhängig vom Momentanwert des Laststroms.
3. Daraus ergibt sich auch, dass die PWM-Flanken nicht über den gesamten Bereich der *Central Region* an der selben Position auftreten. Dies ist – entgegen der bestehenden Theorie – nur für den Fall des Leerlaufs korrekt. Die zeitliche Variation am Ende der *Central Region* ist jedoch gering.
4. Zudem geht die Literatur z.T. von einem spannungslosen Einschalten in der *Central Region* aus (ZVS, vgl. Abb. 2.19, (II)) Diese Annahme gilt jedoch nicht für Leistungstransistoren – die verwendeten Transistoren müssen auch in der *Central Region* hart eingeschaltet werden. Warum ein spannungsloses Einschalten in Bezug auf die Audioqualität nicht praktikabel ist, ergibt sich aus der Analyse in Kapitel 6.1.

¹⁴resonantes Umladen: Die Kapazitäten werden ausschließlich durch den Ripplestrom umgeladen.

¹⁵Schematische Darstellung, daher Tastverhältnis nicht angepasst

5. Als Folge des harten Schaltens wirkt sich die Totzeit nun auch in der Central Region auf die PWM-Flanken aus.
6. Infolge der zeitlichen Variation der PWM-Flanken in der Central Region, bleibt dieser Bereich nicht grundsätzlich frei von harmonischen Verzerrungen, wie in [7] vertreten. Die Theorie, dass die Schaltstufe in der Central Region keinen Einfluss auf die harmonischen Verzerrungen hat, gilt nur unter bestimmten Voraussetzungen, worauf in Kapitel 2.4.7 sowie 2.4.8 näher eingegangen wird.

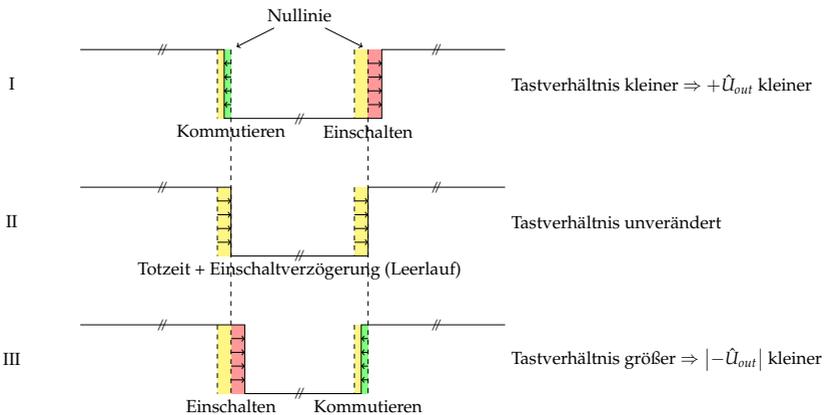


Abb. 2.20: Unberücksichtigte Aspekte der etablierten Theorie; Im Leerlauf werden beide Flanken durch die Totzeit konstant verzögert (II). Die Kommutierungsflanke tritt im Vergleich zum Leerlauf verfrüht, die Einschaltflanke verspätet auf (I + III).

Insbesondere zu Punkt 1 und 2, der Verschiebung der PWM-Flanken am Brückenknoten, existieren theoretische Überlegungen von Carsten Wegner seit der Anmeldung des Patentes [54] im Jahre 2007, für die ein messtechnischer Beweis jedoch erst kürzlich durch die von ihm entwickelte Messmethode der *Flankenmodulation* erbracht werden konnte. Die Erkenntnisse aus Punkt 1 und 2 werden in Kürze in der Dissertation [55] von Carsten Wegner veröffentlicht.

In der vorliegenden Arbeit fließen unter anderem auch diese Erkenntnisse mit in die Vorarbeiten ein. Basierend auf den Vorarbeiten konnten nun weiterführende Erkenntnisse bezüglich dem Zusammenhang zwischen Schaltverhalten und effektiver Totzeit, der Theorie zu harmonischen Verzerrungen sowie der Voraussetzung für eine korrekte Vergleichbarkeit der Technologien erarbeitet werden, welche hier ausführlich behandelt werden.

2.4.5 Messverfahren *Flankenmodulation*

Die Messmethode der Flankenmodulation basiert auf einer Oszilloskop-Aufnahme, bei der auf das Ansteuersignal am Gate getriggert und die Brückenspannung im Persistence-Modus aufgezeichnet wird. Konstante Verzögerungen überschreiben hierbei immer die selbe Kurve und führen zu einer einzelnen Linie. Variable Verzögerungen erzeugen neue Kurven, wodurch eine Kurvenschar ergibt.

Das Messverfahren dient in der vorliegenden Arbeit vorwiegend der Bestimmung des zeitlichen Fehlers im verstärkten PWM-Signal, welcher durch die Halbleitertechnologie in der Schaltstufe erzeugt wird. Weiterhin lassen sich die zuvor aufgelisteten Aspekte der neuen Theorie anhand der Flankenmodulation beweisen, worauf in den folgenden beiden Abschnitten genauer eingegangen wird.

Aus dem Oszillogramm kann darüber hinaus eine Vielzahl von Informationen bezüglich des Schaltverhaltens herausgelesen werden. Zudem werden die unterschiedlichen Transistor-Charakteristika bildlich dargestellt. Die Schaltparameter und der entsprechende Teil der Flankenmodulations-Aufnahme sind in Tabelle 2.4 beschrieben. Eine Diskussion der gemessenen Parameter findet in Kapitel 5 statt.

Die Abbildungen 2.21 und 2.22 zeigen exemplarisch das Oszillogramm der schaltenden HEXFET-Brücke im Leerlauf bzw. unter Vollaussteuerung. Die Brückenspannung ist in blau dargestellt, die Gate-Source-Spannungen in rot für die Low-Side und gelb für die High-Side. Getriggert wurde auf das Abschalten der Low-Side, um die steigende Flanke der Brückenspannung zu beobachten. Die Durchführung der Messung ist unkompliziert und sei daher nur kurz skizziert.

Zunächst wird die Spannungsflanke am Brückenknoten im Leerlauf (Tastverhältnis 50%) aufgenommen. Es entsteht eine einzelne Linie, aus deren Interpretation ersichtlich ist, dass in der Central Region nicht spannungslos (ZVS) eingeschaltet wird. Die Diskussion wird in Abschnitt *Nulllinie* geführt. Anschließend wird die Modulationstiefe der Endstufe bis zur Vollaussteuerung erhöht. Mit zunehmender Modulationstiefe zeichnet die Persistence-Darstellung eine immer breiter werdende Kurvenschar, die sich von der Nulllinie aus in beide Richtungen ausdehnt. Aus der Darstellung wird ersichtlich, dass sich *beide* PWM-Flanken gegeneinander verschieben (vgl. Abschnitt *Flankenmodulation*).

Nulllinie

Abbildung 2.21 zeigt die Persistence-Aufnahme im Leerlauf, also bei einem Tastverhältnis von 50%. In der Persistence-Darstellung ergibt sich eine einzelne Linie, welche nachfolgend Nulllinie genannt wird.

Die Spannungsflanke am Brückenknoten (blau) zeigt keine zeitliche Variation, da beide Transistoren am Schaltvorgang beteiligt sind: Nach dem Abschalten des leitenden Transistors (hier Low-Side, rot) beginnt der Strom zu kommutieren und das Potential am Brückenknoten steigt langsam an. An dem Gate-Signal der High-Side (gelb) ist ersichtlich, wann eingeschaltet wird. Hier wird deutlich, dass es sich *nicht*

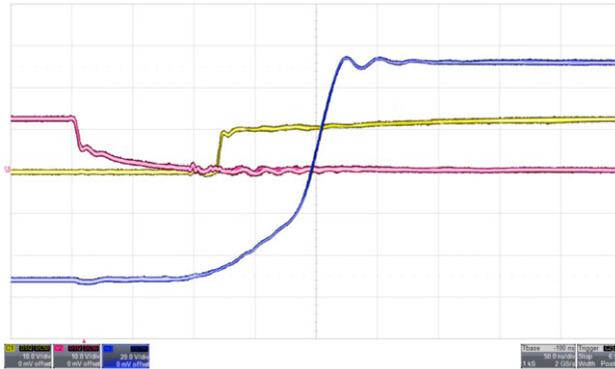


Abb. 2.21: Nulllinie: Oszillogramm der Flankenmodulation im Leerlauf.

um einen spannungslosen Einschaltvorgang handelt. Das harte Einschalten der High-Side während des Kommutierungsvorgangs bewirkt im unteren Drittel der Nulllinie einen Knick in der Steigung. Die Kurve wird steiler, sobald ein signifikanter Strom durch den eingeschalteten High-Side Transistor fließt. Dieser Strom addiert sich zum Rippelstrom hinzu und lädt die Kapazitäten am Brückenknoten schneller um.

Die flache Steigung vor dem Knick wird durch das resonante Umladen bestimmt. Hierfür steht lediglich der Rippelstrom zur Verfügung, da beide Transistoren gesperrt sind. Für einen spannungslosen Schaltvorgang müsste die Brückenflanke vollständig resonant umladen und die High-Side erst danach einschalten. Aufgrund der flachen Steigung durch die hohen parasitären Kapazitäten der Leistungstransistoren würde sich die Totzeit unverhältnismäßig vergrößern (siehe Kapitel 4.2.1), was eine außerordentliche Verschlechterung der Audioqualität zur Folge hätte (siehe Kapitel 6.1). Tabelle 4.1 in Kapitel 4.2.1 listet die Zeiten für das resonante Umladen – Das in der Literatur zu Grunde gelegte spannungslose Schalten in der Central Region ist für Leistungstransistoren nicht praktikabel.

Mit dem harten Schalten treten die PWM-Flanken am Brückenknoten erst nach Ablauf der Totzeit und der Einschaltverzögerung des Transistors auf. Im Gegensatz zur bestehenden Theorie werden somit auch im Leerlauf die PWM-Flanken um die Totzeit und die Einschaltverzögerung verschoben (siehe Abb. 2.20). Aus der einzelnen Linie in der Persistence-Aufnahme lässt sich schlussfolgern, dass es sich hierbei um eine gleichartige Verschiebung der steigenden sowie der fallenden PWM-Flanke handelt. Bei hinreichender Flankensteilheit treten hierdurch keine harmonischen Verzerrungen auf (siehe Kapitel 2.4.8). Vor diesem Hintergrund gilt der Schaltzeitpunkt der Nulllinie bezüglich der harmonischen Verzerrungen als zeitlich korrekt, auch wenn der Schaltzeitpunkt nicht die kleinstmögliche Verzögerung aufweist.

Flankenmodulation

Abbildung 2.22 zeigt die Persistence-Aufnahme unter Vollaussteuerung. Mit der Einstellung des Persistence auf 20 s ergibt sich für die Brückenspannung eine Kurvenschar, bei der jede Spannungsflanke einem anderen Puls-Pausen-Verhältnis entspricht. Da die Endstufe unter Vollaussteuerung schaltet, sind alle Puls-Pausen-Verhältnisse von 0% bis knapp unter 100% vertreten¹⁶.

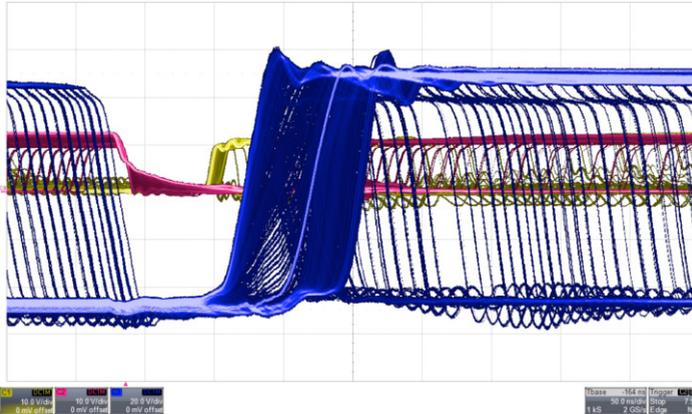


Abb. 2.22: Oszillogramm der Flankenmodulation unter Vollaussteuerung.

Die Persistence-Aufnahme zeigt Abweichungen der steigenden Flanke unter verschiedenen Aussteuerungen im selben Bild. Wird, wie hier, auf das Low-Side Gate getriggert, entstehen die Flanken links von der Nulllinie in der negativen und die steigenden Flanken rechts von der Nulllinie in der positiven Halbwelle des Audiosignals. Mit steigender Aussteuerung wächst die Abweichung von der Nulllinie. Eine detaillierte Diskussion zur Flankenmodulation wird im Kapitel 5 geführt.

Die helle Schaltflanke in mitten der blauen Kurvenschar entsteht im Nulldurchgang des Ausgangssignals bei einem Puls-Pausen-Verhältnis von 50% und entspricht der **Nulllinie** im Leerlauf. Die konstante Verzögerung durch Totzeit und Einschaltverzögerung ist gut erkennbar.

Wird das Tastverhältnis größer als 50% (positive Halbwelle), verschiebt sich die Flanke von der Position der Nulllinie nach rechts. Die Spannungsflanke am rechten Ende der Kurvenschar entsteht unter maximal positivem Laststrom und wird im Folgenden als **Einschaltflanke** bezeichnet. Diese korrespondiert mit der PWM-Flanke in Abbildung 2.19 zur etablierten Theorie. Wie in (I) beschrieben, wird unter positiver

¹⁶Der Modulationsindex für Vollaussteuerung beträgt $m=0,97$.

Aussteuerung die steigende Flanke um die Totzeit verzögert. In der Realität hängt diese maximale **rechtsseitige Verschiebung** von der Einschaltverzögerung des einschaltenden Transistors sowie dem Reverse-Recovery-Verhalten des gesperrten Transistors ab. Da die Nulllinie bereits um die Totzeit verzögert ist, hat die im Steuersignal vorhandene Totzeit nur indirekten Einfluss auf die rechtsseitige Verschiebung.

Wird das Tastverhältnis kleiner als 50% (negative Halbwelle), verschiebt sich die steigende Flanke nach links. Die bestehende Theorie beschreibt diese Verschiebung nicht – Die kommutierende PWM-Flanke ist hier mit der Nulllinie deckungsgleich (siehe (III) Abb. 2.19). In der Realität wird das Auftreten der Schaltflanke jedoch vom Laststrom bestimmt. Mit zunehmendem Laststrom verringert sich die Abschaltverzögerung und die Brückenflanke verschiebt sich nach links. Die Veränderung der Abschaltverzögerung hat zwei Ursachen: Mit dem Laststrom ändert sich

1. die Flankensteilheit der Brückenspannung,
2. die Gate-Source-Spannung zum Abschalten des leitenden Transistors.

Ein höherer Laststrom lädt die Kapazitäten am Brückenknoten schneller um und die Flankensteilheit der Brückenspannung erhöht sich. Die veränderte Flankensteilheit mit steigendem Abstand zur Nulllinie ist in Abbildung 2.22 gut zu erkennen. Mit einem größeren Laststrom liegt auch die Gate-Source-Spannung zum Abschalten dieses Stroms deutlich über der Schwellspannung und ist damit zeitlich früher erreicht. Die Brückenflanke tritt früher auf und die Abschaltverzögerung verringert sich entsprechend. Eine detailliertere Analyse erfolgt in Kapitel 5.3.

Die maximale **linksseitige Verschiebung** ist somit durch den Verlauf der Gate-Source-Spannung des sperrenden Transistors festgelegt (vgl. Kapitel 5). Die Spannungsflanke am linken Ende der Kurvenschar entsteht durch Kommutierung des Stroms unter maximal negativen Laststrom und wird im Folgenden als **Kommutierungsflanke** bezeichnet. Bei einer Vergrößerung der (DSP-)Totzeit im Steuersignal bleibt diese Flanke feststehend. Da sich die Nulllinie hierbei jedoch verschiebt, hat die Totzeit im Steuersignal direkten Einfluss auf die linksseitige Verschiebung.

Die Aufnahme der Flankenmodulation zeigt die Verschiebungen der *steigenden* Flanken in *verschiedenen* PWM-Zügen. Aus der rechts- bzw. linksseitigen Abweichung von der Nulllinie lässt sich auch die Verschiebung der fallenden Flanke des selben PWM-Zugs ableiten. Da Bedingungen für die Verschiebung der Flanken unter positiven und negativem Laststrom gleich sind, gilt für Abbildung 2.22 folgende Entsprechung: Unter positivem Strom gilt für die fallende PWM-Flanke die linksseitige Verschiebung¹⁷ Unter negativem Strom gilt für die fallende PWM-Flanke die rechtsseitige Verschiebung¹⁸. Abbildung 2.23 veranschaulicht diesen Sachverhalt farblich.

¹⁷Der gewählte Triggerpunkt verschiebt die Kommutierungs-Flanke nach links. Unter positivem Strom entsteht bei der Kommutierung die fallende Flanke.

¹⁸Die Einschaltflanke wird nach rechts verschoben. Unter negativem Strom entsteht beim Einschalten die fallende Flanke.

Anhand der Flankenmodulation kann neben der Verschiebung der Brückenflanke auch das unterschiedlichen Schaltverhalten der Leistungstransistoren beurteilt werden. Diskrete Werte können gemäß den Vorgaben aus Tabelle 2.4 herausgelesen werden. Die graphische Darstellung verdeutlicht den Unterschied zwischen den Halbleiter-Technologien auf einen Blick.

Schaltparameter laut Definition	Flankenmodulations-Aufnahme
DSP-Totzeit	Abfall $V_{GS,LS}$ (Kanal 2, rot) bis Anstieg $V_{GS,HS}$ (Kanal 1, gelb)
effektive Totzeit (Vollaussteuerung) t_{eff}	Breite der Kurvenschar Kanal 3 (Brückenflanke, blau)
effektive Totzeit (Ende Central Region) $t_{eff,CR}$	nur bei entsprechend eingestelltem Modulationsindex: Breite der Kurvenschar (blau)
Verzögertes Auftreten der Schaltflanke im PWM-Zykl.	rechtsseitige Verschiebung der Brückenflanke (blau)
Verfrühtes Auftreten der Schaltflanke im PWM-Zykl.	linksseitige Verschiebung der Brückenflanke (blau)
Abfallzeit der Brückenspannung t_{fall}	Anstiegszeit der Kommutierungsflanke (Kanal 3, blau - ganz links)
Anstiegszeit der Brückenspannung t_{rise}	Anstiegszeit der Einschaltflanke (Kanal 3, blau - ganz rechts)
Abschalt-Verzögerung (Vollaussteuerung) t_{off}	Abfall $V_{GS,LS}$ (rot) bis Nulldurchgang Kommutierungsflanke (blau, ganz links)
Abschalt-Verzögerung (Leerlauf) $t_{off,idle}$	Abfall $V_{GS,LS}$ (rot) bis Nulldurchgang Nulllinie (blau, mitte)
Einschalt-Verzögerung (Vollaussteuerung) t_{on}	Anstieg $V_{GS,HS}$ (gelb) bis Nulldurchgang Einschaltflanke (blau, ganz rechts)
Einschalt-Verzögerung (Leerlauf) $t_{on,idle}$	Anstieg $V_{GS,HS}$ (gelb) bis Nulldurchgang Nulllinie (blau, mitte)
Reverse-Recovery-Einfluss der Body-Diode	Flankensteilheit und Einsattelung am Fuße der Einschaltflanke (blau, ganz rechts)

Tab. 2.4: Nahezu alle gemessenen Schaltparameter lassen sich direkt aus der Aufnahme der Flankenmodulation herauslesen.

2.4.6 Definition der effektiven Totzeit

Für die Audioqualität und insbesondere für die harmonischen Verzerrungen sind lediglich die Abweichungen von der Nulllinie ausschlaggebend. Im Gegensatz zu der im Gate-Treiber eingestellten, konstanten Totzeit, beschreiben diese Abweichungen den zeitlichen Fehler der Spannungsflanke am Brückenknoten.

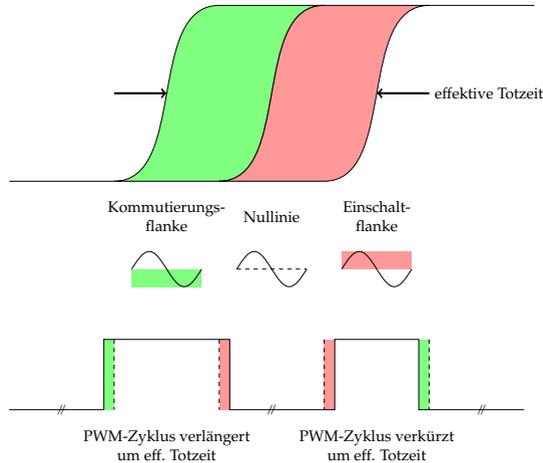


Abb. 2.23: *oben*: Definition der effektiven Totzeit anhand der Flankenmodulation. *mitte*: Zugehörigkeit der steigenden PWM-Flanke zur Aussteuerung im Schaltzyklus. *unten*: Zusammenhang zwischen Flankenmodulation und Verschiebung der PWM-Flanken in einem Schaltzyklus.

Um diesen, für die harmonischen Verzerrungen relevanten, zeitlichen Fehler der Brückenspannung von der im Gate-Treiber eingestellten Totzeit abzugrenzen, sei hier der Begriff der *effektiven Totzeit* definiert: Die effektive Totzeit ist die Summe aus rechtsseitiger und linksseitiger Abweichung von der Nulllinie. Sie beschreibt den relativen zeitlichen Fehler der Spannungsflanke am Brückenknoten. Die Breite der Flankenmodulation entspricht somit der effektiven Totzeit und gibt direkt Aufschluss auf den zeitlichen Fehler im jeweiligen Schaltzyklus.

Durch die effektive Totzeit wird das Tastverhältnis am Brückenknoten verkürzt (für die positive Halbwelle) bzw. verlängert (für die negative Halbwelle), wie in Abbildung 2.23 dargestellt.

Das verfälschte Tastverhältnis berechnet sich durch einfache Arithmetik nach entsprechender Umrechnung gemäß Formel 2.5. Bei Abschätzungen mit messtechnisch

ermittelten Größen können die hier angeführten Formeln nur bei hinreichender Flankensteilheit am Brückenknoten angewendet werden, da diesen Formeln rechteckförmige Signale zugrunde liegen.

Für die Angabe des Tastverhältnisses in Sekunden d wird das Tastverhältnis in Prozent D in einen zeitlichen Anteil an der Schaltperiode T_{sw} umgerechnet:

$$d \text{ [sec]} = \frac{D}{100} \cdot T_{sw}. \quad (2.3)$$

Die prozentuale effektive Totzeit ΔT_{eff} beschreibt den zeitlichen Fehler im Tastverhältnis t_{eff} bezogen auf die Schaltperiode T_{sw} . Der prozentuale Anteil der effektiven Totzeit an der gesamten Schaltperiode berechnet somit sich zu:

$$\Delta T_{eff} \text{ [%]} = \frac{t_{eff}}{T_{sw}} \cdot 100. \quad (2.4)$$

Für das veränderte Tastverhältnis ΔD eines PWM-Zugs gilt dann

$$\Delta D = D \pm \Delta T_{eff}, \quad (2.5)$$

mit $\Delta D = D + T_{eff}$ für die negative Halbwelle, und $\Delta D = D - T_{eff}$ für die positive Halbwelle des Ausgangssignals.

Die effektive Totzeit wird bei einem Puls-Pausenverhältnis von 50% zu Null und nimmt mit steigender Modulationstiefe zu. Die maximale effektive Totzeit wird unter Vollaussteuerung erreicht, der zeitliche Fehler im Tastverhältnisses ist hier am größten. Der zeitliche Fehler innerhalb der Periode des Ausgangssignals ist immer in den Schaltzyklen auf dem Scheitel des Eingangssignals am größten. Mit der größten Modulationstiefe, welche für die jeweilige Aussteuerung notwendig ist, zeigt die Brückenspannung hier die höchste effektive Totzeit.

Wie die Untersuchungen zur Audioqualität in Kapitel 6.1 zeigen, hat die effektive Totzeit einen entscheidenden Einfluss auf die Entstehung von harmonischen Verzerrungen. Auf diese Untersuchungen sind auch die Erkenntnisse des folgenden Kapitels zurückzuführen.

2.4.7 Verzerrungen des Ausgangssignals infolge der effektiven Totzeit

Im Folgenden wird der theoretische Zusammenhang zwischen der Entstehung von Verzerrungen und der effektiven Totzeit erläutert. Diese Theorie wurde unter Einbeziehung von unveröffentlichten Erkenntnissen aus [55] sowie der in der Dissertation gefundenen Ergebnisse aufgestellt und basiert auf der gängigen Literatur [3], [5], [6] sowie [7].

Harmonische Verzerrungen des Audiosignals am Ausgang entstehen, wenn durch ungleiche Verschiebung der einzelnen PWM-Flanken am Brückenknoten das Tastverhältnis verändert wird [3]. Wie die Untersuchungen zur Audioqualität (Kapitel 6.1)

ergeben, entsteht infolge des zeitlichen Fehlers der Brückenflanke eine effektive Totzeit, welche die Spannungs-Zeit-Flächen des PWM-Signals verfälscht. Jede Veränderung der Spannungs-Zeit-Flächen beeinflusst den Mittelwert im Schaltzyklus und damit direkt das Ausgangssignal.

Geringfügige zeitliche Variationen, wie sie in der PWM Central Region vorkommen, haben jedoch keine Auswirkung auf die harmonischen Verzerrungen¹⁹. Die effektive Totzeit ist hier hinreichend klein, sodass der eingebrachte Fehler das Tastverhältnis kaum beeinflusst. Die dabei entstehenden Verzerrungen gehen bei hinreichender Flankensteilheit der Brückenspannung im Rauschen unter (vgl. Kapitel 2.4.8 & 6.1.1).

Eine konstante Verzögerung der PWM-Flanken bewirkt *keine* Verzerrung des Ausgangssignals, solange sie sich gleichartig auf steigende sowie fallende Flanke auswirkt (*delay*). Das Puls-Pausen-Verhältniss bleibt hierbei unverändert, da die Änderung der Spannungs-Zeit-Fläche in jedem Takt die selbe ist. Die Spannungsflanke am Brückenknoten tritt zeitlich immer an der selben Position auf [3].

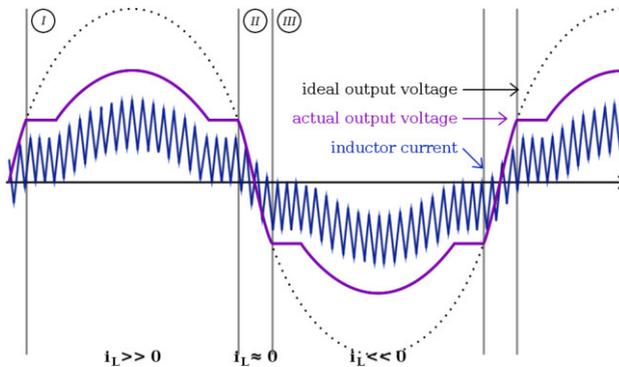


Abb. 2.24: Auswirkung der Totzeit auf die Ausgangsspannung (pink) bei positiver (I) und negativer Aussteuerung (III) sowie in der PWM Central Region (II).
Quelle: [7]

Eine solche konstante Verzögerung bringt beispielsweise die am Gate-Treiber eingestellte Totzeit ein. Da in der Central Region beide Brücken-Transistoren am Schaltvorgang beteiligt sind, wirkt sich die Gate-Treiber-Totzeit gleichartig auf steigende und fallende PWM-Flanke am Brückenknoten aus (siehe Abb. 2.20 II, gelb unterlegter Bereich). Bei entsprechender Flankensteilheit wird das Ausgangssignal hierdurch nicht verzerrt (vgl. Kapitel 6.2).

Eine ungleiche Verschiebung der Flanken ist dann zu beobachten, wenn der Verstärker über den Bereich der PWM Central Region hinaus angesteuert wird: Die fallende

¹⁹Entsprechende Einschränkungen werden in Kapitel 2.4.8 erläutert.

und die steigende PWM-Flanke verschieben sich zeitlich gegeneinander, es entsteht die effektive Totzeit (siehe Abb. 2.20 I, III grüner und roter Bereich sowie 2.23).

Bedenkt man, dass die effektive Totzeit *während einer Periode des Audiosignals* von Null auf die maximale Zeit wächst, so liegt es nahe, dass der sich ändernde Fehler nichtlineare Verzerrungen des Ausgangssignal verursacht. Abbildung 2.24 zeigt die Auswirkung der effektiven Totzeit auf das Ausgangssignal schematisch. Die Literatur [7] untersucht an dieser Stelle statt der effektiven Totzeit die am Gate-Treiber eingestellte Totzeit. Die Auswirkungen sind jedoch prinzipiell die selben. Die gepunktete Linie zeigt die ideale, die durchgezogene violette Linie die tatsächliche Ausgangsspannung. Der Laststrom mit Ripplestrom ist in blau dargestellt. Die drei Betriebsmodi sind durch Linien getrennt und in Analogie zu den vorherigen Abbildungen gekennzeichnet: I: positive Aussteuerung, II: Central Region, III: negative Aussteuerung.

Um den Nulldurchgang herum (II) sind die ideale und die tatsächliche Ausgangsspannung deckungsgleich. Da dieser Bereich in der PWM Central Region liegt, wird das Tastverhältnis durch die effektive Totzeit nicht beeinflusst²⁰. Solange der Laststrom den maximalen Ripplestrom nicht überschreitet, ist die effektive Totzeit gering und die zeitliche Verschiebung der Brückenflanke vernachlässigbar. Erst beim Verlassen der Central Region, wenn der Laststrom den Ripplestrom übersteigt, entstehen Verzerrungen durch die effektive Totzeit. Ohne den zeitlichen Fehler wie in (I) oder (III) bleibt das Ausgangssignal um den Nulldurchgang herum verzerrungsfrei – Die Kurven sind damit deckungsgleich.

Die Verzerrungen des Ausgangssignals bei positiver (I) oder negativer (III) Aussteuerung sind gut erkennbar, die Amplitude der Ausgangsspannung wird in den betroffenen Abschnitten herabgesetzt. Der zeitliche Fehler im Tastverhältnis infolge der effektiven Totzeit schlägt sich in der Amplitude des Ausgangssignals nieder. Der Zusammenhang von herabgesetzter Amplitude und effektiver Totzeit sei anhand einiger Formeln erläutert: Für die Amplitude des Ausgangssignals \hat{V}_{out} gilt bei komplementärer Versorgungsspannung $\pm V_s$ und unter Vernachlässigung des Durchgangswiderstandes allgemein:

$$\hat{V}_{\text{out}} = (D/100 - 0,5) \cdot 2V_s. \quad (2.6)$$

Für die Amplitude des Ausgangssignals wird das Tastverhältnis der entsprechenden Modulationstiefe eingesetzt.

Da der jeweils aktive Transistor um die effektive Totzeit länger sperrt als notwendig, verändert sich das Tastverhältnis des PWM-Zugs gemäß Formel 2.5. Mit dem veränderten Tastverhältnis ΔD berechnet die herabgesetzte Amplitude der verzerrten Ausgangsspannung $\hat{V}_{\text{out,dist}}$ (durchgezogene Linie) zu:

$$\hat{V}_{\text{out,dist}} = ((D \pm \Delta T_{\text{eff}})/100 - 0,5) \cdot 2V_s. \quad (2.7)$$

Bei unverfälschtem Tastverhältnis D wird die effektive Totzeit zu Null ($T_{\text{eff}}=0$) und es ergibt sich die Amplitude der idealen Ausgangsspannung (gepunktete Linie).

²⁰Vereinfachte Darstellung. Die Untersuchungen des Schaltverhaltens belegen am Ende der Central Region eine geringfügige effektive Totzeit. Unter bestimmten Voraussetzungen gehen die hierdurch entstehenden Verzerrungen jedoch im Rauschen unter (siehe 6.1).

Spannungs-Zeit-Flächen

Die Amplitude des Ausgangssignals lässt sich allgemein auch über die Spannungs-Zeit-Flächen des Schaltzyklusses auf dem Scheitel der Ausgangsspannung ermitteln. Abbildung 2.25 zeigt einen idealen PWM-Zug (a) und einen PWM-Zug mit effektiver Totzeit (b). Die Spannungs-Zeit-Flächen, welche sich durch das Leiten der High-Side bzw. Low-Side ergeben, sind farbig unterlegt. Die schraffierte Fläche in Abbildung (b) ergibt sich aufgrund der effektiven Totzeit. Aus Gründen der Anschaulichkeit wird in dieser Abbildung nur *eine* PWM-Flanke um die *gesamte* effektive Totzeit verschoben.²¹ Anhand der schraffierten Fläche lässt sich die Amplitude des idealen Ausgangssignals aus (a), sowie die Differenz zwischen idealer und verzerrter Amplituden aufgrund der effektiven Totzeit in (b) direkt bestimmen. Die Herleitung der hierfür benötigten Formeln ist nachstehend gegeben.

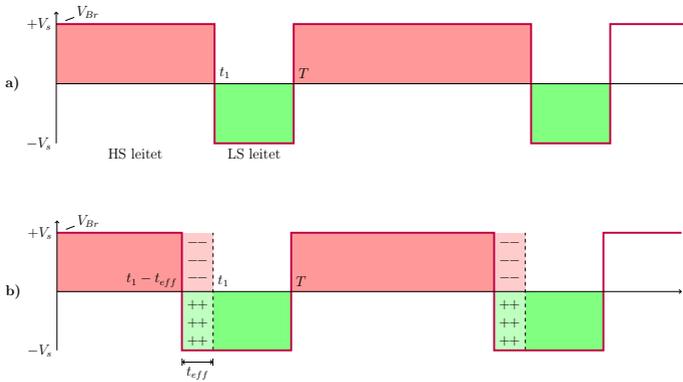


Abb. 2.25: *oben*: Spannungs-Zeit-Fläche eines idealen PWM-Zuges. *unten*: Auswirkung der effektiven Totzeit auf die Spannungs-Zeit-Flächen.

Bei der Demodulation des PWM-Signals wird die Brückenspannung $V_{br}(t)$ durch das Ausgangsfilter integriert:

$$\hat{V}_{out} = \frac{1}{T_{sw}} \int_0^T V_{br}(t) dt \tag{2.8}$$

Das ideale Ausgangssignal (gepunktete Linie) entsteht durch einen idealen PWM-Zug ohne Totzeit, gemäß Abbildung 2.25(a). Das Abschalten der High-Side t_{hs} fällt mit

²¹Korrekterweise müsste der von der Nulllinie aus rechtsseitige Anteil der effektiven Totzeit auf die steigende und der linksseitige Anteil auf die fallende Flanke verteilt werden, wie in Abbildung 2.23 dargestellt. Da die Summenfläche jedoch die selbe ist, wird hier die übersichtlichere Darstellung gewählt.

dem Einschalten der Low-Side zusammen, wie in (a) dargestellt. Aufgrund der steilen Flanken am Brückenknoten ist die Annahme eines rechteckförmigen Verlaufs der Brückenspannung hinreichend genau. Wird der Durchgangswiderstand der Transistoren wieder vernachlässigt, so liegt während der Transistor-Leitphasen lediglich die Versorgungsspannung an. Für die Brückenspannung gilt bei der Demodulation somit:

$$V_{\text{br}}(t) = +V_s \quad \text{für } [0 ; t_{\text{hs}}] \quad (2.9)$$

$$V_{\text{br}}(t) = -V_s \quad \text{für } [t_{\text{hs}} ; T] \quad (2.10)$$

Das Integral der Brückenspannung ergibt sich demgemäß zu:

$$\hat{V}_{\text{out}} = \frac{1}{T_{\text{sw}}} \left[\int_0^{t_{\text{hs}}} V_s \, dt - \int_{t_{\text{hs}}}^T V_s \, dt \right] \quad (2.11)$$

Die Ausgangsspannung entspricht der Spannungs-Zeit-Fläche durch die Leitphase der High-Side, abzüglich der Fläche, die durch die Leitphase der Low-Side entsteht. Nach Umformung erhält man für die Amplitude (den Scheitelwert) der Ausgangsspannung:

$$\hat{V}_{\text{out}} = \frac{2V_s \cdot t_{\text{hs}}}{T_{\text{sw}}} - V_s. \quad (2.12)$$

Wird der Schaltzyklus auf dem Scheitel der Ausgangsspannung zugrunde gelegt, ergibt sich mit der Leitphase der High-Side t_{hs} die positive Amplitude des idealen Ausgangssignals \hat{V}_{out} .

Abbildung 2.25(b) bildet den Schaltvorgang aus Abbildung 2.25(a) unter Berücksichtigung der effektiven Totzeit ab. Durch die effektive Totzeit verkürzt sich die Leitphase des aktiven Transistors (hier: High-Side, weil positive Amplitude). Infolgedessen verringert sich die ideale Spannungs-Zeit-Fläche der leitenden High-Side um den Anteil der effektiven Totzeit (siehe schraffierte Fläche in Abb. 2.25(b)). Gleichzeitig vergrößert sich die Spannungs-Zeit-Fläche der Low-Side um diesen Anteil. Da dieser Anteil gemäß Formel 2.12 zusätzlich zum verringerten Anteil abgezogen wird, berechnet sich die gesamte Fehler-Fläche A_{err} durch Multiplikation mit dem *zweifachen* Spannungshub am Brückenknoten:

$$A_{\text{err}} = 2V_s \cdot t_{\text{eff}} \quad (2.13)$$

Die so entstandene Fehler-Fläche fehlt bei Demodulation durch das Tiefpassfilter und führt zu einer herabgesetzten Signalamplitude der Ausgangsspannung. Hierdurch ergibt sich die Differenz in der Amplitude, wie in Abbildung 2.24 dargestellt.

Wird nun lediglich über die Zeitspanne der effektiven Totzeit integriert, so erhält man direkt die Amplituden-Differenz zwischen idealer und verzerrter Ausgangsspannung ΔV_{out} . Auch hier muss der zweifache Spannungshub berücksichtigt werden:

$$\Delta V_{\text{out}} = \frac{1}{T_{\text{sw}}} \int_0^{t_{\text{eff}}} V_{\text{br}}(t) \, dt = \frac{1}{T_{\text{sw}}} \int_0^{t_{\text{eff}}} 2V_s \, dt = \frac{2V_s \cdot t_{\text{eff}}}{T_{\text{sw}}} = \frac{A_{\text{err}}}{T_{\text{sw}}}. \quad (2.14)$$

Die Amplituden-Differenz ΔV_{out} entspricht somit genau der Fehler-Fläche durch die effektive Totzeit A_{err} bezogen auf die Schaltperiode. Mit steigender effektiver Totzeit wächst die fehlende Spannungs-Zeit-Fläche im Ausgangssignal und die Amplitude reduziert sich.

Mit den Spannungs-Zeit-Flächen lässt sich die durch die effektive Totzeit verursachte Amplituden-Differenz des Ausgangssignals unkompliziert abschätzen. Die hierbei erzeugten Oberwellen können über die Spannungs-Zeit-Flächen nicht berechnet werden, gehen jedoch aus den THD-Messungen in Kapitel 6.1 hervor.

Die herabgesetzte Amplitude in der positiven und negativen Aussteuerung (I +III) zeigt, dass die Verstärkung außerhalb der PWM Central Region niedriger ist als innerhalb. Demzufolge kommt es zu Übernahmeverzerrungen im Übergangsbereich. Die in Abb. 2.24 dargestellten Übernahmeverzerrungen sind aus Gründen der Anschaulichkeit etwas überspitzt dargestellt.

Dieser Sachverhalt zeigt die Parallele zu den Übernahmeverzerrungen eines analogen AB-Verstärkers [3]. Die Signalverzerrungen treten beim Verlassen des Klasse-A-Bereichs in der Nähe des Nulldurchgangs auf, wenn die Transistoren der Gegentaktendstufe einen hohen oder zu niedrigen Ruhestrom erhalten. In diesem Falle kann es bei Bipolar-Gegentaktendstufen zu einem sog. g_m -doubling kommen, bei dem die Verstärkung in der Nähe des Nulldurchgangs höher ist als außerhalb des Nulldurchgangs im Klasse-A-Bereich.

2.4.8 Gültigkeitsgrenzen der bestehenden Theorie

Der etablierten Theorie nach entstehen in der Central Region keine Verzerrungen, da beide PWM-Flanken gleichartig verzögert werden und das Tastverhältnis unverändert bleibt (Abbildung 2.19).

Wie die Analyse in Kapitel 6.1 zeigt, hat diese Theorie nur dann Gültigkeit, wenn die Totzeit am Gate-Treiber optimal eingestellt wurde. Die optimale Totzeit liegt in der Größenordnung der Abschaltverzögerung des jeweiligen Transistors und ist somit individuell einzustellen. Ein Algorithmus zur Ermittlung der optimalen Totzeit wurde im Rahmen dieser Arbeit entwickelt und ist in Kapitel 4.2.1 beschrieben. An dieser Stelle sei vorweg genommen, dass ein Vergleich der Endstufen bezüglich der Audioqualität nur unter diesen Voraussetzungen aussagekräftig ist.

Wird die Totzeit am Gate-Treiber zu lang eingestellt, verliert die Theorie ihre Gültigkeit, da es – insbesondere bei den SiC-Endstufen – zu erheblichen harmonischen Verzerrungen in der PWM Central Region kommt. Die Gründe hierfür gehen aus den Analysen in Kapitel 6.1 hervor.

2.5 Leistung

Ein Klasse-D-Verstärker wird insbesondere wegen seines hohen Wirkungsgrades geschätzt. Aufgrund der schaltenden Topologie der Leistungsstufe entsteht eine geringere Verlustleistung im Vergleich zu analogen Leistungsverstärkern. Die Verluste in der Leistungsstufe setzen sich vorwiegend aus den Schalt- und Durchlassverlusten der eingesetzten Halbleiter zusammen, welche in den folgenden Abschnitten näher beleuchtet werden.

2.5.1 Durchlassverluste und Durchlassenergie

Während der Leitphase arbeitet der Transistor im Sättigungsbereich der Ausgangskennlinie. Die Durchlassverluste werden dabei durch den Kanalwiderstand des Transistors und die Höhe des Drainstroms bestimmt. Der Drainstrom setzt sich aus Ripplestrom und Laststrom zusammen, wobei der Laststrom während der Leitphase des Transistors konstant ist. Der Ripplestrom nimmt aufgrund der Filterdrossel innerhalb der Leitphase des Transistors leicht zu oder ab, je nach aufgeschalteter Spannung (vgl. Kapitel 2.4.2). Die Auswirkung des veränderlichen Ripplestroms auf die Durchlassverluste wird in der Dissertation von Nielsen [8] untersucht. Da der Drainstrom mit steigender Modulationstiefe primär vom Laststrom bestimmt wird, können die Durchlassverluste innerhalb eines Schaltzyklusses als konstant angenommen werden. Damit berechnen sich die Durchlassverluste in einem Schaltzyklus in erster Näherung durch den Durchgangswiderstand des Kanals $R_{DS(on)}$, und den Laststrom I_L .

$$P_{con} = R_{DS(on)} \cdot I_D^2 \approx R_{DS(on)} \cdot I_L^2. \quad (2.15)$$

Es besteht eine quadratische Abhängigkeit von der Aussteuerung der Endstufe und eine lineare Abhängigkeit von der Transistorcharakteristik. Für die Transistorcharakteristik gilt: je kleiner der Durchgangswiderstand des Transistors, desto geringer die Durchlassverluste. Hier muss zudem beachtet werden, dass der Durchgangswiderstand von der Sperrschichttemperatur abhängig ist. Die Durchlassverluste der Schaltzyklen ändern sich innerhalb einer Periode des Ausgangssignals entsprechend dem Laststrom.

Die in einem Zyklus aufgewendete Energie berechnet sich durch die Integration der Durchlassverluste P_{con} in diesem Zyklus. Unter Vernachlässigung des Ripplestroms und der dadurch konstanten Leistung kann das Integral durch den Quotienten aus Leistung und Schaltfrequenz ersetzt werden. Die Durchlassenergie für einen Schaltzyklus ergibt sich damit zu:

$$E_{con}(t) = \int_0^{T_{pwm}} P_{con} dt = P_{con} \cdot T_{pwm} = \frac{R_{DS(on)} \cdot I_L^2}{f_{pwm}} \quad (2.16)$$

Unter der oben definierten Vernachlässigung des Ripplestroms kann zur Bestimmung der Energie in diesem Schaltzyklus der am Ausgang auftretende Laststrom eingesetzt werden. Eine Untersuchung zur Durchlassenergie der verwendeten Halbleiter wird in Kapitel 7.2 durchgeführt.

2.5.2 Schaltverluste und Schaltenergie

Die Schaltverluste entstehen bei jeder Schaltflanke am Brückenknoten und sind im restlichen Schaltzyklus Null. Die Verluste in einem Schaltzyklus werden durch die Höhe des Laststroms und der Spannungsänderung über der Drain-Source-Strecke des Transistors bestimmt. In der Regel sind die Einschaltverluste aufgrund des Reverse Recovery-Vorgangs der Body Diode deutlich größer als die Ausschaltverluste. Die Ein- und Ausschaltverluste sind abhängig vom zeitlichen Verlauf der Strom- und Spannungskurven und werden allgemein durch die Formel

$$P_{sw}(t) = U_{DS}(t) \cdot I_D(t) \quad (2.17)$$

beschrieben. Der Kurvenverlauf der Funktion ist bezüglich der Einschaltverluste glockenförmig und hängt stark von der Lage der Spannungs- und Stromkurven zueinander ab.

Die in einem Schaltzyklus entstehenden Schaltverluste variieren während der Periode des Ausgangssignals, da sich mit der Modulationstiefe sowohl die Flankensteilheit der Drain-Source-Spannung als auch das Reverse-Recovery-Verhalten der Body Diode ändert. Die nichtlinearen Schaltcharakteristika eines Transistors und die Abhängigkeiten von verschiedenen physikalischen Parametern im Halbleiter machen eine Verallgemeinerung für die gesamte Signalperiode sehr schwierig [8]. Die Schaltverluste einer gesamten Signalperiode wurden in [8] unter der Annahme einiger Vereinfachungen analysiert. Für die Analyse wurde jedoch der Reverse-Recovery-Vorgang der Body Diode vernachlässigt. Da die Eigenschaften der Body Diode einen prägnanten Unterschied zwischen den zu vergleichenden Halbleiter-Technologien darstellt, können diese Ergebnisse nicht in der vorliegenden Arbeit verwendet werden. Aus diesem Grund beziehen sich die Analysen in Kapitel 7 auf einen Schaltzyklus anstatt auf die Gesamtverluste während der Periode des Ausgangssignals.

Die Integration über die zeitabhängige Funktion der Schaltverluste $P_{sw}(t)$ ergibt die Schaltenergie. Die Schaltenergie beschreibt, wie viel Energie im Halbleiter aufgewendet werden muss, um den Schaltvorgang zu vollziehen. Die folgende Formel gilt für Ein- und Ausschaltenergie gleichermaßen.

$$E_{sw}(t) = \int_0^{T_{pwm}} P_{sw}(t) dt = \int_0^{T_{pwm}} U_{DS}(t) \cdot I_D(t) dt \quad (2.18)$$

Die Energie wird graphisch durch die Fläche von der Funktion $P_{sw}(t)$ eingeschlossene Fläche beschrieben. Eine Analyse der in den verwendeten Halbleitern aufgewendeten Schaltverluste erfolgt in Kapitel 7.2.

2.6 Stand der Technik

2.6.1 Leistungstransistoren

Der hohe Wirkungsgrad eines Klasse-D-Verstärker ist ein wesentliches Argument für den Einsatz in Beschallungsanlagen anstelle eines analogen Verstärkers. Ziel ist es hier, möglichst die gesamte vom Netz bereitgestellten Leistung in Nutzleistung umzuwandeln.

Die in der Schaltstufe eingesetzten Leistungstransistoren werden nach dem Kriterium eines niedrigen Durchgangswiderstandes und einer Body-Diode mit guten Reverse-Recovery-Eigenschaften ausgewählt, um Schalt- und Durchlassverluste zu minimieren (vgl. Abschnitt 2.5). Da sich Durchgangswiderstand und Body-Diode mit steigender Sperrspannung verschlechtern, wird die für den Betrieb die kleinstmögliche Sperrspannung gewählt.

Stand der Technik ist hier die Verwendung von Silizium-MOSFETs mit einer Sperrspannung von 200 V-250 V und einem Durchgangswiderstand in der Größenordnung von 10 m Ω -15 m Ω [16]. Darüber hinaus gibt es Ansätze, Transistoren mit höheren Sperrspannungen beispielsweise von 500 V einzusetzen und die schlechtere Body-Diode mit einer parallel geschalteten SiC-Schottky-Diode und einer Silizium-Diode in Serie zur Drain-Source-Strecke des Transistors zu umgehen. Die serielle Diode verhindert das Leiten der Body-Diode im Freilauf-Fall. Der Nachteil dieser Anordnung ist, dass sich die Zahl der Halbleiter um Faktor 3 erhöht, wodurch der gesamte Aufbau insbesondere bei mehreren parallel geschalteten Leistungstransistoren größer und kostspieliger wird. Zudem wirken sich die längeren Strompfade im Schaltungslayout bezüglich der parasitären Induktivität der Leiterplatte negativ aus.

2.6.2 Rückkopplungs-Topologien

Bekanntermaßen entstehen in einem Klasse-D-Verstärker durch den Schaltbetrieb Defizite in Bezug auf Audioqualität und harmonische Verzerrungen im Vergleich zum analogen Pendant. Nach dem derzeitigen Stand der Technik wird versucht, diese Defizite durch unterschiedliche Rückkopplungs-Topologien zu kompensieren, um so die Audioqualität des D-Verstärkers zu verbessern. Die Rückkopplung kann unter Einbeziehung des Ausgangsfilters oder direkt von der Schaltstufe aus, also vor dem Filter erfolgen (vgl. Abb.2.29).

Der Vorteil einer Rückkopplung hinter dem Filter liegt auf der Hand: Die im Ausgangsfilter entstehenden Fehler werden in die Kompensation mit einbezogen und der Dämpfungsfaktor des Filters erhöht sich. Zudem liegt das rückgekoppelte Signal bereits als analoges Signal vor und muss nicht demoduliert werden. Nachteilig ist, dass die Phasenreserve für die Rückkopplung durch die Phasenverschiebung des Tiefpassfilters reduziert wird. Die geringe Phasenreserve wird z.T. durch die gezielte Einfügung von Nullstellen erhöht, dennoch bleibt die Stabilität des Systems und die geringe

Schleifenverstärkung die größte Herausforderung bei der Auslegung der Rückkopplung.

Der Vorteil einer direkten Rückkopplung liegt in der größeren Phasenreserve, da hier nur die Phasenverschiebung durch den Modulationsvorgang der PWM berücksichtigt werden muss. Die Systeme sind stabiler und weisen mehr Schleifenverstärkung auf. Jedoch muss das hochfrequente Schaltsignal im Gegenkopplungszweig ggf. vor der Fehlerkompensation DA-gewandelt werden. Der entscheidende Nachteil dieser Anordnung ist, dass keine Korrektur der im Filter entstehenden Fehler erfolgt. Gerade im Hochtonbereich kann der Unterschied zwischen einer Rückführung vor und einer Rückführung hinter dem Filter von einem guten Gehör wahrgenommen werden. Im Bodediagramm des Frequenzgangs können an der Grenzfrequenz Überhöhungen bzw. Dämpfungen von bis zu 3 dB auftreten [16].

Die praktische Realisierung einer Rückkopplung impliziert nicht nur die klassischen Signalarückführung auf den Eingang, sondern auch eine Reihe weiterer Ansätze, deren genaues Verständnis meist viel Vorwissen bezüglich der Klasse-D-Technik erfordert. Bezüglich der Rückkopplungs-Topologie ist eine Unterscheidung zwischen dem klassischen, trägerbasierten PWM-Verstärker, wie zuvor beschrieben, und selbstschwingenden Topologien, wie im folgenden Abschnitt beschrieben, üblich. Zur dritten Rückkopplungs-Topologie zählen die Sigma-Delta-Verstärker, welche auf einer hochfrequenten Puls-Dichte-Modulation mit anschließender Rauschformung (Noise-Shaping) basieren (vgl. Kapitel 2.3.3). Eine klare Kategorisierung innerhalb dieser Aufteilung ist problematisch, da die Übergänge zwischen den Ansätzen fließend sind und je nach Betrachtungsstandpunkt auch mehrere Kategorien möglich wären.

Im folgenden werden die beiden ersten Kategorien genauer betrachtet und die bestehenden Topologien anhand von Beispielen grundlegend erklärt. Die dritte Kategorie wurde bezüglich der Vor- und Nachteile bereits in Kapitel 2.3.3 aufgearbeitet wird an dieser Stelle nicht mehr behandelt.

Rückkopplung in einem klassischen, trägerbasierten PWM-Verstärker

Dieser Abschnitt beschreibt die Signalarückführung in einem klassischen PWM-Verstärker, bei dem für die Puls-Weiten-Modulation auf dem Vergleich von Audiosignal und separatem Träger basiert.

Im Anbetracht der mannigfaltigen, sich überschneidenden Rückkopplungs-Ansätze, fällt eine klare Kategorisierung schwer. Stattdessen erscheint die Einordnung in drei Grundtechniken an dieser Stelle sinnvoller und wird in Anlehnung an [56] vorgenommen.

- Rückkopplung mit Fehlerkorrektur in einem externen analogen System
- Rückkopplung des verzerrten Signals auf den digitalen Modulator
- Rückkopplung mit modell-basierter Fehlerkompensation

Die Fehlerkorrektur in einem externen System erfolgt durch eine lokale Rückkopplungsschleife, welche vorwiegend die in der Schaltstufe entstehenden Zeit- und Amplitudenfehler korrigiert. Die Fehlerkorrektur erfolgt hier außerhalb des Modulators, in einem externen analogen System, wie in Abbildung 2.26 dargestellt. Der Fehler $e_p(t)$ wird aus dem Modulator-Ausgangssignal $p(t)$ und dem Brückensignal der Schaltstufe $U_b(t)$ abgeleitet. Aus dem Fehlersignal werden Informationen für das Steuersignal des externen Korrektur-Systems generiert, auf deren Basis beispielsweise die Pulslänge verändert wird. Abhängig vom Steuersignal können hier sowohl Zeitfehler durch Totzeit oder Schaltverhalten der Leistungsstufe als auch Amplitudenfehler durch schwankende Versorgungsspannung kompensiert werden.

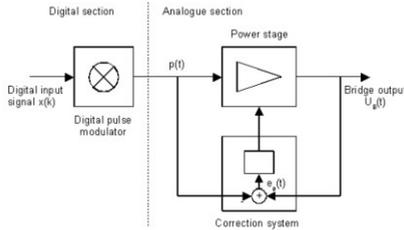


Abb. 2.26: Rückkopplungs-Topologie mit externer analoger Fehlerkorrektur.

Als Beispiel für diese Rückkopplungstechnik kann die 1997 von Karsten Nielsen patentierte PEDEC-Topologie (*Pulse Edge Delay Error Correction*) angeführt werden [57], welche in Verstärkern des Herstellers Bang&Olufsen Anwendung findet. Die PEDEC-Korrektur-Einheit wird zwischen Modulator und Gatetreiber der Schaltstufe eingefügt, wie in Abbildung 2.28 dargestellt. Der Block $C(s)$ generiert das Steuersignal $v_e(t)$ für die PEDEC-Einheit. In der PEDEC-Einheit erfolgt eine Integration beider PWM-Flanken, sodass ein trapezförmiges Signal wie in Abbildung 2.27 entsteht. Basierend auf dem Steuersignal $v_e(t)$ wird eine Schaltschwelle gesetzt, welche den Zeitpunkt der korrigierten PWM-Flanken bestimmt. Wie aus Abbildung 2.27 hervorgeht, verbreitert sich der Puls für $v_e(t) > 0$ und verkürzt sich für $v_e(t) < 0$. Mit der veränderten Pulslänge werden entsprechende Zeit- oder Amplitudenfehler der Schaltstufe kompensiert, wodurch sich der THD des Ausgangssignals sowie die PSRR des Verstärkers

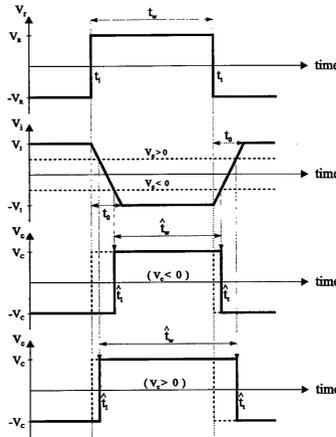


Abb. 2.27: Analoge Fehlerkorrektur in der PEDEC-Topologie.

verbessert [58] Da die Schaltschwelle mit $v_e(t)$ stufenlos gesetzt werden kann, arbeitet das Korrektursystem PEDEC analog und schließt keine Quantisierungsfehler ein. Weiterführende Informationen zur PEDEC-Topologie sind den Veröffentlichungen von Karsten Nielsen [59], [60] sowie [61] zu entnehmen. Die verschiedenen Topologien für das PEDEC-Kontroll-System werden in [58] gut zusammengefasst. Der entscheidende Nachteil ist, dass aufgrund der Topologie hier weder Modulator noch Ausgangsfilter in die Fehlerkorrektur einbezogen werden können [62].

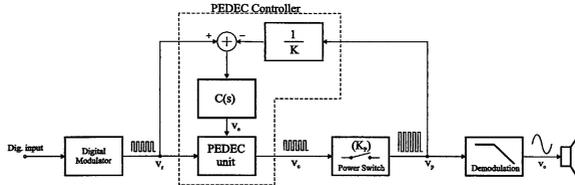


Abb. 2.28: Die PEDEC-Einheit wird vor dem Gate-Treiber der Schaltstufe eingefügt.

Die Rückkopplung des verzerrten Signals auf den digitalen Modulator entspricht der allgemeinen Vorstellung einer Rückkopplung vom Ausgang auf den Eingang des Verstärkers und ist im Ansatz leicht zu verstehen. Das Signal kann sowohl vor als auch hinter dem Ausgangsfilter $H_R(s)$ abgegriffen werden und wird nach Filterung durch $H_A(s)$ und AD-Wandlung auf den digitalen Modulator zurückgespeist, wie in Abbildung 2.29 dargestellt. Die Vor- und Nachteile bezüglich der Einbeziehung des Ausgangsfilters in den Rückkopplungspfad wurde eingangs bereits beschrieben. In der praktischen Umsetzung liegt die Problematik vor allem in der Stabilität des rückgekoppelten Systems, insbesondere bei der Verwendung von Filtern höherer Ordnung [56], aber auch in den Anforderungen an die verfügbaren D/A-Wandler- und DSP-Bausteine [16].

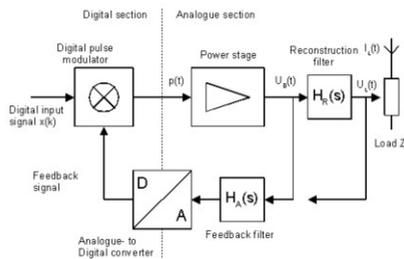


Abb. 2.29: Klassische Rückkopplung des verzerrten Signals auf den digitalen Modulator entweder vor oder hinter dem Ausgangsfilter (*reconstruction filter*).

Die Komplexität, die mit einer solchen, zunächst recht einfach erscheinenden, Rückkopplungs-Topologie verbunden sei kann, erschließt sich aus dem Patent von Carsten Wegner (Firma Camco) [54]. Die Camco-Topologie besteht aus mehreren lokalen und globalen Rückkopplungen. Im Gegensatz zu den meisten anderen Topologien, liegt hier der Additionspunkt (19) der globalen Rückkopplung in der analogen Domäne. Diese Vorgehensweise ermöglicht eine Rückkopplung des Fehlersignals, welches eine deutlich geringere Dynamik besitzt, als das Ausgangssignal. Hierdurch reduziert sich insbesondere die Anforderung an die Auflösung des AD-Wandlers (21), sodass dem Kompromiss zwischen Auflösung und Latenz Rechnung getragen werden kann. Das PCM-Eingangssignal muss jedoch vor der Addition (19) einer Signal-Anpassung (15), einer DA-Wandlung (16) sowie einer Tiefpassfilterung (17) unterzogen werden. Die zeitlichen Fehler der Schaltstufe werden hier basierend auf einer Messung der aktuellen Schaltverzögerung in einer lokalen Rückkopplungsschleife korrigiert (13). Hierbei erfolgt die Korrektur des PWM-Signals durch Verschiebung der Schaltflanken in einem externen analogen System (10).

Nachteilig ist hier die hohe Komplexität der in der praktischen Umsetzung der Topologie sowie die damit verbundenen Kosten für Entwicklung und Bauteile.

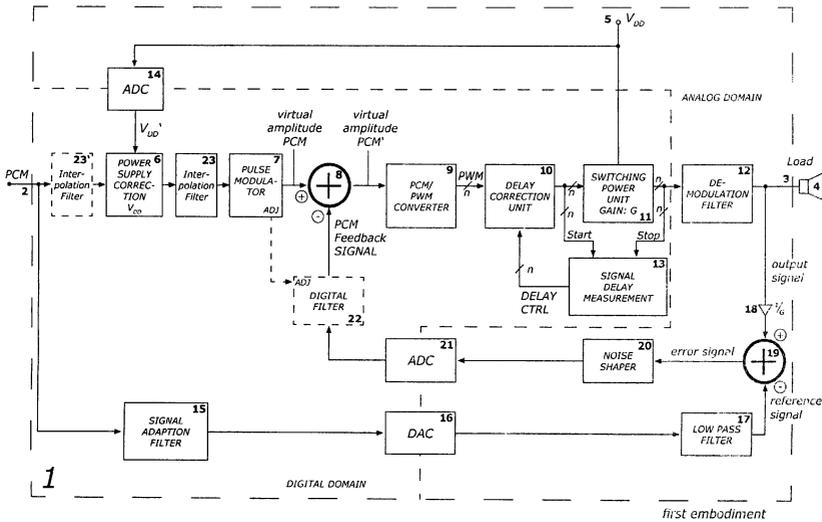


Abb. 2.30: Patentierte Rückkopplungs-Topologie der Firma Camco.

Das Patent [63] von Karsten Nielsen schlägt eine Umsetzung mittels kaskadierten rekursiven Schleifenfiltern vor, wie in Abbildung 2.31. Die erste Ausführungsform der Topologie, MECC(N), beinhaltet eine rekursive Struktur aus n kaskadierten lokalen

Schleifenfiltern, welche von einem einzelnen Rückkopplungssignal gespeist wird. In der zweiten Ausführungsform, MECC(N,M), kommen m globale Rückkopplungsschleifen, welche das Ausgangsfilter mit einbeziehen, hinzu. Sie ist in Abbildung 2.31 dargestellt. Die dritte Ausführungsform bezieht sich auf die Anwendung der MECC-Topologie in selbstschwingenden Verstärkern (vgl. nächster Abschnitt). Weiterführende Informationen geben [64] sowie [65].

Die Kompensator-Blöcke $B_n(s)$ ermöglichen eine flexible Korrektur der auftretenden Fehler, die leicht zu überwachen ist. Die Fehlerkorrektur ist im Vergleich zur Camco-Topologie [54] jedoch weniger zielgerichtet. Die MECC-Topologie findet kommerziell Anwendung in den D-Verstärker der dänischen Hersteller Bang&Olufsen und ICEpower.

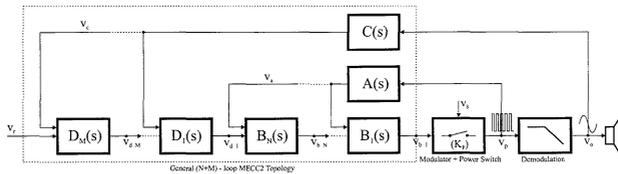


Abb. 2.31: Patentierte MECC-Topologie der Firma Bang&Olufsen / ICEpower.

Die modell-basierte Fehlerkompensation zeigt eine strukturelle Analogie zur klassischen Rückkopplung, wobei der Modell-Block in der digitalen Domäne des Rückkopplungszweiges eingefügt wird (siehe Abb. 2.32). Statt einer fortwährenden Fehlerkorrektur, wie bei einer klassischen Rückkopplung, werden die Fehler hier auf Basis zeitdiskreter Modelle im digitalen Modulator kompensiert. Die Herausforderung liegt hierbei darin, die analoge²² Charakteristik der Rückkopplung und des Schleifenfilters mit der digitalen²³ Natur des PWM-Signals zusammenzubringen [66]. Zur Kompensation kann eine nichtlineare Vorverzerrung angewandt werden, welche 1997 von Lars Risbo (Texas Instruments) zur Korrektur von nichtlinearen Verzerrungen bei der Konversion von PCM- in PWM-Daten patentiert wurde [67]. Die Modelle werden nach Abschätzung bestimmter System-Parameter, wie beispielsweise Fehler der Schaltstufe bezüglich Zeit (Schaltverzögerung, Totzeit) oder Amplitude (PSRR), Clock jitter der verwendeten Taktgeber oder Verhalten des Integrators, erstellt. Die Implementierung erfolgt auf der Grundlage von signaltheoretischen Übertragungsfunktionen z.T. durch Frequenz-Transformation. Hierbei können jedoch lediglich statische oder sich langsam ändernde Fehler adäquat kompensiert werden.

Ein allgemeines zeitdiskretes Kleinsignal-Modell wird in [68] abgeleitet, welches auf Schleifenfilter beliebiger Ordnung angewandt werden kann. Die in [69] vorgestellte Methode zur Modellerstellung kann sowohl auf klassische PWM-Verstärker als auch auf selbstschwingende Topologien angewandt werden. In [70] leitet der Autor konkrete

²²im Sinne von nicht zeitquantisiert

²³im Sinne von zeitquantisiert

Methoden zur Modellierung von Aliasing-Effekten, Clock jitter Unterdrückung oder des PSRR der Schaltstufe ab. Das Patent [67] des Autors bzw. Co-Autors Lars Risbo (Texas Instruments) deckt eine modell-basierte Rückkopplung sowohl vor als auch hinter dem Ausgangsfilter ab. Weitere Patente bezüglich dieser Thematik wurden 2005 [71] und 2015 [72] erlassen.

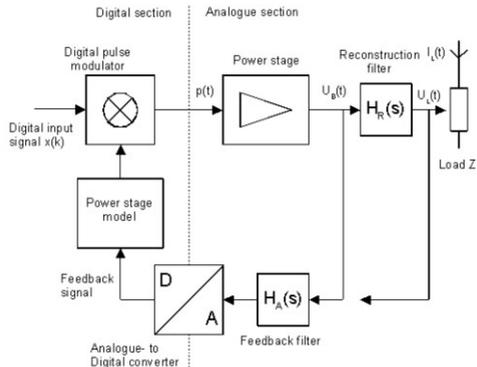


Abb. 2.32: Rückkopplung mit modell-basierter Fehlerkompensation im Block *Power stage model*.

Weitere Patente zu digitalen Fehlerkorrekturen mittels Rückkopplung sind u.a. auf Pallab Midya et al. (Motorola) [73] zugelassen.

Rückkopplung in einem selbstschwingenden PWM-Verstärker

Eine gänzlich eigene Kategorie stellen die selbstschwingenden Topologien dar, bei denen das rückgekoppelte System so ausgelegt wird, dass es zu einer kontrollierten Schwingung kommt. Eine mathematische Herleitung des Schwingungskriterium wird in [74] durchgeführt. Die Schwingfrequenz des Systems entspricht der Schaltfrequenz der Leistungsstufe bzw. umgekehrt. Man unterscheidet grundsätzlich zwischen hysterese-gesteuerten und phasen-gesteuerten Oszillatoren, wobei eine Kombination beider Prinzipien ebenfalls Anwendung findet. Einen guten Einstieg in die Thematik der selbstschwingenden PWM-Verstärker gibt das Buch [3] in den entsprechenden Kapiteln sowie die Veröffentlichung [75] sowie [76].

Im Gegensatz zum klassischen PWM-Verstärker, ist hier kein separater Träger-Generator notwendig, da das Trägersignal aus dem analogen Ausgangssignal des Verstärkers gewonnen werden kann. Die Gewinnung des Trägersignals ist im phasen- und hysterese-gesteuerten Verstärker unterschiedlich, worauf in den entsprechenden Abschnitten nachfolgend kurz eingegangen wird. Eine detaillierter Vergleich ist in Dissertation von Poulsen [77] sowie in [78] ausgearbeitet.

Ein **phasen-gesteuerter**, selbstschwingender Verstärker nutzt die Phasenverschiebung des Ausgangsfilters und der Gegenkopplungsschleife zur Erzeugung der Schwingung. Die globale Rückkopplung greift das analoge Ausgangssignal hinter dem Tiefpassfilter ab und führt es auf den Eingang zurück, wie in Abbildung 2.33 dargestellt. Das Trägersignal wird hierbei aus dem analogen Ausgangssignal gewonnen. Auf diesem Signal ist bekanntermaßen auch nach der Tiefpassfilterung ein dreieckförmiges Rippelsignal (vgl. Kapitel 2.4.2, Rippelstrom) vorhanden, das für die Puls-Weiten-Modulation als dreieckförmiges Trägersignal genutzt werden kann. Dieses Rippelsignal wird in der Rückkopplung durch Subtraktion von Eingangs- und Ausgangssignal zurückgewonnen.

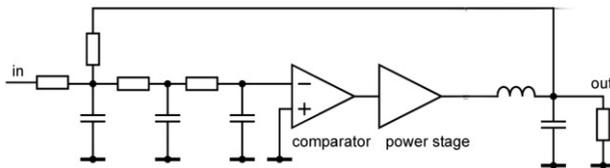


Abb. 2.33: Prinzip-Schaltbild eines phasen-gesteuerten, selbstschwingenden PWM-Verstärkers.

Der entscheidende Vorteil ist, dass die oben beschriebene Problematik der Stabilität umgangen wird, sodass das Ausgangsfilter problemlos in die Rückkopplung mit einbezogen werden kann.

Eine Problematik dieser Topologie besteht darin, dass die Schaltfrequenz der Leistungsstufe mit der Modulationstiefe des Eingangssignals variiert: die Schaltfrequenz sinkt mit steigender Aussteuerung, da sich die Phasenverschiebung mit der Modulationstiefe ändert [75], [79]. Nachteilig ist weiterhin, dass es zu Verzerrungen des Trägers kommen kann, welche wiederum in harmonischen Verzerrungen des Audiosignals resultieren. Die Dissertation von Poulsen [77] und die Arbeit von Meyer [79] sowie die Veröffentlichung [78] arbeitet diese Thematik auf.

Die phasen-gesteuerte, selbstschwingende Topologie bildet die Grundlage der Verstärker des dänischen Herstellers ICEpower. Das damit verbundene Patent [80] bezeichnet die selbstschwingende Topologie als *controlled oscillating Modulator* (COM).

Eine weitere kommerzielle Anwendung findet sich in den D-Verstärkern der niederländischen Firma Hypex. Die Grundlage bildet hier die so genannte *Ncore*-Technologie, welche im White Paper [81] beschrieben ist. Die zahlreichen weiteren Veröffentlichungen von Bruno Putzeys (Hypex) veranschaulichen die Funktionsweise beider selbstschwingenden Topologien gut und gehen detailliert auf die jeweiligen Problematiken ein [62], [74], [75], [82] sowie [83].

Ein **hysterese-gesteuerter**, selbstschwingender Verstärker auf einer Mitkopplung, wie in Abbildung 2.34 dargestellt. Dabei wird das rechteckförmige Ausgangssignal vor dem Filter abgegriffen und auf den positiven Eingang des Komparators zurückgeführt. Das Trägersignal hier wird durch Integration des rechteckförmigen Ausgangssignals gewonnen. Durch die Integration entsteht ein dreieckförmiges Signal, mit dem in gewohnter Weise moduliert werden kann.

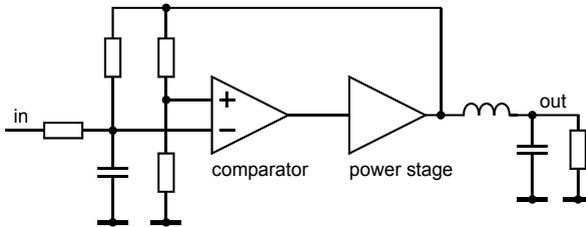


Abb. 2.34: Prinzip-Schaltbild eines hysterese-gesteuerten, selbstschwingenden PWM-Verstärkers. *Quelle:* [75]

Der Nachteil gegenüber der phasen-gesteuerten Topologie ist, dass die Schaltfrequenz deutlich stärker mit der Modulationstiefe variiert [75]. Bei sehr großen Modulationstiefen sinkt die Schaltfrequenz derart, dass sie noch vor der Übersteuerung des Verstärkers im Audioband auftritt. Bei Übersteuerung entsteht dabei ein unangenehmes Tzz-Geräusch [75].

Ein Aufbau eines hysterese-gesteuerten Verstärkers wird beispielsweise in [84] vorgestellt und in Bezug auf Effizienz und harmonische Verzerrungen vermessen.

Die Forschungsgruppe der Technischen Universität in Dänemark (DTU) beschäftigt sich eingehend mit selbstschwingenden Systemen. Die Veröffentlichungen [85], [86], [87], [88], [89], [90], [91] sowie [92] diskutieren Aspekte an diversen hysterese-gesteuerten Systemen, deren Vertiefung an dieser Stelle zu weit führen würde.

Wie bereits erwähnt wird in selbstschwingenden Verstärkern oft eine Kombination von phasen- und hysterese-gesteuerten Topologien angewandt. Je nach Ausführung kann auch in einer hysterese-gesteuerten Topologien das Ausgangsfilter in den Rückkopplungspfad mit einbezogen werden.

Resümee

Alle bestehenden Ansätze zur Verbesserung der Audioqualität beruhen ausschließlich auf Kompensation, beheben jedoch in keiner Weise die Ursache der Verzerrungen. Im folgenden wird untersucht, ob der Einsatz von Silizium-Karbid eine Ursachenbehebung möglich ist.

Kapitel 3

Siliziumkarbid

Siliziumkarbid ist eine Verbindung zweier Elemente aus der vierten Hauptgruppe des Periodensystems: Silizium und Kohlenstoff (IV-IV Halbleiter). Dieser Verbindungshalbleiter zeichnet sich durch eine dreifach größere Bandlücke verglichen mit Silizium aus (*wide bandgap*). Daraus leiten sich einige Eigenschaften ab, die insbesondere für Bauelemente in schaltenden Anwendungen in der Leistungselektronik vorteilhaft sind. Hierzu gehören u.a. höhere Sperrspannung bei niedrigem Durchgangswiderstand, schnelleres Schalten, höhere Betriebstemperatur bzw. weniger Temperaturabhängigkeit und ein besseres Reverse-Recovery-Verhalten [93].

3.1 Potential von Siliziumkarbid für Klasse-D-Verstärker

Die Material-Eigenschaften des Verbindungshalbleiters und die daraus resultierenden Charakteristika der Halbleiterbauelemente sind in der Literatur gut beschrieben [93], [94]. Den Gewinn für Klasse-D-Verstärker, der sich aus den Transistor-Charakteristika ableitet, bezieht sich weniger auf die höhere Spannungsfestigkeit als auf die positiven Schalteigenschaften der Transistoren. Die Tabelle 3.1 gibt einen Überblick über die wichtigsten Material-Eigenschaften von Siliziumkarbid und die daraus resultierenden Charakteristika von SiC-Transistoren sowie den potentiellen Gewinn für Klasse-D-Verstärker, der sich hieraus ableitet.

Das Schaltverhalten der Halbbrücke hat einen erheblichen Einfluss auf Audioqualität und Leistung des gesamten Verstärkers. Je näher die Schaltprozesse am idealen Rechteck sind, desto besser die Performance des D-Verstärkers. Eigenschaften, die zu einer höheren Flankensteilheit am Brückenknoten oder geringeren zeitlichen Fehlern im PWM-Signal führen, wirken sich positiv auf die Audioqualität aus (siehe Kapitel 2.4). Das Schaltverhalten des Transistors sowie das Reverse-Recovery-Verhalten der Body-Diode schlägt sich im Wirkungsgrad und der Leistung nieder.

Vor diesem Hintergrund sind die geringeren Gate-Ladungen und parasitären Kapazitäten, sowie das bessere Reverse-Recovery-Verhalten der Body-Diode viel versprechende Eigenschaften. In wiefern sich die Charakteristika der SiC-Halbleiter hinsichtlich Audioqualität, Leistung und Wirkungsgrad eines Klasse-D-Verstärkers auswirken, wird in Kapitel 6 und 7 analysiert.

Material-Eigenschaften	Technologischer Vorteil	Bauteil-Eigenschaften	Vorteil für Klasse-D-Technik
3-fach größere Bandlücke => 10-fach höhere Felddaufnahme	intrinsische Schicht entfällt	höhere Sperrspannung bei gleichem $R_{DS(on)}$	Mehr Möglichkeiten durch höhere Sperrspannung
kaum Speicherladung	geringere Dotierung	bessere Reverse Recovery-Eigenschaften der Body Diode	evt. Steigerung des Wirkungsgrades durch Verringerung der Schaltverluste
10-fach höhere Felddaufnahme	kleinere Transistor-Einzelzellen	geringere Gateladung, kleinere parasitäre Kapazitäten. Dadurch schnelleres Schaltverhalten, steilflankige Umladevorgänge	evt. Verbesserung des THD durch reduzierte Zeitfehler oder steilere Schaltflanken. Höhere Schaltfrequenz möglich, dadurch evt. Vorteile für Rückkopplung (nicht untersucht)
10-fach höhere thermische Leitfähigkeit	geringere thermische Abhängigkeiten späterer Parameter wie $R_{DS(on)}$	höhere Betriebstemperatur möglich;	evt. weniger Kühlung notwendig

Tab. 3.1: Charakteristika der ausgewählten Transistoren.

3.2 Auswahl der Transistoren für den Vergleich

Die Intension des Vergleichs besteht darin, den Nutzen der SiC-Charakteristika gegenüber den Eigenschaften konventionell eingesetzter Transistoren einzuschätzen. Während Schottky-Dioden aus Siliziumkarbid bereits seit längerem Anwendung finden, machten Reinheit und Ausbeute der Wafer sowie die damit verbundenen Kosten der technologischen Prozessen es lange Zeit schwierig, Transistoren kommerziell herzustellen [93]. Dementsprechend beschränkte sich die Auswahl an verfügbaren Transistoren zu Beginn der Dissertation auf einen SiC-MOSFET des Herstellers *Cree* sowie einen SiC-JFET des Herstellers *Semisouth*. Die technologischen Eigenschaften der Feldeffekttransistoren sind hinsichtlich Sperrspannung, Durchgangswiderstand und Stromaufnahmefähigkeit vergleichbar (siehe Tabelle 3.2).

Die Auswahl-Kriterien der konventionellen Transistoren ergeben sich weniger aus technologischen als aus design-relevanten Erwägungen. Für eine sinnvolle Einschätzung der Vorteile sollten die SiC-Transistoren primär mit dem zu ersetzenden Objekt verglichen werden. Hierfür bietet sich ein HEXFET der Firma International Rectifier an, welcher nicht nur in Audio-Leistungsverstärkern einer renommierten deutschen Firma serienmäßig eingesetzt wird.

In einem Audio-Leistungsverstärker wird für die Halbleiter die kleinstmögliche Sperrspannung gewählt, um ein schnellschaltendes Element mit niedrigem Durchgangswiderstand zu verwenden. Mit der niedrigen Sperrspannung von 250 V ergibt sich hier jedoch ein grundsätzlicher Unterschied bezüglich der Transistor-Charakteristika. Der Durchgangswiderstand des HEXFETs $R_{DS,on}$ beträgt lediglich 1/5 und die Stromaufnahme-fähigkeit in etwa das dreifache verglichen mit den SiC-Transistoren. Aus diesem Grund wurde als zweites Vergleichsobjekt ein Transistor mit vergleichbaren technologischen Charakteristika gewählt: Ein Superjunction-Transistor aus der CoolMOS-Reihe von Infineon. Der CoolMOS-Transistor hat den selben Durchgangswiderstand und in etwa die gleiche Stromaufnahme-fähigkeit wie die SiC-Transistoren. Die Sperrspannung ist mit 650 V jedoch geringer. Die wichtigsten Charakteristika der Transistoren sind in Tabelle 3.2 zusammengefasst. Alle vier Transistor-Technologien sind in einem TO-247 Gehäuse erhältlich, so dass die Gehäuse-Induktivität das Schaltverhalten gleichartig beeinflusst.

Um das Schaltverhalten der Transistoren trotz unterschiedlicher Eigenschaften zu vergleichen, wird die Ansteuerschaltung so konzipiert, dass alle Transistoren zum Ein- und Ausschalten in etwa den selben Gate-Strom erhalten. So lassen sich insbesondere die Auswirkungen der ungleichen Kapazitäten auf das Schaltverhalten in der Halbbrücke direkt verfolgen (vgl. Kapitel 4.3.2). Abschließend werden die Charakteristika der ausgewählten Transistoren kurz umrissen.

SiC-MOSFET

Der SiC-MOSFET des Herstellers Cree ist ein n-Kanal Anreicherungstyp mit einer Sperrspannung von 1200 V und einem Durchgangswiderstand von 80 m Ω . Die maximale Stromaufnahme bei einer Gehäusetemperatur von 100 °C liegt bei 17 A kontinuierlich. Die exakte Bezeichnung des Transistors lautet: *CMF20120D*. Er gehört zur zwischenzeitlich entstandenen *Z-FETTM MOSFET*-Familie, die verschiedene Typen u.a. auch mit geringeren Leitwiderständen umfasst. Zu Beginn der Dissertation war dies jedoch der Transistor mit dem geringsten Durchgangswiderstand. Technologisch basiert der MOSFET auf einer DMOS-Struktur; der Querschnitt ist im Anhang unter Abbildung A.15 dargestellt.

Eine Besonderheit des SiC-MOSFETs liegt in der geringen Steilheit des Transistors. Die Steilheit liegt für Drainströme bis zu 3 A in der Größenordnung von 2 S und erreicht erst bei etwa 20 A den im Datenblatt angegebenen typischen Wert von 7 S. Im Bereich von 10 A ist die Steilheit von 6 S mit der des JFETs vergleichbar. Bei einer Schwellspannung von 2 V leitet der Transistor bereits 1 mA. Vor diesem Hintergrund empfiehlt der Hersteller den Transistor mit einem vergleichsweise hohen Spannungshub von -4 V bis +20 V zu schalten, um zu garantieren, dass der Drain-Source-Kanal vollständig geöffnet bzw. zuverlässig gesperrt ist.

SiC-JFET

Der SiC-JFET des Herstellers Semisouth stellt den einzigen selbstleitenden Transistor dar. Der n-Kanal Typ besitzt die selben Werte für Sperrspannung, Durchgangswiderstand sowie Stromaufnahme bei 100 °C wie der zuvor genannte SiC-MOSFET und trägt die Bezeichnung *SJDP120R085*. Der Transistor ist technologisch als kammartige Trench-Struktur realisiert. Der Querschnitt findet sich im Anhang (Abb. A.16). Die Trench-Struktur erhöht die Ausnutzung der Chip-Fläche und verbessert die kapazitiven Eigenschaften des Bauteils. In den Kennlinien im Datenblatt ergeben sich allgemein die Rückwirkungskapazität C_{rss} sowie die Ausgangskapazitäten C_{oss} aus den parasitären Kapazitäten zwischen Gate (g) und Drain (d):

$$C_{rss} = C_{gd} \quad (3.1)$$

$$C_{oss} = C_{gd} + C_{ds}. \quad (3.2)$$

Beide Kapazitäten verändern sich in Abhängigkeit von der Drain-Source-Spannung und zeigen in der Regel getrennte Kurvenverläufe wie die des SiC-MOSFETs oder des HEXFETs. Die intrinsische Gate-Drain-Kapazität ist hier jedoch so gering, dass die Verläufe von Ausgangs- und Rückwirkungskapazität deckungsgleich sind. Der Kurvenverlauf ist im Anhang unter A.20 abgebildet.

Der JFET weist von allen Transistoren die geringste Eingangskapazität C_{iss} auf. Auch hier geht die Rückwirkungskapazität mit ein:

$$C_{iss} = C_{gd} + C_{gs}. \quad (3.3)$$

Eingangs- und Ausgangskapazität des JFETs sind im Vergleich zum SiC-MOSFET kleiner. Der pn-Übergang am Gate des JFETs nimmt typischerweise weniger Speicherladung auf, als das isolierende Gate-Oxid eines MOSFETs.

Der Durchgangswiderstand sinkt für Gate-Source-Spannungen über 2 V drastisch, da der JFET hier unter Ladungsträgerinjektion arbeitet¹. Um zu garantieren, dass der Transistor vollständig leitet, wird hier empfohlen den JFET mit einer Gate-Source-Spannung von mindestens 2 V einzuschalten. Jedoch stellte sich während der Entwicklungsphase heraus, dass bei darüber hinaus gehenden Spannungen ein nicht unerheblicher Dauerstrom ins Gate hinein fließt. Da dieser Dauerstrom nicht nur beim Einschalten, sondern während der gesamten Leitphase des Transistors fließt, führten die damit verbundenen Wärmeverluste zu Limitierungen im Gate-Treiber-Schaltkreis. Die Herausforderungen bei der Ansteuerung werden in Kapitel 4.3.3 ausgeführt.

Wie aus dem technologischen Querschnitt ersichtlich, besitzt der JFET keine eigene Body-Diode. Im Schaltungsentwurf wird daher eine SiC-Schottky-Diode parallel zur Source-Drain-Strecke geschaltet. Die Schottky-Diode des Herstellers Cree gehört zur Familie der *Z-RecTM Rectifier* und trägt die genauen Bezeichnung *C3D08060A*.

¹Der pn-Übergang ist bei positiven Gatespannungen in Durchlassrichtung gepolt.

HEXFET

Der HEXFET[®] des Herstellers International Rectifier *IRFP4768PbF* ist ein Leistungs-MOSFET, welcher standardmäßig in Klasse-D-Verstärkern eingesetzt wird. Sperrspannung und Durchgangswiderstand sind hier mit 250 V und 15 m Ω deutlich niedriger, die Stromaufnahme hingegen ist mit 66 A etwas höher.

Der HEXFET[®] ist ein Silizium-basierter n-Kanal MOSFET und ist, ebenso wie der SiC-MOSFET, als Anreicherungstyp ausgelegt. Dem von IR entwickelten technologischen Aufbau liegt eine DMOS-Struktur zu Grunde, welcher als Besonderheit hexagonal angeordnete Transistor-Zellen besitzt. Der Aufbau ist im Anhang unter Abbildung A.17 einzusehen. Diese hexagonale Anordnung erhöht die Zelldichte und reduziert somit den Gesamtwiderstand.

Der geringe Durchgangswiderstand ist auf die niedrigere Sperrspannung zurückzuführen. Mit der geringeren Sperrspannung muss die intrinsische Schicht der HEXFET-Struktur wesentlich weniger Feld aufnehmen. Demzufolge kann diese Schicht dünner ausfallen, was wiederum den Durchgangswiderstand proportional verringert. Die parasitären Kapazitäten des HEXFETs sind aufgrund der hohen Stromaufnahme-Fähigkeit vergleichsweise groß, jedoch nicht außergewöhnlich. Die Größenänderung von Rückwirkungs- und Ausgangskapazitäten über die Drain-Source-Spannung ist gleich, die Kurven verlaufen wie beim SiC-MOSFET parallel (Abb. A.21). Die Steilheit ist um Faktor 10 höher als bei den übrigen Transistoren.

CoolMOS Superjunction-FET

Mit dem Transistor *IPW65R080CFD* aus der CoolMOS[™]-Familie des Herstellers Infineon wurde ein Vergleichsobjekt mit ähnlichen technologischen Charakteristika wie die der SiC-Halbleiter gewählt. Die CoolMOS-Familie gehört in die Kategorie der Superjunction-Bauelemente (SJ). Der Durchgangswiderstand entspricht mit 80 m Ω dem der SiC-Transistoren. Bei gleichem Durchgangswiderstand ergibt sich – bedingt durch die Silizium-Technologie – eine etwas geringere Sperrspannung von 650 V. Die Stromaufnahme liegt mit 27 A zwischen den SiC- und dem HEXFET-Halbleiter.

Wie bei den vorherigen Transistoren liegt auch hier eine vertikale MOSFET-Struktur zu Grunde. Das besondere Merkmal der SJ-Halbleiter sind die in Richtung Substrat verlängerten p-Gebiete. Hierdurch ergibt sich bei gleicher Sperrspannung ein verringerter Durchgangswiderstand sowie geringere parasitäre Kapazitäten im Vergleich mit einem einfachen vertikalen MOSFET.

Die integrierte Body-Diode des Bauteils zeigt bereits bei geringen Sperrspannungen (50 V) ein hartes Reverse-Recovery-Verhalten [95], [96]. Da die Driftregion bereits bei geringen Sperrspannungen verarmt, reißt der Diodenrückstrom (Sperrverzögerungsstrom) abrupt ab. In der Literatur wird dieses Verhalten auch als *snappy* bezeichnet.

Eine weitere Besonderheit betrifft die Rückwirkungskapazität C_{rSS} sowie die Ausgangskapazität C_{oss} des Transistors [97]. Ungewöhnlich ist hier, dass die Rückwirkungskapazität bei etwa $U_{DS} = 70$ V ein Minimum erreicht und danach bis zur

Halbleiter-Technologie der der Schaltstufe	SiC-MOSFET Cree	SiC-JFET Semisouth	HEXFET Int. Rectif.	CoolMOS Infineon
Durchgangswiderstand $R_{DS,on}$ [m Ω]	80	80	15	80
interner Gate-Widerstand $R_{G,int}$ [Ω]	5	6 / 0,5	0,71	0,75
angegebene Schwellspannung $V_{GS,th}$ [V]	2,5	-5	5	4
Steilheit g_m [S]	2-6	5	> 100	10-20
Eingangs-Kap. (Gate-Source) C_{iss} [pF] für $V_{DS} = 100$ V	1915	255	10800	5030
Ausgangs-Kap. (Drain-Source) C_{oss} [pF] für $V_{DS} = 100$ V	230	80	490	215
Rückwirkungs-K. (Gate-Drain) C_{rss} [pF] für $V_{DS} = 100$ V	23	80	150	11
Gate-Ladung Q_g [nC]	40	25	70-80	80
Figure of Merit $FOM = R_{DS,on} * Q_g$ [n Ω C]	3,2	2	1,2	6,4

Tab. 3.2: Charakteristika der ausgewählten Transistoren.

maximalen Drain-Source-Spannung um das dreifache ansteigt. Zu einstelligen Drain-Source-Spannungen fällt ein überdurchschnittlicher Anstieg von mehr als drei Größenordnungen auf. In Abbildung A.22 wurde dieser Anstieg anhand der Steigung bei 0 V zu negativen Spannungen extrapoliert. Bereits bei -20 V ist die Kapazität von 10 pF auf ca. 100 nF angewachsen (vier Größenordnungen), d.h. die Rückwirkung des Ausgangs auf das Gate nimmt beim Einschalten des Transistors überproportional zu. Infolge der Abhängigkeit aus Formel 3.2 zeigt die Ausgangskapazität C_{oss} ein ähnliches Verhalten. Der Zuwachs beträgt hier ca. drei Größenordnungen. Bei den Umladevorgängen hat dies Auswirkung auf den Kurvenverlauf der Brückenspannung. Die entsprechenden Beobachtungen sind in Kapitel 5 beschrieben. Bemerkenswert ist, dass der CoolMOS-Transistor für eine Drain-Source-Spannung von 100 V eine etwas *kleinere* Ausgangskapazität als der SiC-MOSFET aufweist. Die Rückwirkungskapazität erreicht etwa in diesem Bereich ihr Minimum.

Kapitel 4

Entwicklung der Endstufen

Eine professionelle Schaltungsentwicklung, die sorgfältige Auswahl der Bauteile und ein optimales Leiterplatten-Layout sind für ein bestmögliches Betriebsverhalten des Klasse-D-Verstärkers essentiell. Um diesen Anforderungen zu genügen, wurden Anregungen zum Schaltungsdesign und -Layout aus einem serienfähigen D-Verstärker der Firma *Camco* sowie aus [16] aufgenommen.

Im Rahmen der Arbeit wurden vier Testaufbauten einer Endstufe¹ der Klasse-D mit Halbleitern der folgenden Technologie entwickelt:

- SiC-MOSFET, 1200 V-Typ
- SiC-JFET, 1200 V-Typ
- HEXFET (Si-MOSFET), 250 V-Typ – als typischer Audiotransistor
- CoolMOS (Si-Superjunction-Transistor), 650 V – als technol. Vergleichsobjekt

Die Auswahl der Bauteile wird in Kapitel 3.2 begründet.

Für einen aussagekräftigen Vergleich, sind Schaltungsdesign und Layout der Endstufen weitestgehend identisch. Auf der entwickelten Leiterplatte findet sich neben der Halbbrücke und ihrem Gate-Treiber-Schaltkreis, die Schaltung zur Erzeugung der schwebenden Treiber-Versorgungsspannung, das passive Ausgangsfilter, Entkoppel- und Abblocknetzwerke sowie die Peripherie des DSPs. Um dem Leser einen Überblick zu geben, stellt Kapitel 4.1 das Gesamt-Konzept in den wesentlichen Punkten vor. Das Konzept wird dann in Teilschaltungen aufgespalten und in den folgenden Unterkapiteln detailliert erläutert. Am Ende des Kapitels geht der Abschnitt 4.7 auf die Entwicklung des Leiterplatten-Layout und die Bedeutung der Abblock- und Entkoppelnetzwerke ein.

4.1 Das Schaltungs-Konzept zusammengefasst

Das entwickelte Schaltungskonzept richtet sich nach dem konventionellen Aufbau eines D-Verstärkers aus Abbildung 2.1 in Kapitel 2. Die Schaltungsentwicklung wurde so gestaltet, dass mit geringen Modifizierungen in der Bestückung drei der vier

¹im weiteren Verlauf kurz *Endstufe* genannt, obwohl es sich hier um Testaufbauten und nicht um einen Endstufen-Prototypen handelt.

Transistor-Technologien mit dem selben Leiterplatten-Entwurf eingesetzt werden können. Diese Vorgehensweise ist nicht nur effizient, sondern gewährleistet vor allem einen aussagekräftigen Vergleich, da Schaltung und Layout identisch sind. Die SiC-JFET-Endstufe benötigt wegen der Schutzbeschaltung eine eigene Leiterplatte. Die Schaltung wurde lediglich um die SMD-Bauelemente der Schutzschaltung erweitert, wodurch das Layout im wesentlichen dem der übrigen Leiterplatten gleicht. Das gemeinsame Schaltungskonzept der Endstufen ist in Abbildung 4.1 als vereinfachtes Blockschaltbild dargestellt.

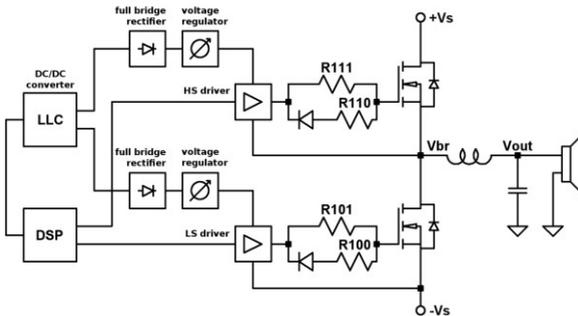


Abb. 4.1: Gemeinsames Schaltungskonzept der Endstufe als Blockschaltbild

Modulator

Die Funktion des Modulators übernimmt hier ein DSP von *Texas Instruments*, der die Schaltsignale direkt an die Treiber-Stufe gibt. Die Schaltfrequenz ist auf 400 kHz festgelegt. Um unnötige Fehlerquellen auszuschließen, wandelt der DSP ein 1kHz-Sinus-Signal, anstelle eines Audiosignals, in ein PWM-Schaltsignal. Das Sinus-Signal wurde mit 400 kHz abgetastet und die Werte in einer Look-Up Tabelle im DSP hinterlegt. Als Modulationsart wird die linearisierte Pulsweiten-Modulation mit zwei Zuständen und einseitig modulierter Flanke gewählt (LADS). Der Träger ist demnach sägezahn-förmig, er wird von einem speziellen Submodul des DSPs generiert. Die Abtastwerte des Sinus werden durch lineare Interpolation mit einer Geraden-Gleichung korrigiert. Das Steuersignal entsteht durch Vergleich des errechneten Interpolationswert mit dem Träger. Eine detaillierte Beschreibung der PWM-Erzeugung findet sich im Abschnitt 4.2.2.

Leistungsstufe

Für die Leistungsstufe wurde eine Halbbrücken-Topologie gewählt und auf eine Rückkopplung verzichtet, um eine möglichst gradlinigen Vergleich und eine fundierte Analyse zu ermöglichen. Die Leistungsstufe und ihre Peripherie wird detailliert in den Kapiteln 4.3 und 4.4 vorgestellt.

Ausgangsfiler

Das Ausgangsfiler ist ein passiver LC-Tiefpass 2. Ordnung und wird in Abschnitt 4.6 beschrieben. Statt einem Lautsprecher wird bei allen Messungen eine umschaltbare ohmsche Last für Audio-Endstufen verwendet.

4.2 DSP als Modulator

Die Umsetzung des Modulators ist nicht trivial. Zur Implementierung werden, je nach Komplexität des Modulationsverfahrens, ein oder mehrere DSPs oder FPGAs herangezogen. Da der Modulator nicht im Fokus der Arbeit liegt, ist es wichtig, dass Modulationsqualität und Komplexität der Implementierung in einem vernünftigen Verhältnis zueinander stehen. Als Modulationstechnik wird die digitale PWM-Variante LadS auf einem DSP umgesetzt. Die Auswahl des Verfahrens wird in Kapitel 2.3.5 begründet.

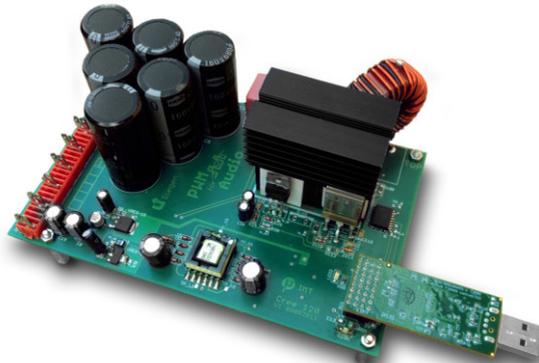


Abb. 4.2: Endstufen-Prototyp mit aufgestecktem *Piccolo-ControlSTICK* als Modulator rechts unten.

4.2.1 Grundfunktionen des DSP

In der vorliegenden Arbeit übernimmt der DSP TMFS320F28069 der Firma Texas Instruments die Funktion des LPWM-Modulators. Es werden separate Steuersignale für High- und Lowside der Leistungsstufe sowie eine adäquate Totzeit erzeugt. Darüber hinaus generiert er das Steuersignal für die Halbbrücke des DCDC-Wandlers, der die schwebende Versorgungsspannung für die Gate-Treiber der Leistungsstufe erzeugt (siehe Kapitel 4.3.1). Eine Tabelle im Anhang B.2 listet die Belegung der verwendeten GPIO-Ports mit Gate-Treiber-Signalen und diverser debugging- und disable-Signale für die Gate-Treiber.

Das DSP-IC ist auf dem sog. *Piccolo-ControlSTICK* untergebracht, einer kompakten Leiterplatte, die mit USB-Anschluss, JTAG-Schnittstelle und PIN-Matrix ausgestattet ist. Der *Piccolo-ControlSTICK*, nachfolgend kurz *Piccolo-DSP* genannt, wird auf die Endstufen-Leiterplatte aufgesteckt, wie in Abbildung 4.2 dargestellt. Die erzeugten Treiber-Signale werden von dem Steckplatz über einen Vorwiderstand direkt an die Gate-Treiber geführt. Der DSP lässt sich via USB vom Rechner aus programmieren, debuggen und in Echtzeit mit entsprechenden Parametern, wie Totzeit oder Amplitude des Audiosignals, konfigurieren. Abbildung 4.3 zeigt die für die Dissertation entwickelte graphische Benutzeroberfläche zur Ansteuerung des Endstufe in Echtzeit. Hiermit können Parameter wie die DSP-Totzeit oder das *enable*-Signal für die Gate-Treiber der Schaltstufe oder das *over-current*-Signal des LLC-Wandler-Treibers eingestellt werden. Zudem wird hier die Modulationstiefe, also die Aussteuerung der Endstufe festgelegt – entweder als Sinussignal mit fester Amplitude oder als Sweep-Signal mit variabler Amplitude für die Klirrfaktor-Messung.

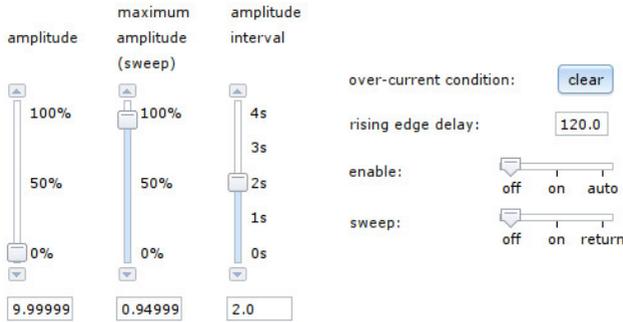


Abb. 4.3: Graphische Benutzeroberfläche zur Einstellung der Modulationstiefe (Aussteuerung des Verstärkers) und u.a. der DSP-Totzeit.

HRPWM-Modul

Der TMFS320F28069 verfügt über insgesamt 16 PWM-Kanäle, davon sind 8 spezielle High-Resolution PWM-Module (HRPWM). Der Kern des DSPs arbeitet mit einer Taktfrequenz von 80 MHz, was einer zeitlichen Auflösung von 12,5 ns entspricht. Die HR-PWM-Module sind jedoch mit einem sog. Micro-Edge Positioning-Mechanismus (MEP) ausgestattet, der eine PWM-Flanke auf 150 ps genau positionieren kann. Hierfür werden die PWM-Flanken durch analoge Verzögerungsglieder geleitet, bevor sie zum Ausgangspin gelangen. Die Verzögerungsglieder werden in jedem Kanal durch separate Steuerregister angesteuert. Ein Skalierungsfaktor vereinfacht die Umrechnung von Zählerschritten in Verzögerungszeiten und kompensiert Bauteil-Toleranzen sowie thermische Effekte (*Auto-conversion modus*). Die Scale-Factor-Optimization-Routine

(SFO) passt diesen Skalierungsfaktor kontinuierlich an die aktuellen Gegebenheiten an. Die Routine wird vom Zustandsautomat in der Ansteuersoftware aufgerufen. Das schematische Blockschaltbild sowie weiterführende Informationen sind dem Datenblatt [98] zu entnehmen.

Time-Base-Submodul

Das sog. *Time-Base*-Submodul des DSPs realisiert den sägezahn-förmigen Träger des Modulationsverfahrens. Die Trägerfrequenz wird von einem Zähler eingestellt, dessen Zählart zwischen *hoch*, *runter* und *hochrunter* gewählt werden kann. Für den benötigten sägezahn-förmigen 400 kHz-Träger wird das Register *CTR* von 0 (*zero*) bis 199 (*period*) hochgezählt und zum nächsten Taktanfang wieder auf Null gesetzt. Weitere Funktionen des Time-Base Submoduls werden in [99] sowie in [98] beschrieben.

Dead-Band-Submodul

Das *Dead-Band*-Submodul generiert eine Totzeit zwischen den beiden PWM-Zügen für High- und Low-Side Treiber, um einen Kurzschluss zu verhindern. Die Länge der Totzeit wird über eine graphische Benutzeroberfläche auf dem Rechner in Nano-Sekunden eingestellt und kann in Echtzeit während des Betriebs der Endstufen variiert werden. Die optimale Totzeit wurde für jede Halbbrücke individuell ermittelt. Der Algorithmus hierfür wird in Kapitel 4.2.4 beschrieben.

Die Totzeit wird durch analoge Verzögerungsglieder erzeugt, die wahlweise die steigende oder die fallende Flanke des PWM-Signals verschieben. Hierfür werden entsprechende Steuerregister mit der manuell eingestellten Totzeit beschrieben. In unserer Anwendung wird die eingestellte Totzeit auf die steigende Flanke angewendet (*rising edge delay*, RED). Abbildung 4.4 zeigt die PWM-Züge für den Gate-Treiber der Leistungsstufe (HRPWM1 und 2) sowie das Steuersignal für den Gate-Treiber des DC/DC Wandlers (ePWM3). Die Totzeit für die Leistungsstufe ist rot markiert, die Puls-Weiten-Modulation der fallenden Flanke ist durch eine graue Unterlegung mit Pfeilen gekennzeichnet. Dem Steuersignal für den DC/DC-Wandler wird keine Totzeit hinzugefügt, da diese am direkt Gate-Treiber durch eine Widerstand-Kombination eingestellt wird.

4.2.2 Erzeugung des PWM-Steuersignals

Das Steuersignal für die Leistungstransistoren wird mit der digitalen PWM-Variante *LadS* erzeugt. Wie in Kapitel 2.3.2 beschrieben, entspricht dies einer digitalen (L) einseitigen Modulation (S) mit nur zwei Zuständen (AD). Der Prekompensations-Algorithmus der linearisierten PWM (LPWM) nähert die idealen Schaltzeitpunkte einer analogen PWM (NPWM) durch lineare Interpolation mit einer Geradengleichung.

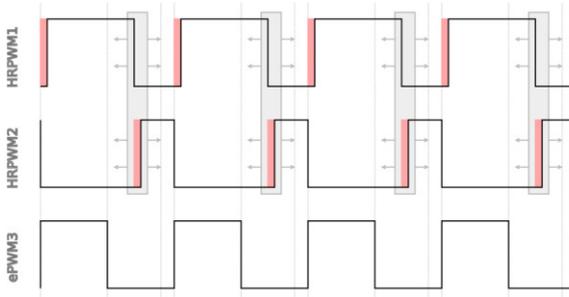


Abb. 4.4: PWM-Züge für die Gate-Treiber der Leistungsstufe (HRPWM 1 und 2) sowie das Steuersignal des DC/DC-Wandlers (ePWM).

Gemäß der einseitigen Modulation ist die steigende Flanke des PWM-Signals am Taktanfang feststehend, während die fallende Flanke moduliert wird. Die feststehende Flanke ist um eine einstellbare Totzeit verschoben. Die modulierte, fallende Flanke ergibt sich aus dem Vergleich des Träger-Registers *CTR* mit dem Register *COMPA*. Sind die Werte beider Register gleich, wird das Schaltsignal nach Durchlaufen des *Dead-Band*-Submodul und des *Micro-Edge Positioning* über den GPIO-Port an den Gate-Treiber weitergegeben.

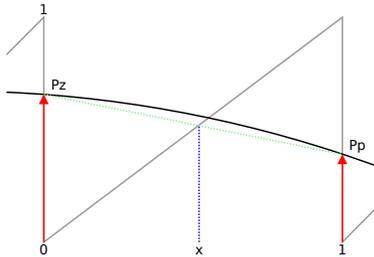


Abb. 4.5: Interpolations-Algorithmus des *Piccolo-DSPs* nach der digitalen PWM-Variante *LadS*.

Die Berechnung des Wertes für das Register *COMPA* wird an dieser Stelle grundlegend beschrieben. Tiefergehende Informationen liefert [99]. Anstelle des Audiosignals wird ein 1 kHz-Sinus-Signal mit der Amplitude von 1 verwendet, das mit 400 kHz äquidistant abgetastet wurde. Die Abtastwerte sind als PCM-Daten in einer Look-up Tabelle im DSP abgelegt und berechnen sich durch die Formel:

$$x = \sin(400000) \quad (4.1)$$

Die Amplitude des Sinus-Signals kann durch einen Skalierungsfaktor in Echtzeit modifiziert werden. Die Verwendung einer Look-Up Tabelle verringert den Programmieraufwand und insbesondere die Fehleranfälligkeit enorm, lässt jedoch als Eingangssignal nur eine feststehende Frequenz zu. Demzufolge sind Messungen zu Intermodulations-Verzerrungen nicht durchzuführen, da keine Eingangssignale mit mehreren Frequenzen gleichzeitig verarbeitet werden können. Gleichwohl ist die Vorgehensweise für das Ziel der Arbeit zweckmäßig, denn zur Bestimmung der Audioqualität sind Messungen zu harmonischen Verzerrungen (THD) ausreichend (vgl. Kapitel 6.1).

Für den Interpolations-Algorithmus wird zwischen zwei aufeinanderfolgenden Abtastwerten eine Gerade aufgespannt. Die Herleitung der Gleichungen für Gerade und Träger ergibt sich aus Abbildung 4.5. Durch Gleichsetzen der Gerade mit dem Träger errechnet sich der Umschaltzeitpunkt x als Puls-Pausen-Verhältnis (duty-cycle) in Prozent. Hierfür lässt sich Formel 4.2 ableiten, wobei P_p der aktuelle Abtastwert an der Stelle *period* (auf dem Maximalwert des Trägerregisters) und P_z der vorherigen Abtastwert an der Stelle *zero* (Startwert des Trägerregisters) ist:

$$x = \frac{y_z}{1 - y_p + y_z} \quad (4.2)$$

Das errechnete Tastverhältnis wird dem Wertebereich des PWM-Zählers angepasst und der neue Wert im Register *COMP* abgelegt. Die Berechnung erfolgt in Gleitkomma-Zahlen. Der ganzzahlige Anteil wird in den ersten 8 bit des Registers abgelegt. Dieser Registerteil wird mit dem Träger-Register *CTR* verglichen und löst bei Gleichheit ein Schaltereignis aus. Die Nachkommastellen beschreiben die letzten 8 bit des Register *COMP* und steuern damit das Micro-Edge Positioning des HR-PWM-Moduls. Die Anpassung der Nachkommastellen in Verzögerungszeiten übernimmt die Hardware. Nach Durchlaufen der analogen Verzögerungsglieder wird die Flanke, um die in den Nachkommastellen gespeicherten Wert verzögert, ausgegeben.

4.2.3 Verzerrungen und Störabstand

Die endliche Auflösung des DSPs verursacht bei der Erzeugung des PWM-Steuersignals Verzerrungen, da die berechneten PWM-Flanken nicht mit unendlicher Genauigkeit positioniert werden können. Für die Klirrfaktormessung ergibt sich hierdurch ein maximaler Störabstand, dessen Größenordnung im folgenden abgeschätzt wird.

Zunächst sei die Auflösung b des DSPs in bit bestimmt, welche vom Prozessortakt f_{cpu} , der Schaltfrequenz f_{sw} sowie der Auflösung des *Micro-Edge Positioning* (MEP) abhängt.

$$\begin{aligned} b &= b_{PWM} + b_{HRPWM} \\ &= \log_2 \frac{f_{cpu}}{f_{sw}} + \log_2 \frac{t_{sw}}{t_{mep}} \\ &= \log_2 \frac{80 \text{ MHz}}{400 \text{ kHz}} + \log_2 \frac{12.5 \text{ ns}}{150 \text{ ps}} \\ &= 7.644 + 6.381 \\ b &= 13 \end{aligned} \quad (4.3)$$

Die Auflösung des DSPs erhöht sich durch das HRPWM auf 13 bit. Der hierdurch gegebene Störabstand berechnet sich zu 78 dB:

$$\begin{aligned} THD_{dB} &= 20 \cdot \log_{10} 2^b \\ &= 20 \cdot \log_{10} 2^{13} \\ THD_{dB} &= 78.27 \text{ dB} \end{aligned} \tag{4.4}$$

Der korrespondierende Wert in Prozent beläuft sich auf 0,01%

$$\begin{aligned} THD_{\%} &= 10^{-\frac{SNR}{20}} \cdot 100 = 2^{-b} \cdot 100 \\ &= 2^{-13} \cdot 100 \\ THD_{\%} &= 0.012\% \end{aligned} \tag{4.5}$$

4.2.4 Ermittlung der optimalen Totzeit

Die Ermittlung der Totzeit zwischen den PWM-Zügen ist nicht trivial, da die Totzeit der Halbbrücke einen entscheidenden Einfluss auf die harmonischen Verzerrungen und damit auf die Audioqualität des Verstärkers nimmt [7], [52], [53]. Wird sie zu lang gewählt, wächst der zeitliche Fehler im PWM-Signal und damit auch die harmonischen Verzerrungen auf dem Ausgangssignal. Im Hinblick auf die Betriebssicherheit darf die Totzeit jedoch nicht zu kurz gewählt werden, da sonst die Gefahr eines hohen Querstroms besteht. Dementsprechend muss ein anspruchsvoller Kompromiss zwischen Verzerrung und Auslegungsreserve gefunden werden [3].

Die Ansätze zur Lösung dieses Kompromisses beruhen meist auf Erfahrung und werden in den jeweiligen Entwicklungsabteilungen unterschiedlich definiert, da in der Literatur keine allgemeine Berechnungsgrundlagen oder sonstige Richtlinien zur Einstellung der Totzeit existieren [16] [100]. Die Einstellung der Totzeit richtet sich nach dem Gate-Treiber-Design, welches wiederum auf den jeweilig verwendeten Halbleiter angepasst ist. Hier gilt lediglich der Leitsatz: so kurz wie möglich, so lang wie nötig. Die Methoden zur Ermittlung der Totzeit sind verschieden. Zudem muss in einer Entwicklungsabteilung keine Rücksicht auf die Vergleichbarkeit verschiedener Technologien genommen werden.

In dieser Arbeit wurde die Totzeit zunächst nach einem Ansatz aus [16] ermittelt, welche nachfolgend unter *Methode 1* beschrieben sind. Mit diesen Einstellungen wurden die Messungen zu Leistung und Wirkungsgrad durchgeführt, deren Ergebnisse erwartungsgemäß ausfielen. Während den Untersuchungen zur Audioqualität stellte sich jedoch heraus, dass die Totzeit der einzelnen Endstufen für einen korrekten Vergleich der Technologien präzise aufeinander abgestimmt werden muss (siehe Kapitel 6.1). Da *Methode 1* für eine solche Abstimmung keine hinreichende Genauigkeit bot, wurde *Methode 2* entwickelt. Diese Methode erlaubt die Einstellung der Totzeit nach einheitlichen Kriterien, welche im Hinblick auf den Vergleich präzise überprüft und aufeinander abgestimmt werden können. Sie basiert auf der Messmethode der Flankenmodulation, die erst nach den o.g. Messungen zu Leistung und Wirkungsgrad Anwendung im Rahmen der THD-Analyse fand.

Methode 1

In dem Ansatz aus [16] wird die Totzeit durch Betrachtung der Spannungsverläufe am Gate eingestellt. Anhand der Gate-Source-Spannungen für High- und Low-Side wird in einem Schaltzyklus unter Aussteuerung kontrolliert, dass die Signale sich gar nicht, oder nur mit hinreichendem Abstand zur Schwellspannung überschneiden.

Da die Verläufe der Gate-Source-Spannungen von konventionellen und SiC-Transistoren sehr unterschiedlich sind (siehe Kapitel 5), bietet diese Methode kein einheitliches Kriterium zur Ermittlung der Totzeit. Daher konnte die Abstimmung der Totzeit aufeinander, welche für einen korrekten Vergleich der Audioqualität unabdingbar ist, nicht mit hinreichender Genauigkeit erfolgen. Infolgedessen wurde die Totzeit für die HEXFET-Halbbrücke zu lang, die für die CoolMOS-Brücke zu kurz eingestellt (siehe Tabelle 4.1). Die ermittelten Werte für die SiC-Halbbrücke waren optimal. Als *optimale DSP-Totzeit* wird im weiteren Verlauf der Arbeit der Wert bezeichnet, der für den korrekten Vergleich der Audioqualität mittels DSP eingestellt werden muss. Dieser Wert wurden für alle Endstufen mit der nachfolgend beschriebenen *Methode 2* ermittelt.

Methode 2

In dieser Methode wird die Brückenspannung unter verschiedenen Totzeiten im Leerlauf beobachtet. Die Messung der Brückenspannung erfolgt im Persistence-Modus des Oszilloskops mit den gleichen Einstellungen wie bei der Flankenmodulation (vgl. Abschnitt *Nulllinie* in Kapitel 2.4.4). Mit dem Persistence-Modus ergibt sich für jede am DSP eingestellte Totzeit eine individuelle Nulllinie, wie in Abbildung 4.6 dargestellt. Der Vorteil des Verfahrens ist, dass die Auswirkung verschiedener Totzeiten in einer Aufnahme direkt miteinander verglichen werden können. Auf diese Weise können einheitlichen Kriterien im Hinblick auf den Vergleich der Audioqualität definiert und präzise überprüft werden, sodass die Totzeit der einzelnen Endstufen aufeinander abgestimmt werden kann.

Nachfolgend sei das Verfahren exemplarisch am Beispiel der SiC-MOSFET-Kurvenschär in Abbildung 4.6 erklärt. Die übrigen Kurvenscharen sind im Anhang C.4 abgebildet. Die Werte der am DSP eingestellten Totzeit sind (von rechts nach links): 200 – 190 – 120 – 70 – 40 – 35. Eine Betrachtung im Leerlauf ist obligatorisch, da die Abschaltverzögerung mit steigender Aussteuerung - also steigendem Laststrom - sinkt (vgl. Kapitel 5.3.3).

Zunächst wird die Totzeit so groß gewählt, dass sich ein spannungsloser Schaltvorgang² ergibt und die Kapazitäten am Brückenknoten vollständig resonant umladen können. Die High-Side schaltet erst ein, nachdem die Brückenspannung die Zielspannung erreicht hat. In den Oszilloskop-Darstellungen liegt die Gate-Spannung der High-Side als gelbes Signal rechts neben der Brückenflanke.

²ZVS, Zero Voltage Switching

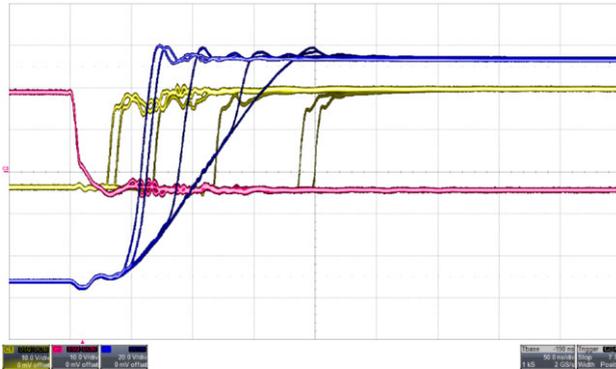


Abb. 4.6: *Methode 2* ermöglicht den direkten Vergleich verschiedener DSP-Totzeiten in der selben Aufnahme.

Während dem sog. resonanten Umladen ergibt sich für die Brückenspannung eine durchgehende Gerade. Am Fußpunkt der Gerade ist der abschaltende Transistor vollständig gesperrt, da die Spannung erst dann ansteigen kann, wenn der Transistor keinen Strom mehr leitet. Mit der langen Totzeit sind beide Transistoren während der gesamten Umladedauer gesperrt, sodass am Ladevorgang der Brückenspannung lediglich der niedrige Ripplestrom beteiligt ist. Da der Ripplestrom bei allen Endstufen gleich ist, gibt die Steigung der Spannungsflanke Aufschluss auf die Größe der Kapazität am Brückenknoten. Die Diskussion der Nulllinien in Kapitel 5.2.6 greift diesen Aspekt auf.

Im nächsten Schritt wird die Totzeit etwas verringert. Die Gerade zeigt dadurch einen Knick und verläuft nach dem Knickpunkt deutlich steiler. Im Knickpunkt ist der einschaltende Transistor soweit aufgesteuert, dass ein signifikanter Strom zum Umladen der Kapazitäten fließen kann. Dieser Strom addiert sich zum Ripplestrom, weswegen der Geradenanstieg hier steiler ist.

In Abbildung 4.6 zeigt die Brückenspannung geringfügige Überschwinger, die durch den Einschaltvorgang der High-Side nach dem resonanten Umladen entstehen. Der Unterschied zwischen dem resonanten Umladen bei 200 ns und der etwas kürzeren Totzeit von 190 ns ist nur im Bereich des Überschwingers erkennbar. Ein signifikanter Knick ist bei allen Totzeiten unter 120 ns sichtbar.

Wird die Totzeit sukzessiv verringert, so verschiebt sich der Knick in Richtung des Fußpunktes der Gerade. Die optimale Totzeit liegt nahe am Fußpunkt, wobei der minimale Abstand zum Fußpunkt gleichzeitig die Betriebssicherheit gewährleisten muss. Mit dem Abstand zum Fußpunkt erhält man ein anpassbares Kriterium zur Einstellung der DSP-Totzeit, welches sich mit der Nulllinien-Darstellung präzise überprüfen

Technologie der Leistungsstufe	SiC-MOSFET (Cree)	SiC-JFET (Semisouth)	HEXFET (IR)	CoolMOS (Infineon)
Totzeit nach <i>Methode 1</i> (nicht optimal) <i>in ns</i>	35	35	120	120
Totzeit nach <i>Methode 2</i> (optimal) <i>in ns</i>	35	35	70	190
Zeit zum resonanten Umladen <i>in ns</i>	200	145	750	415

Tab. 4.1: Ermittlung der Totzeit sowie der zum spannungslosen Einschalten benötigten Zeit (resonantes Umladen).

lässt. Für die HEXFET- sowie die SiC-Halbbrücken kann die Totzeit so eingestellt werden, dass der Knickpunkt nahe am Fußpunkt liegt. Bei der CoolMOS-Halbbrücke muss zur Erhöhung der Betriebssicherheit ein größerer Abstand zum Fußpunkt gewählt werden. Der Dauerbetrieb während einer Messung zur Flankenmodulation mit einer Totzeit von 120 ns führte zum Ausfall der Endstufe, sodass die Totzeit auf 190 ns erhöht werden musste. Messungen zu Ursachenforschung ergaben, dass bei 120 ns die Leerlaufverluste im Vergleich zu den übrigen Halbbrücken doppelt so hoch sind und auch die aufgenommenen Leistung unter Vollaussteuerung über der Eingangsleistung der übrigen Endstufen liegt. Zudem wurde beim Betrieb der Endstufe mit 120 ns eine sofort einsetzende, starke Wärmeentwicklung festgestellt. Die Ursache ist auf einen kurzzeitigen Querstrom zurückzuführen, welcher während des Umladevorgangs zu erhöhten Verlusten führt. Durch die Vergrößerung der Totzeit auf 190 ns wird das resonante Teilstück der Brückenspannung verlängert und der kurzzeitige Querstrom während der Umladephase reduziert. Dementsprechend sinkt die erzeugte Verlustleistung der CoolMOS-Endstufe und einem Ausfall durch Überhitzung wird entgegengewirkt. Der Zusammenhang zwischen Leerlauf-Verlustleistung und DSP-Totzeit ist in Abbildung im Anhang B.4 anschaulich dargestellt. Die dortige Tabelle stellt die gemessenen Verlustleistungen unter nicht optimal eingestellter DSP-Totzeit vergleichend gegenüber.

Die optimalen Totzeiten, welche am DSP einzustellenden sind, sowie die Zeiten für das vollständige resonante Umladen fasst Tabelle 4.1 zusammen.

4.3 Gate-Treiber-Schaltkreis

Der Gate-Treiber-Schaltkreis besteht neben dem Gate-Treiber aus dem Gate-Vorwiderstandsnetzwerk sowie der Spannungserzeugung für die Treiber-Bausteine. Als Treiber wurde der Baustein Si8235 der Firma Silicon Labs gewählt. Der Baustein liefert mit 4 A Spitze genügend Strom und erlaubt einen hinreichend großen Spannungshub, um den SiC-MOSFET anzusteuern. Er verfügt über zwei unabhängige Treiber für High- und Low-Side, sodass die Totzeit flexibel durch den DSP eingestellt werden kann. Nieder- und die Hochvoltseite des Treibers sind durch eine halbleiterbasierte Isolationsschicht voneinander getrennt. Das Signal wird mittels HF-Modulation übertragen und zeigt eine geringe Latenz von 60ns. Das sog. RF-on/off keying-Übertragungsschema hebt sich von Pulse-Code-Schemata durch die bessere Störfestigkeit, die geringe Leistungsaufnahme und die bessere Immunität gegen magnetische Felder ab.

Die schwebende Versorgungsspannung der Gate-Treiber zum Ein- und Ausschalten der Transistoren wird direkt auf der Leiterplatte erzeugt und durch Spannungsregler individuell für jedes Transistor-Paar angepasst. Die Schaltung ist für alle Leiterplatten gleich und wird in Kapitel 4.3.1 besprochen.

Das Gate-Vorwiderstandsnetzwerk stellt mittels Widerstand-Dioden-Parallel-Kombination getrennte Wege zum Lade- und Entladen der Gate-Kapazitäten bereit. Das Widerstandsnetzwerk des SiC-JFETs ist aufgrund der selbstleitenden Eigenschaften und der direkten Ansteuerung gesondert zu betrachten und wird separat in Kapitel 4.3.3 diskutiert.

4.3.1 Erzeugung der Spannungsversorgung für die Gate-Treiber

Die Spannung für den Gate-Treiber wird durch einen LLC-Resonanz-Wandler erzeugt. Die Schaltung des LLC-Wandlers besteht im Wesentlichen aus einer Halbbrücke, dem Resonanz-Kreis und der Gleichrichtung für die Ausgangsspannung, wie in Abbildung 4.7 dargestellt. Bei einem LLC-Wandler bilden zwei Induktivitäten (LL) und eine Kapazität (C) den Resonanz-Kreis. Die Induktivitäten sind im Regelfall die Streu- und Hauptinduktivität des Übertragers (In Abbildung 4.7 als Streuinduktivität L_r und Hauptinduktivität L_m gezeichnet). Die Vorteile liegen in der verlustarmen Wandlung und der Flexibilität des Wandles. Der Wandler kann in verschiedenen Modi betrieben werden, je nachdem ob die Schaltfrequenz der Brücke oberhalb, unterhalb oder im Bereich der Serienresonanz liegt. Durch geringe Variation der Schaltfrequenz kann die Ausgangsspannung vergleichsweise stark geändert werden, indem man den Resonanzpunkt verlässt. Die Schaltfrequenz kann variabel eingestellt werden und ist unabhängig von Laständerungen. Darüber hinaus kann der Wandler auch lastfrei betrieben werden [101], [102].

Die zum LLC-Wandler gehörigen Schaltungsteile sind im Stromlaufplan des Kleinsignalteils unter B.20 einzusehen. In der vorliegenden Schaltung wird der LLC-Wandler ungeregelt im Punkt der Serienresonanz von Streuinduktivität und Hauptkapazität

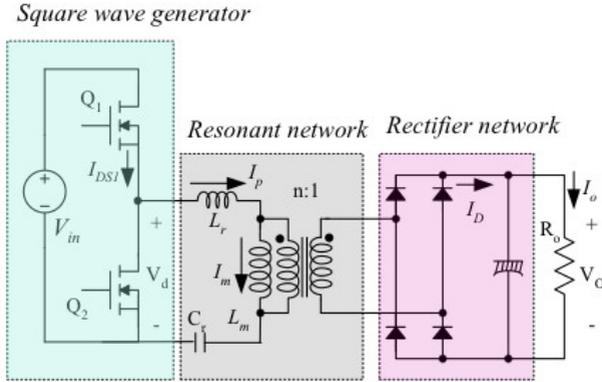


Abb. 4.7: Grundlegende Schaltung des LLC-Resonant-Wandlers. *Quelle:* [102]

verwendet. Als Hauptkapazität wirkt die Parallelschaltung aus C_{17} und C_{18} mit jeweils $1 \mu\text{F}$. Für die gewünschte Resonanz reicht die Streuinduktivität des Übertragers aus³. Die Streuinduktivität des Übertragers wurde mit einem Netzwerk-Analysator bestimmt, sie beträgt 100 nH . Nach [101] berechnet sich die Frequenz der Serienresonanz durch Formel 4.6, da der Wandler hier nicht lastfrei betrieben wird. Für unsere Schaltungsanwendung sind Serienresonanz und Schaltfrequenz der LLC-Brücke aufeinander abgestimmt. Die Serienresonanz stellt sich bei 356 kHz ein, die Schaltfrequenz beträgt 400 kHz .

$$f_{\text{res(LLC)}} = \frac{1}{2\pi \sqrt{L_{\text{streu}} C_{\text{haupt}}}}. \quad (4.6)$$

Die LLC-Schaltung ist für alle Leiterplatten identisch, lediglich die Widerstände des Spannungsreglers unterscheiden sich, um unterschiedliche Gate-Spannungen zu ermöglichen. Die hier eingesetzte Schaltung besteht aus einer Halbbrücke und deren Gate-Treiber-Peripherie (im folgenden LLC-Halbbrücke genannt, um Verwechslungen zu vermeiden), dem Resonanzkreis aus Streu- und Hauptinduktivität des Übertragers und den beiden Resonanz-Kapazitäten, sowie jeweils einem Vollbrücken-gleichrichter für High- und Low-Side. Der Gate-Treiber der LLC-Brücke erhält als Schaltsignal vom DSP ein TTL-PWM-Signal mit einem Puls-Pausenverhältnis von 50%. Am Ausgang der LLC-Brücke springt das Potential zwischen 0 V und 30 V . Auf der Primärseite des Übertragers liegt somit ein rechteckförmiges Signal zwischen $+15 \text{ V}$ und -15 V an, da das Bezugspotential der Übertragers zwischen den beiden

³Mit L_{19} kann die Streuinduktivität verändert werden, was jedoch nicht notwendig war.

Schaltspannungen	SiC-MOSFET	SiC-JFET	HEXFET	CoolMOS
ein: U_{GS} in V	20	6	12	12
aus: U_{GS} in V	-4	-12	0	-4

Tab. 4.2: Gate-Source-Spannung zum Ein- und Abschalten der Transistoren.

Kondensatoren C_{17} und C_{18} liegt. Mit dem gewählten Übersetzungsverhältnis von 1:2 wird das Signal in +30 V und -30 V transformiert und anschließend durch die Dioden $D_{20} - D_{27}$ auf +30 V gleichgerichtet. Mit zwei ausgangsseitigen Abgriffen erhält man getrennte Spannungen für High- und Low-Side. Die beiden einstellbaren Spannungsregler *UREG-HST* und *UREG-LST* regeln die Spannung auf den für die entsprechende Leiterplatte gewünschten Gesamtwert. Dieser Gesamtwert wird durch die Zener-Diode $Z_{113/103}$ und den Widerstand $R_{113/103}$ in eine positive Einschalt- und eine negative Sperrspannung für die Transistoren aufgeteilt. Der Mittelabgriff von Zener-Diode $Z_{113/103}$ und Widerstand $R_{113/103}$ ist mit dem Source-Potential verbunden, sodass am Gate eine negative Sperrspannung entsteht. Das Spannungsverhältnis wird durch die Wahl der Z-Diode eingestellt. Die Z-Diode klemmt die entsprechende Spannung auf den gewünschten Wert, während über dem Widerstand die restliche Spannung abfällt. Tabelle 4.2 listet Ein- und Abschaltspannungen für alle Leiterplatten.

Der Hersteller empfiehlt die SiC-MOSFET Transistoren aufgrund der geringen Steilheit mit einer negativen Gate-Spannung abzuschalten. Für einen selbstleitenden JFET ist eine negative Sperrspannung wegen des offenen Transistorkanals obligatorisch. Wie sich während der ersten Messungen heraus stellt, bringt es auch für die CoolMOS-Halbbrücke Vorteile, die Transistoren – entgegen der Empfehlung im Datenblatt – negativ abzuschalten: Die Überschwinger der Brückenspannung und die Schwingungen auf dem Gate-Source-Signal sind deutlich geringer. Der größere Spannungsabstand zur Schwellspannung verhindert, dass der abschaltende Transistor bedingt durch den Miller-Effekt wieder einschaltet. Vergleichende Messungen finden sich im Anhang unter B.3. Auf das Verhalten der HEXFET-Endstufe hat eine negative Sperrspannung keinen Einfluss.

4.3.2 Dimensionierung der Gate-Vorwiderstände

Die Dimensionierung der Gate-Vorwiderstände soll gewährleisten, dass alle Transistor-Technologien unter den gleichen Voraussetzungen vermessen und charakterisiert werden können. Dennoch muss auch hier Rücksicht auf das Gesamtverhalten der Endstufe genommen werden.

Im Aufbau werden sowohl Einschalt- als auch Abschalt-Widerstände so angepasst, dass der Steuer-Strom bei allen Endstufen auf einen ähnlichen Spitzenwert begrenzt wird. Diese Vorgehensweise gewährleistet, dass beim Ein- und Ausschalten die Gate-Kapazitäten der unterschiedlichen Transistoren mit dem selben Spitzenstrom umgeladen werden. Somit herrschen die selben Bedingungen für das Schalten der Halb-

Gate-Widerstd./ -Strom	SiC-MOSFET	SiC-JFET	HEXFET	CoolMOS
ein: R_{111} u. R_{110} in Ω	6,8	12	6,8	6,8
aus: R_{101} u. R_{100} in Ω	1	n/b	1	1
interner Gatewid. in Ω	5	6 (0,5)	0,71	0,75
Gesamt-Vorwid. ein: in Ω	11,8	12,5	7,51	7,55
Gesamt-Vorwid. aus: in Ω	<6	<6	<1,71	<1,75
Gate-Strom ein: in A	1,6	0,83	1,1	1,4
Gate-Strom aus: in A	-3,3	-0,97	-3,9	-3,0

Tab. 4.3: Vorwiderstand und Gate-Strom zum Ein- und Ausschalten.

brücke. Die Ausnahme bildet hier der Aufbau mit den SiC-JFETs. Aufgrund der selbstleitenden Eigenschaften in Verbindung mit der direkten Ansteuerung ergeben sich Besonderheiten in der Ansteuerung, die in Kapitel 4.3.3 diskutiert werden. Für alle anderen Leiterplatten gelten die oben genannten Dimensionierungs-Kriterien.

Das Gate-Vorwiderstandsnetzwerk setzt sich aus der Parallelschaltung von R_{111} und R_{110} für die High-Side bzw. R_{101} und R_{100} für die Low-Side zusammen. Die Stromrichtung wird durch die Schottky-Diode D_{110} bzw. D_{100} vorgegeben. Die Parallelschaltung ergibt sich, da ein unterschiedlich hoher Strom zum Ein- und Ausschalten der Transistoren gewünscht ist. Der höhere Strom über den niederohmigen Abschaltwiderstand $R_{110/100}$ ermöglicht ein steilflankiges Abschalten.

Bei der Dimensionierung ist darauf zu achten, dass sich der Gate-Vorwiderstand aus internem und externem Gate-Widerstand zusammensetzt. Für den Gesamtwiderstand ist beim Ausschalten die Parallelschaltung zu beachten. Die gängige Näherung, dass der Gesamtwiderstand einer Parallel-Schaltung etwas kleiner als deren kleinster Widerstand ist, soll hier für einen Überblick genügen. Wie aus Tabelle 4.3 ersichtlich, unterscheiden sich die internen Widerstände stark, während der resultierende Gesamtwiderstand jedoch immer für die jeweilige Technologie gleich ist: SiC: $\approx 12 \Omega$, Si: $\approx 7,5 \Omega$. Der in Klammern stehende Wert für den internen SiC-JFET-Widerstand bezieht sich auf Gatespannungen von $U_{GS} > 2,7 \text{ V}$, also auf den im Durchlass geschalteten PN-Übergang am Gate während der Leitphase. Durch die Ladungsträgerinjektion am Gate reduziert sich der Leitwiderstand drastisch. Es fällt auf, dass die SiC-Bauteile einen höheren Vorwiderstand benötigen. Wegen der unterschiedlichen Gate-Kapazitäten muss - für den selben Spitzenwert - der Umladestrom stärker begrenzt werden.

Messung der Gate-Ströme

Die gemessenen Gate-Ströme der vier Endstufen sind im Anhang B.5 dargestellt. Die Kurven zeigen die Spannung über den Gate-Vorwiderständen, welche dem Verlauf der Gate-Ströme entspricht. Zur Orientierung im Schaltzyklus ist die Brückenspannung in blau (Kanal 3), sowie die Ausgangsspannung in rot (Kanal 4) abgebildet. Kanal 1

und Kanal 2 zeigen die Spannungen über den externen Gate-Vorwiderständen der High-Side R_{111} in gelb, und R_{110} in grün. Das Maximum der gelben Kurve zeigt den Ladestrom über den Widerstand R_{111} mit dem jeweiligen Spitzenwert. Wegen der Parallelschaltung beim Abschalten addieren sich die Minima beider Kurven zu dem Spitzenwert für das Abschalten. Die Werte sind für alle Leiterplatten in Tabelle 4.3 zusammengefasst.

Die Statistik unter den Messkurven berechnet die Stromwerte auf Basis der Spannungen über den externen Gate-Vorwiderständen. Maximal-, Minimal- und Mittelwert, sowie die Standard-Abweichung über 250 Zyklen sind angegeben. Der Verlauf der Lade-Stöme folgt dem Spannungsverlauf und ist für jedes Transistor-Paar verschieden. Die verschiedenen Verläufe weisen auf die ungleichen Gate-Kapazitäten der Bauteile hin. Die Untersuchungen in Kapitel 5 werden den Einfluss der Kapazitäten auf das Schaltverhalten beleuchten. Die Angleichung der Lade- und Entladeströme am Gate bilden die Grundlage für einen aussagekräftigen Vergleich.

Abgesehen von den SiC-JFETs werden alle Transistor-Paare durchschnittlich mit 1,4 A eingeschaltet und mit -3,4 A abgeschaltet. Die Gate-Ströme der SiC-JFET-Endstufe sind mit 0,83 A und -0,97 A deutlich geringer. Eine Erhöhung des Spitzenwert durch eine alternative Ansteuervariante setzt die Audioqualität der Endstufe herab. Die Gründe hierfür werden im folgenden Unterkapitel erläutert.

4.3.3 Ansteuerung der SiC-JFET-Endstufe

Selbstleitende JFETs werden in der Regel in einer Kaskode-Schaltung mit einem selbstsperrenden MOSFET betrieben, um Kurzschlüsse durch fehlerhafte Gate-Treiberspannung zu vermeiden. Für die vorliegende Arbeit hat dies den Nachteil, daß die Schalteigenschaften des Kaskode-MOSFETs bei allen Untersuchungen mit einfließen, da die JFETs nicht direkt angesteuert werden können.

Aus diesem Grund wurde sich für eine so genannte *Cascode-Light* Schaltung entscheiden, die Schutz gegen einen Kurzschluß bietet und gleichzeitig eine direkte Ansteuerung der JFETs ermöglicht (Abb. 4.9). Das grundlegende Schaltungskonzept wird in [103] präsentiert und in [104] analysiert. Im Rahmen der PWM4Audio-Gruppe wurde dieses Konzept für die vorliegende Arbeit weiterentwickelt. Umfangreiche Simulationen und Analysen finden sich in [105] und werden an dieser Stelle daher nicht vertieft.

Der Unterschied zu einer konventionellen Kaskode-Schaltung liegt in Anordnung und Funktion des Kaskode-MOSFETs. In einer konventionellen Kaskode-Schaltung erhält der MOSFET das Schaltsignal und steuert durch die kaskadierte Verschaltung den JFET *indirekt* auf. Bei der *Cascode-Light* Schaltung liegt der MOSFET in Serie mit dem JFET (Abb. 4.9). Hier fungiert er lediglich als Schalter, sobald die Treiberspannung ausfällt. Die Arbeitsweise der Kurzschlussicherung wird unter 4.4.2 erläutert. Der JFET wird so *direkt* am Gate angesteuert, wodurch die Schaltreaktion des JFETs unmittelbar analysiert und mit den übrigen Transistoren verglichen werden kann. Abbildung 4.9 zeigt den Stromlaufplan hierzu.

Diese spezielle Art der Ansteuerung bringt einige Besonderheiten mit sich, da hier die SiC-JFETs mit einer positiven Spannung eingeschaltet werden. Mit der positiven Spannung unterliegt der pn-Übergang am Gate der Ladungsträgerinjektion und es fließt während der gesamten Dauer, die der JFET leitet, Strom ins Gate hinein. Abbildung 4.8 veranschaulicht, dass der Gate-Strom mit steigender positiver Einschaltspannung drastisch zunimmt. Die Kurve wurde am verwendeten Transistor gemessen und umfasst auch den für uns relevanten Spannungsbereich, der im Datenblatt [106] nicht angegeben ist. Es fällt auf, dass bereits bei +4 V Einschaltspannung dauerhaft ein Strom von mehreren Ampere ins Gate fließt, (was jedoch nicht aus den Angaben im Datenblatt hervor geht).

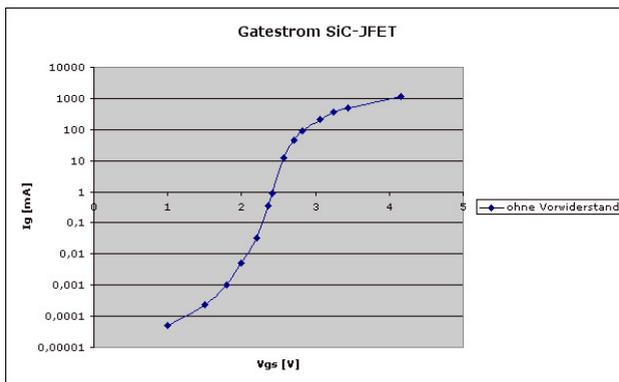


Abb. 4.8: Der konstante Gate-Strom während der Leitphase des SiC-JFET steigt mit zunehmendem U_{GS} drastisch an.

Da im Aufbau mit +6 V eingeschaltet wird, muss der Gate-Strom über einen entsprechend hohen Vorwiderstand begrenzt werden. Durch den hohen Vorwiderstand werden jedoch die Umschaltflanken der Brückenspannung flacher und die Umschaltzeiten länger. Eine geringere Einschaltspannung von wenigen Volt würde das Problem des hohen Gate-Stroms lösen. Die Einschaltspannung kann jedoch wegen der Kurzschlussicherung nicht reduziert werden (vgl. Kapitel 4.4.2).

Die Problematik des Gate-Stroms besteht bei den übrigen Endstufen nicht, da keine Dauerverluste während der Leitphase entstehen. Bei den eingesetzten Technologien (SiC-MOSFET, CoolMOS und HEXFET) ist das Gate isoliert und der Strom reißt ab, sobald die Kapazitäten umgeladen sind.

Im Folgenden werden zwei Varianten zur Ansteuerung diskutiert und bezüglich der Performance der Endstufe miteinander verglichen.

Ansteuervariante 2 (Zener-Diode). Auffällig ist, dass der Kurvenverlauf ab 3 V Ausgangsspannung, also beim Verlassen der PWM Central Region, deutlich auseinander geht. Der Klirrfaktor mit Z-Dioden-Ansteuerung ist um ca. 8 dB höher. Der erhöhte Klirrfaktor hängt mit der Vergrößerung der effektive Totzeit zusammen. Diese Zusammenhänge werden im Kapitel zur Audioqualität ausführlich diskutiert. Die effektive Totzeit wird durch die Messung der Flankenmodulation am besten veranschaulicht. Die Flankenmodulation ist in Abbildung 4.14f dargestellt und wurde für beide Ansteuervarianten unter einer Aussteuerung von 97% gemessen. Die Breite der blauen Kurvenschar entspricht der effektiven Totzeit unter Vollaussteuerung. Die Flankenmodulation der ohmschen Ansteuerung (Variante 1) beträgt 18 ns, die der Z-Dioden-Ansteuerung (Variante 2) beträgt 38 ns. In Variante 2 ist insbesondere die Abschaltverzögerung deutlich verkürzt. Dadurch entsteht in der Messung die Brückenflanke zeitlich früher als bei Variante 1. Die Flanke am linken Rand verschiebt sich um 20 ns nach links und vergrößert so die Gesamtbreite von 18 ns auf 38 ns. Da die gemessene Gesamtbreite die effektive Totzeit abbildet, vergrößert sich die effektive Totzeit, trotz unveränderter Totzeit-Einstellung am DSP. Mit der vergrößerten effektiven Totzeit verschlechtert sich der Klirrfaktor.

Da die Audioqualität entscheidend ist, wurde an der ersten Ansteuervariante festgehalten. Zudem bietet diese Variante wegen der rein ohmschen Ansteuerung eine größere Parallelität zu den übrigen Endstufen.

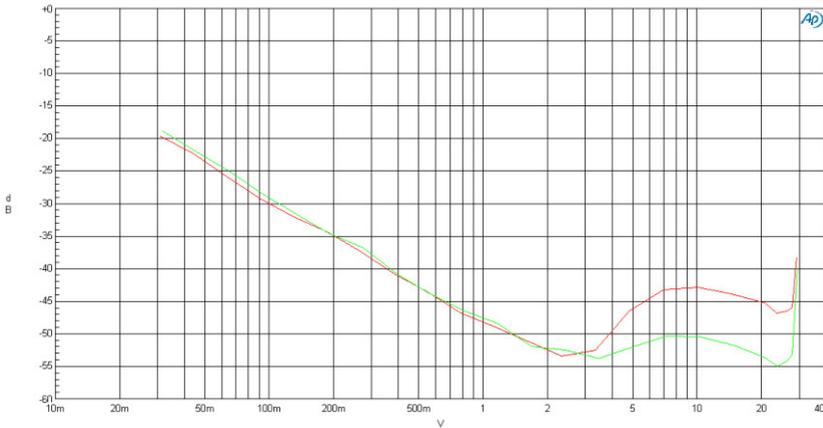


Abb. 4.11: Klirrfaktor (THD+N) der SiC-JFET-Endstufe mit unterschiedlicher Ansteuerung; grün: Variante 1 (12 Ω), rot: Variante 2 (Z-Diode).

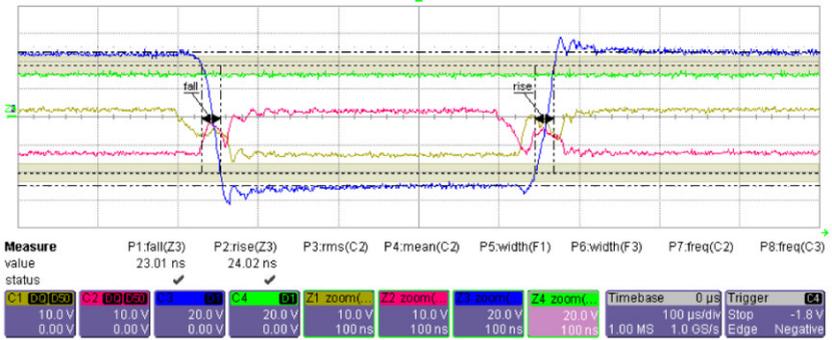


Abb. 4.12: Schaltverhalten mit rein ohmscher Ansteuerung (Variante 1).



Abb. 4.13: Schaltverhalten mit Z-Dioden-Ansteuerung (Variante 2).

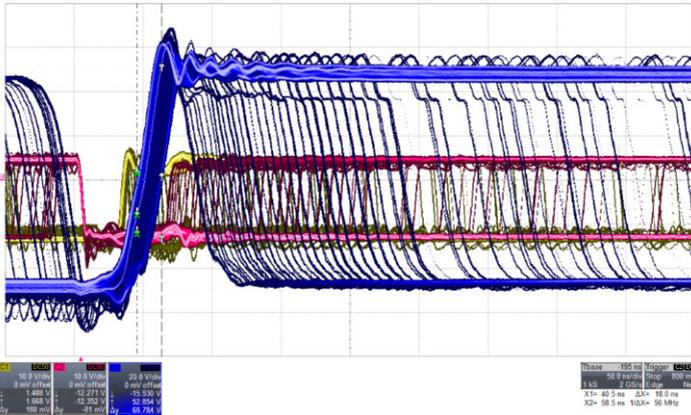


Abb. 4.14: Flankenmodulation der SiC-JFET-Endstufe mit rein ohmscher Ansteuerung (Variante 1).

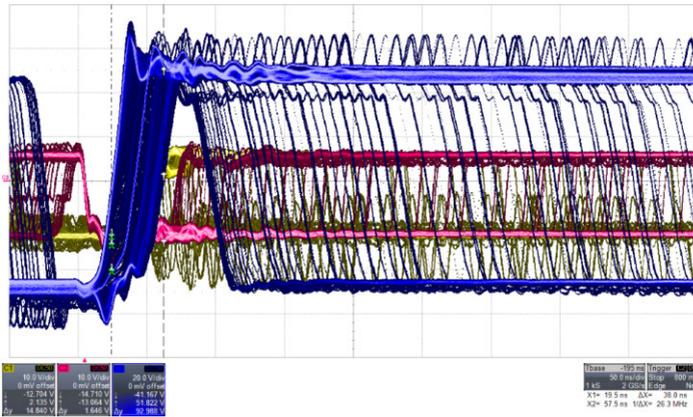


Abb. 4.15: Die Flankenmodulation mit Z-Dioden-Ansteuerung ist deutlich breiter (Variante 2).

4.4 Schaltstufe

Die Schaltstufe stellt das Herz eines Klasse-D-Verstärkers dar⁴. Sie besteht im wesentlichen aus zwei Leistungstransistoren, deren Entlastungsnetzwerk (Snubber) und zwei Netzteilen zur Spannungsversorgung. Die Verstärkung der Schaltstufe ist durch die Höhe der Spannungsversorgung festgelegt. Im Folgenden wird die Schaltungstopologie vorgestellt und die Wahl des Entlastungsnetzwerkes diskutiert. Die Netzteile zur Spannungsversorgung werden in einem gesonderten Kapitel behandelt (4.5.2).

Wie Eingangs erwähnt, wurde eine Halbbrücken-Topologie ohne Rückkopplung gewählt, um den Einfluss der unterschiedlichen Halbleiter unmittelbar analysieren zu können. Die Untersuchungen in [8] zeigen, dass sich die für die Halbbrücke gefundenen Ergebnisse direkt auf eine Vollbrücken-Konfiguration projizieren lassen.

Die Schaltung der Leistungsstufe ist für die Endstufen mit den selbstsperrenden Bauteilen grundsätzlich identisch. Die selbstleitenden JFETs hingegen benötigen eine besondere Absicherung gegen den Ausfall der Gate-Treiber-Spannung, um einen Kurzschluss zwischen positiver und negativer Versorgung zu verhindern. Auf diese Kurzschlussicherung wird im Anschluss an die Erläuterungen zum Snubber eingegangen. Die Stromlaufpläne der Leistungsstufe sind unter B.7 für alle Endstufen dargestellt.

4.4.1 Entlastungsnetzwerk (Snubber)

Entlastungsnetzwerke, auch Snubber genannt, werden eingesetzt, um verschiedene Auswirkungen des nicht-idealen Verhaltens von Leistungsschaltern zu mildern (Schaltverluste durch endliche Anstiegs- und Abfallschaltzeiten, Überschwinger und Oszillation durch parasitäre Kapazitäten und Induktivitäten der FETs, elektromagnetischen Emission durch hartes Schalten, etc.).

Ein Snubber verändert die Spannungs- und/oder Stromkurven des Leistungsschalters während dem Ein- und Ausschalten. Diese Kurven-Modifikation dient einer Vielzahl von unterschiedlichen Zwecken [107]: Begrenzung von Strom- oder Spannungsspitzen (Überschwinger), Dämpfung des Einschwingvorgangs nach dem Umschalten, Begrenzung der Anstiegsgeschwindigkeit dU/dt oder dI/dt , Verschiebung der Schalt-Trajektorien in den sicheren Betriebsbereich (*safe operating area*, SOA), Verringerung der Schaltverluste, Transfer der Verlustleistung aus dem Schalter in einen Widerstand oder eine nützliche Last (Energy Recovery Snubber) Verbesserung der Zuverlässigkeit durch reduzierte thermische/elektrische Belastung, Verringerung der elektromagnetischen Emission (EMI).

Wahl der Ausführungsform

Die Ausführungsformen eines Snubbers sind ähnlich vielfältig wie der Verwendungszweck und reichen von einem einfachen Snubber aus zwei passiven Bauteilen bis hin zu

⁴Die Begriffe *Schaltstufe* und *Leistungsstufe* werden im folgenden gleichbedeutend verwendet.

komplexen, teilweise auch aktiven Snubber-Netzwerken. Eine der gängigsten Ausführungsformen ist der RC-Snubber, eine Serienschaltung aus Widerstand und Kondensator. Parallel zum Leistungshalbleiter geschaltet, reduziert er Spannungsspitzen und dämpft Schwingvorgänge beim Schalten. Nachteilig ist, dass der Transistor mit dem Ladestrom des Snubbers zusätzlich belastet wird. Darüber hinaus wird im Snubber-Widerstand Verlustleistung umgesetzt, die durch den Kondensator bestimmt ist. Der RC-Snubber ist besonders in Applikationen mit niedrigen bis mittleren Versorgungsspannungen nützlich, da hier die Verluste im Snubber noch nicht so exzessiv sind wie bei Hochspannungs-Anwendungen. [108] Die Wirkung des RC-Snubbers kann durch das Hinzuschalten einer Diode auf den Abschalt-Vorgang fokussiert werden, siehe Abbildung 4.16 - *turn-off snubber*.

Während der RC-Snubber sich in erster Linie auf die Spannungskurven auswirkt, wird eine Änderung der Stromkurven mithilfe einer in Serie geschalteten Induktivität erreicht. Möchte man beispielsweise den Stromanstieg oder die Stromspitzen des Reverse-Recovery-Stroms beim Einschalten begrenzen, so findet eine Kombination aus Induktivität, Widerstand und Diode Anwendung, wie in Abbildung 4.16 - *turn-on snubber*. [109], Die Familie der RLC-Dioden Snubber, wie in Abbildung 4.16 wird u.a. eingesetzt, um die Anstiegsgeschwindigkeit dU/dt oder dI/dt zu begrenzen, die Schaltverluste aufgrund der Transienten zu verringern oder die Schalt-Trajektorien in den sicheren Betriebsbereich (SOA) zu verschieben. [107]

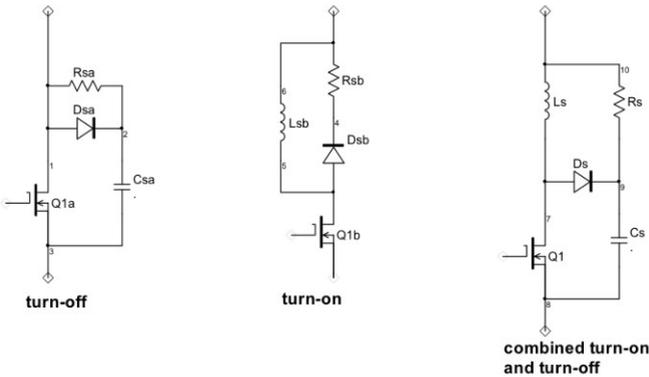


Abb. 4.16: Typische Netzwerke aus der Familie der RLC-dioden Snubber. *Quelle:* [107]

In der vorliegenden Arbeit wird das Snubber-Netzwerk eingesetzt, um die Überschwinger der Brückenspannung beim Umschalten zu mildern. Die Spannungsspitzen sollen verringert und der anschließenden Einschwingvorgang gedämpft werden.

Auf die Begrenzung des Stroms durch ein turn-on Snubber wird aus akademischen Gründen verzichtet, um u.a. die Auswirkungen der unterschiedlichen Bodydiode unverfälscht vergleichen zu können. Vor diesem Hintergrund findet ein einfacher RC-Snubber Anwendung, insbesondere da der D-Verstärker eine Applikation im mittleren Spannungsbereich darstellt. Der Snubber liegt parallel zur Drain-Source-Strecke des jeweiligen Transistors und besteht aus R_{115} und C_{115} für die High-Side und aus R_{105} und C_{105} für die Low-Side (vgl. Abb. B.21ff).

Auslegung der Bauteile

Die Auslegung eines Snubbers ist nicht trivial, da sich das Verhalten des schwingfähigen Gesamtsystems mit jedem Bauteilwert von C und R ändert. Das schwingfähige System wird vorwiegend durch die folgenden Komponenten bestimmt: die parasitäre Ausgangskapazität der Transistoren, Gehäuseinduktivitäten der Bauteile - insbesondere der größeren Gehäuse wie TO-220, parasitäre Elemente des Tiefpassfilters am Ausgang - also Wicklungskapazität der Ausgangsdrossel und Induktivität des Kondensators und nicht zuletzt durch das Layout, dessen Masseflächen und Leiterbahnen als verteilte Kapazitäten und Induktivitäten wirken. Da sich alle Teilschwingkreise wechselseitig beeinflussen, sind die Auswirkungen des Snubbers auf Strom- und Spannungskurven miteinander verwoben. Größere Kapazitäten bedeuten beispielsweise eine Aufweitung der Stromspitze und damit eine höhere Strom-Belastung des FETs. Höhere Widerstände dämpfen zwar besser die Spannungsspitzen, setzen jedoch auch mehr Verlustleistung um. Dennoch kann die Gesamtverlustleistung von Snubber und Transistor durch einen höheren Widerstand reduziert werden [108].

Eine analytische Dimensionierung wie in [110] und [111], ist grundsätzlich möglich, würde aber unter der korrekten Einbeziehung aller Wechselwirkungen sehr aufwändig und ist nur in kritischen Betriebsfällen notwendig. Da die SOA auch dann nicht verlassen wird, wenn Überschwinger auftreten (alle verwendeten FETs werden weit unterhalb der maximalen Durchbruchspannung betrieben), ist hier ein praktischer Ansatz zur Ermittlung der Bauteilwerte völlig ausreichend.

Das Handbuch zum Design von Snubber-Netzwerken von Rudy Severns [108] bietet in Kombination mit dem Applikationsbericht von Camco [112] eine sehr praktikable Vorgehensweise zur Auslegung der Snubber-Komponenten. Die Auslegung basiert auf den analytischen Grundlagen der Schwingkreis-Theorie, wobei die Werte für die entsprechenden Formeln praktisch ermittelt werden.

Wenn man bedenkt, dass die Überschwinger durch die Anregung parasitärer Schwingkreise im Aufbau entstehen, ist es naheliegend die Formeln der Schwingkreis-Theorie heranzuziehen. Der Einschwingvorgang beim Schalten wird dann optimal gedämpft, wenn die Widerstände der Schwingkreise gleich groß sind. Demnach passt man den Snubber-Widerstand der Kennimpedanz Z_0 des parasitären Schwingkreises an [108], wie in Formel 4.8 beschrieben.

Der Snubber-Kondensator sollte für eine optimale Dämpfung des Einschwingvorgangs bei schaltenden Audioverstärkern in der Größenordnung der Ausgangskapazität C_{oss}

liegen. [112] Ein größerer Kondensator, wie in [107] vorgeschlagen, bietet die Möglichkeit höhere Überschwinger zu dämpfen, benötigt jedoch auch mehr Ladezeit und -Strom. In unserem Fall würde dadurch die fallende Flanke der Brückenspannung flacher, also die fall-time erhöht. Zudem würde ein zu großer Kondensator die Stromspitze unnötig aufweiten und mehr Verluste erzeugen.

Damit ergibt sich folgende Auslegung:

$$C_S \approx C_{oss} \quad (4.7)$$

$$R_S \approx Z_0 = \sqrt{\frac{L_0}{C_{oss}}}. \quad (4.8)$$

C_{oss} : parasitäre Ausgangskapazität des Halbleiterschalters

C_S : Kapazität des Snubbers

R_S : Widerstand des Snubbers

Z_0 : Kennimpedanz des Aufbaus

L_0 : parasitäre Induktivität des gesamten Aufbaus (Bauteile+Leiterplatte)

Die verbleibende unbekannt Größe ist L_0 . Die Werte-Ermittlung hierfür geschieht nach folgendem Procedere:

Zunächst werden die Überschwinger des Aufbaus ohne Snubber gemessen. Anschließend wird das System mittels einer bekannten Kapazität verstimmt und erneut gemessen. Die Kapazität wird dabei an die Stelle der Snubber-Kapazität $C_{105/115}$ gelötet, der Widerstand $R_{105/115}$ wird überbrückt. Aus der Differenz der Resonanzfrequenz ohne Snubber f_0 und der neuen Resonanzfrequenz f_1 , die durch die eingelötete Kapazität bestimmt ist, wird die parasitäre Induktivität des Aufbaus L_0 wie in Formel 4.9 berechnet. Sind Induktivität und Kapazität bekannt, lässt sich aus der Kennimpedanz des Schwingkreises der optimale Snubber-Widerstand ableiten (Formel 4.8).

$$L_0 = \frac{f_0 - f_1}{(2\pi)^2 C_1} \quad (4.9)$$

L_0 : parasitäre Induktivität des gesamten Aufbaus (Bauteile+PCB)

f_0 : Resonanzfrequenz der Überschwinger ohne Snubber

f_1 : Durch die Kapazität C_1 verstimmte Resonanzfrequenz

C_1 : bekannte, eingelötete Test-Kapazität

Für die jeweiligen Endstufen ergeben sich hiermit die nachfolgend gelisteten Werte:

Endstufe	C_{oss}	L_0	C_S	R_S
SiC-MOSFET (Cree)	230 pF	17 nH	220 pF	10 Ω
SiC-JFET (Semisth.)	80 pF	17,9 nH	100 pF	15 Ω
HEXFET (IR)	500 pF	16,9 nH	470 pF	5,6 Ω
CoolMOS (Inf.)	215 pF	17,2 nH	220 pF	8,6 Ω

Auswirkung auf die jeweilige Endstufe

Um die Auswirkung auf die jeweilige Endstufe einzusehen, werden die charakteristischen Signale aufgenommen: Brückenspannung, Gate-Source-Spannungen der High- und Low-Side, sowie die Ausgangsspannung. Darüber hinaus wird für alle Endstufen der THD+N bestimmt. Die Abbildungen 4.17 und 4.18 zeigen exemplarisch die Messungen an der HEXFET-Endstufe. Es wird jeweils ein einzelner Schaltzyklus unter 30V Ausgangsspannung - also im Betriebszustand der positiven Aussteuerung - betrachtet. Der Laststrom beträgt hier ca. 7,5 A. Diese Stelle wurde gewählt, da die Schwingkreise durch einen hohen Strom stärker angeregt werden und die Überschwinger höher ausfallen, als beispielsweise im Null-Zustand, wo der Laststrom lediglich gleich dem Rippel-Strom ist. Bei höheren Ausgangsspannungen als 30 V werden die Signale des einzelnen Schaltzyklus jedoch zu undeutlich und erreichen aufgrund der kurzen Einschaltzeit die Treiber-Spannung nicht mehr. Eine Betrachtung an dieser Stelle wäre nicht aufschlussreich.

Während der Snubber die Ausgangssignale der SiC-MOSFET-Endstufe (Cree) kaum beeinflusst, verbessern sich bei den übrigen Aufbauten die Spannungsverläufe von Brücke und Gate sowie der Klirrfaktor (THD). Alle Messungen zum Klirrfaktor finden sich im Anhang unter B.6. Die Spannungsverläufe der HEXFET-Endstufe sind exemplarisch in Abbildung 4.17f dargestellt. Die übrigen Messungen befinden sich ebenfalls in Anhang B.6.

Bei den konventionellen Endstufen werden die Überschwinger der Brückenspannung sichtbar gedämpft und die Ausklingdauer deutlich verkürzt. Die Gate-Source-Signale zeigen ebenfalls geringere Schwingungsamplituden. Übersprecher auf den Ausgang werden reduziert und das Ausgangssignal sieht insgesamt sauberer aus. Klirrfaktormessungen bestätigen den optischen Eindruck: Der THD+N der *HEXFET-Endstufe* verbessert sich um ca 8 dB für Ausgangsspannungen größer 0,83 V. Der THD+N der *CoolMOS-Endstufe* verbessert sich für alle Ausgangsspannungen größer 6,5 V, der tiefste Punkt liegt 15 dB unterhalb der snubberlosen Messung. Bei beiden Endstufen verschiebt sich das Minimum der THD+N-Kurve zu höheren Ausgangsspannungen: um 0,3 V für den HEXFET und um 2,5 V für den CoolMOS.

Bei der *SiC-JFET-Endstufe* werden die Überschwinger geringfügig gedämpft, wobei kleinere Oberwellen ganz verschwinden. Das Brückensignal sieht dadurch sauberer aus. Auch hier sieht das Ausgangssignal sauberer aus, der THD+N verbessert sich für Ausgangsspannungen größer 4 V um ca. 3 dB. Wie bereits eingangs erwähnt, hat das Snubber-Netzwerk keine nennenswerte Auswirkung auf die *SiC-MOSFET-Endstufe*. Die Amplitude der Überschwinger von Brückenspannung und Gate-Source-

Spannungen verringert sich geringfügig, die Schwingung klingt jedoch deutlich schneller ab. Die THD+N-Messungen zeigen lediglich eine Reduzierung des Rauschens (wie bei allen übrigen Endstufen auch), ab 4,5 V sind die Kurven jedoch praktisch deckungsgleich. Bei allen vier Endstufen verringert sich die Schwingungsfrequenz durch den Snubber.

Abbildung 4.18 zeigt exemplarisch die Auswirkung des Snubbers auf die konventionelle HEXFET-Endstufe. Alle übrigen Messungen befinden sich im Anhang unter B.6. Dargestellt ist die Brückenspannung in blau, die Gate-Source-Spannung der High-Side in gelb und der Low-Side in rot, sowie die Ausgangsspannung in grün. Der oberen Bild-Abschnitt zeigt jeweils die gesamte Periode des Ausgangssignals (1 kHz), der untere Abschnitt zeigt einen Schaltzyklus der Brücke (400 kHz). Der ausgewählte Schaltzyklus ist im oberen Bild durch Kreuze markiert. Bemerkenswert ist, dass sich bei allen Schaltsignalen die Ausklingdauer der Überschwinger auf 1/3 der ursprünglichen Zeit verkürzt. Vergleicht man die 1 kHz-Ausgangssignale, so fällt auf, dass sich die 400 kHz Störspitzen auf dem grünen Sinus-Signal verkürzen. Im einzelnen Schaltzyklus sieht man, dass die Übersprecher auf das Ausgangssignal gedämpft sind.

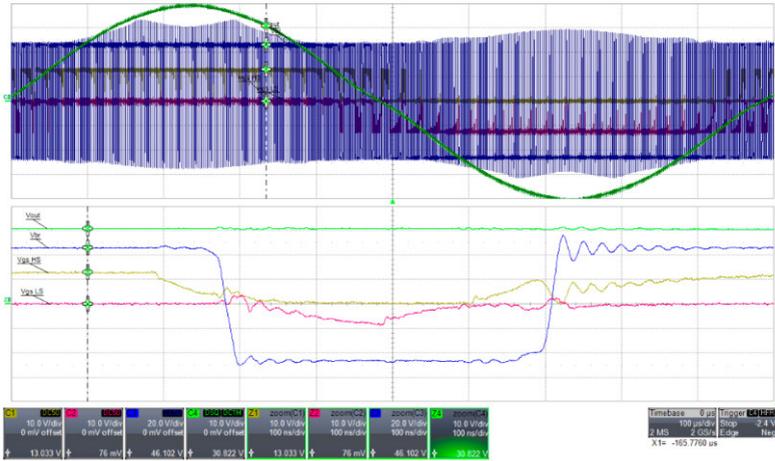
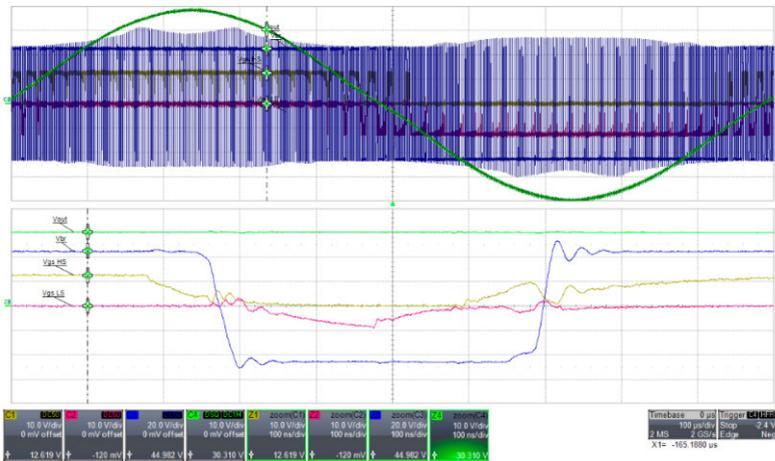
Bei der HEXFET-Endstufe wird – aufgrund des verhältnismäßig großen Kondensators – die Flanke der Brückenspannung deutlich flacher (vgl. Abb. 4.18), was jedoch keine negative Auswirkung auf den THD hat. Bei den übrigen Endstufen ist eine solche starke Abflachung nicht zu beobachten, da die eingesetzten Kondensatoren deutlich kleiner sind.

4.4.2 Kurzschlussicherung für den selbstleitenden JFET

Die Kurzschlussicherung erfolgt durch eine sogenannte *Cascode-Light*-Schaltung, wie in [105] beschrieben. Hierbei sind MOSFET und JFET nicht kaskadiert, sondern seriell verschaltet (siehe Abb.4.19).

Der Unterschied zu einer konventionellen Kaskode-Schaltung, wie in der Applikationsschrift von Semisouth vorgeschlagen [113] liegt – wie bereits erwähnt – in der Ansteuerung der FETs. Während bei der konventionellen Schaltung der Kaskode-MOSFET das Schaltsignal erhält, wird bei der *Cascode-Light* der SiC-JFET direkt am Gate angesteuert. Durch die direkte Ansteuerung kann die Schaltreaktion des JFETs unmittelbar analysiert und mit den übrigen Transistoren verglichen werden. Nachteilig ist, dass der Gate-Strom, der im leitenden Zustand permanent ins Gate fließt, recht groß werden kann.

Abbildung 4.19 zeigt die eingesetzte *Cascode-Light* Schaltung für die High-Side der Halbbrücke. Der Schutz-MOSFET ist jeweils in Serie zum SiC-JFET geschaltet. Zur Kurzschlussicherung wird die Unterspannungs-Abschaltung (*undervoltage lockout*, UVLO) des MOSFET-Treibers genutzt. Hierfür liegt der MOSFET-Treiber mit seiner Versorgung parallel zur Einschaltspannung des JFET-Treibers. Die Einschaltspannung fällt über R_{113} ab, die Ausschaltspannung fällt über Z_{113} ab, wie in Abbildung 4.19 dargestellt.

Abb. 4.17: Charakteristische Spannungen der HEXFET-Endstufe *ohne* Snubber.Abb. 4.18: Charakteristische Spannungen der HEXFET-Endstufe *mit* Snubber.

4.5 Externe Spannungsversorgungen

4.5.1 Spannungsversorgung des Kleinsignalteils

Die Spannungsversorgung der beiden Gate-Treiber sowie der LLC-Halbbrücke übernimmt eine externe Spannungsquelle. Die längsregelte Spannungsquelle liefert 30 V Gleichspannung für die LLC-Halbbrücke. Diese Spannung wird auf der Leiterplatte von den Spannungsreglern *UREG-15* und *UREG-5* auf 15 V für den Gate-Treiber des LLC-Wandlers und auf 5 V für die Gate-Treiber der Leistungsstufe herunter geregelt.

4.5.2 Spannungsversorgung der Leistungsstufe

Zur komplementären Spannungsversorgung der Halbbrücke werden zwei Netzteile der Firma Camco verwendet, welche eigens zur Versorgung von Audio-Verstärkern entwickelt wurden. Die Netzteile bestehen aus diskret aufgebauten Linear-Reglern mit einer großzügig ausgelegten analogen Stufe. Jedes Netzteil kann bis zu 20 A Laststrom liefern und verfügt über eine Strombegrenzung. Die maximale Spannung beträgt 90 V, wobei die meisten Messungen mit 50 V durchgeführt werden. Der Bereich der Ausgangsspannung ist von 90 V auf 50 V umschaltbar und kann dann stufenlos geregelt werden.

Die interne, optimierte Regelscheibe ist schnell genug, um eventuelle Spannungsschwankungen auch unter der Schaltbelastung auszuregeln. Der schlechten Brummspannungs- bzw. Restwelligkeits-Unterdrückung (PSRR) in einer Halbbrücke ist damit hinreichend entgegengewirkt. Mit der schnellen Regelschleife und hohen Kapazitäten am Eingang des Netzteils bleibt auch ein evt. auftretendes *Power Supply Pumping*⁶ ohne Folge. Die Kondensatoren sind so dimensioniert, dass eingespeiste Energie vorübergehend zwischengespeichert werden kann, ohne dass es zu einer Zerstörung des Netzteils kommt. Bei einer regulären Durchführung der Messungen ist die Frequenz des Eingangssignals mit 1 kHz weit genug vom niederfrequenten Bereich entfernt, sodass ein *Power Supply Pumping* nur in geringem Maße auftritt. Mit der schnellen Regelschleife des Netzteils kann der Effekt des *Power Supply Pumping* für Untersuchungen in dieser Arbeit vernachlässigt werden.

4.6 Ausgangsfilter

Das Ausgangsfilter demoduliert das verstärkte PWM-Signal und liefert der Last ein analoges Sinus-Signal. Das Filter ist ein passiver LC-Tiefpass 2. Ordnung, der nach dem Vorbild eines Audio-Verstärkers der Firma Camco aufgebaut wurde. Da das Filter für die Seriengeräte bereits optimiert wurde, soll an dieser Stelle keine detaillierte

⁶Durch zu lange unveränderte Lastzyklen wird Energie ins Netzteil zurückgespeist. Das Netzteil muss zeitweise soviel Energie aufnehmen, dass der Spannungswert gegenüber dem Sollwert stark ansteigt und die Eingangskondensatoren des Netzteils unter Umständen bis zu deren Zerstörung aufgeladen werden; vgl. Kapitel 2.2.

Analyse mehr stattfinden. Die Grenzfrequenz liegt mit 27,7 kHz etwas oberhalb des Audiobandes. Die Komponenten werden so ausgelegt, dass die Schaltung mit einer Impedanz von $3,5 \Omega$ der Leistungsanpassung unterliegt.

4.6.1 Kondensator

Als Kondensator wird ein MKP⁷-Folienkondensator mit Polypropylen-Dielektrikum eingesetzt. Der Vorteil dieser Bauform liegt in der hohen Impulsfestigkeit und Strombelastbarkeit, sowie in der großen Volumenkapazität, des geringen Verlustfaktors und der hohen Güte. Durch die parallel geschalteten Einzelkondensatoren reduzieren sich Serien-Widerstand (ESR) und Serien-Induktivität (ESL), was den Einsatz zum Filtern des hochfrequenten und steilflankigen PWM-Signals interessant macht. Darüber hinaus sind die Kondensatoren selbstheilend und bieten ein höheren Spannungsbereich als Elektrolyt-Kondensatoren. Im Gegensatz zu Keramik-Kondensatoren zeigen sie keine Mikrophonie [114]. Der Einsatz von Polypropylen bietet, im Vergleich zu anderen Dielektrika, eine geringe Abhängigkeit der Kapazität und des Verlustfaktors von Temperatur und Frequenz [2].

Der bestückte Filterkondensator C_{200} ist ein WIMA MKP-10 mit einer Kapazität von $1,5 \mu\text{F}$. Die Elektrode ist in der MKP-10 Reihe als doppelseitig metallisierte Belagfolie ausgeführt, deren beidseitige Metallisierung die elektrische Leitfähigkeit verbessert und die Kontaktierungsfläche verdoppelt. Eine Querschnittsskizze sowie nähere Informationen zum Aufbau sind in [115] nachzulesen.

4.6.2 Drossel

Die eingesetzte Drossel ist eine Toroid-Spule mit 37 Windungen. Sie besitzt einen standardisierten Eisenpulver-Kern aus dem Kernmaterial T157-2 ($A_L = 14 \text{ nH}/N^2$) von Micrometals und ist eine Maßanfertigung der Firma Camco. Die Induktivität der Drossel wurde mit einem Netzwerk-Analysator bestimmt und beträgt $22,06 \mu\text{H}$.

Der Vorteil des Eisenpulverkerns liegt in der hohen Permeabilität und der schlechten elektrischen Leitfähigkeit. Die Isolation der Pulverteilchens gegeneinander wirkt wie ein gleichmäßig verteilter Luftspalt. Hierdurch entsteht neben den o.g. Eigenschaften eine automatische Scherung der Magnetisierungskurve und eine hervorragende Wirbelstromunterdrückung. Letzteres führt zu einem geringen Verlustfaktor [2]. Drosseln mit Pulverkernen werden bei Leistungsanwendungen mit hohen Frequenzen als Entstördrosseln, Speicherdrosseln und PFC-Drosseln eingesetzt. Zur Demodulation unseres PWM-Signals und zum Herausfiltern der Schaltfrequenz ist diese Bauweise ideal.

⁷ Metall-Kunststoff-Papier

4.7 Layout der Leiterplatte

Das Leiterplatten-Layout der entwickelten Schaltung muss sorgfältig entworfen werden, um die korrekte Funktion der Schaltung und eine gute elektromagnetische Verträglichkeit (EMV) zu gewährleisten. Schlüsselmerkmale eines guten Layout sind eine geringe parasitäre Induktivität sowie eine niedrige Impedanz der Leiterplatte. Aus der Formel $Z = \frac{L}{C}$ erschließt sich, dass in diesem Zusammenhang eine parasitäre Kapazität vorteilhaft sein kann [116]. Für eine optimale Vergleichbarkeit der Endstufen, muss das Layout bei allen Leiterplatten möglichst identisch sein, da andernfalls das Verhalten der Schaltung unterschiedlich beeinflusst würde.

Nach dem Vorbild der Application Note *Class-D Audio Power Amplifiers: PCB Layout For Audio Quality, EMC and Thermal Success* von Texas Instruments [117], wird auch hier besonders auf eine adäquate Masselage, eine optimale Platzierung der Entkoppel-Kondensatoren sowie eine induktionsarme und niederimpedante Leiterbahnführung Wert gelegt. Auf diese Eigenschaften wird in den folgenden Abschnitten genauer eingegangen.

4.7.1 Lagenaufbau des Leistungsteils

Um den Anforderungen für ein gutes Layout gerecht zu werden, wurde die Schaltung auf einem 6-fach multi-layer PCB hergestellt. Abbildung 4.20 zeigt den Lagenaufbau für die Leistungsstufe. Die Bedeutung der Lagen wird in den folgenden Abschnitten genauer erklärt.

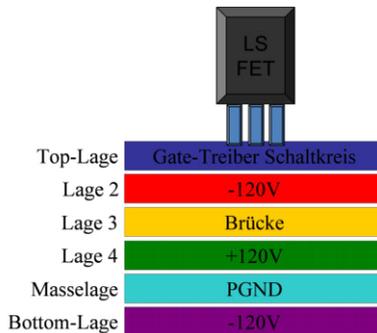


Abb. 4.20: Lagenaufbau des Leistungsteils im Querschnitt

4.7.2 Masselagen

Für ein induktionsarmes und niederimpedantes Layout empfiehlt es sich, eine eigene Lage für die Masse bereitzustellen [116], [118], [119], [117]. Die Verwendung einer eigenen Masselage sorgt für eine elektrische und magnetische Abschirmung und reduziert die parasitäre Induktivität der Leiterplatte. Durch die Kontaktierung über eine Fläche anstelle einer Leiterbahn, kann der Strom den kürzesten Weg von der Senke zurück zur Quelle nehmen. Mit der verkleinerten Stromschleife reduziert sich die Induktivität des Strompfads signifikant. Weniger parasitäre Induktivität, resultiert in geringeren Überschwängern auf dem Signal (vgl. Abb. 4.22).

Darüber hinaus minimiert eine eigene Masselage Schwankungen des Masse-Potentials und reduziert die Impedanz der Masse-Anbindung [116], [118], [119], [117].

Bei schaltenden Anwendungen ist die Trennung der Kleinsignal-Masse (SGND) von der Masse des schaltenden Leistungsteils (PGND) essentiell [120], [119], [118]. Auf diese Weise wird verhindert, dass sich Störungen auf der unruhigen, schaltenden Masse in den Steuerteil der Schaltung einkoppeln. Die Trennung erfolgt durch einen Schlitz, der idealerweise auch auf den übrigen Lagen ausgespart wird. Die Masseflächen werden über die gesamte Platinenfläche geschlitzt und am ruhigsten Punkt zusammengeführt, wie in Abbildung B.29 dargestellt. Der ruhigste Punkt befindet sich in der Regel bei den Anschlüssen der externen Spannungsquellen. Die Anschlüsse der Spannungsquellen sind in maximaler Entfernung zum schaltenden Leistungsteil platziert. Somit sind Eingangs- und Ausgangsspannungen auf der Leiterplatte örtlich voneinander getrennt.

Der Schlitz verläuft genau unter dem Gate-Treiber der Leistungs-FETs, damit der Steuereingang des Treibers direkt auf SGND und der Leistungs-Ausgangs auf PGND bezogen werden kann. Werden die Masse-Anschlüsse der Bauteile nicht an die korrespondierende Massefläche angeschlossen, so kommt es oftmals zu einem Fehlverhalten der Schaltung [120], [119], [118]. Ein Layout-Fehler auf der ersten Version der SiC-JFET-Leiterplatte belegte dies eindrucksvoll. Im Anhang B.8 wird beschrieben, wie der Anschluss an die falsche Masselage zu signifikanten Verzerrungen des Ausgangssignals führte.

4.7.3 Platzierung und Anbindung der Entkoppel-Elemente

Eine gute Entkopplung minimiert Welligkeit (ringing) und reduziert Überschwinger (overshots) [117], [119], [118], [116], [120]. Die Welligkeit wird (abgesehen von der Schaltfrequenz) durch den ESR der Kondensatoren und die Induktivität bestimmt. Hochfrequentes Rauschen, also Überschwinger und Schaltspitzen, hängen von den parasitären Elementen auf der Leiterplatte und dem Schaltverhalten der Transistoren ab [120], vgl. auch Kapitel 5.

Die eingesetzten Entkoppelemente dienen mehreren Zwecken. Zum einen dämpfen die Kapazitäten die hochfrequente Anteile und tragen so zur Verbesserung der Elektromagnetischen Verträglichkeit (EMV) bei. Zum anderen stellen sie die Ladung für

den Schaltvorgang eines ICs oder Leistungstransistors bereit, damit die Spannung am schaltenden Bauteil nicht einbricht. Die eingesetzten Kondensatoren müssen einen niedrigen ESR aufweisen, damit die RC-Zeitkonstante klein bleibt und der Strom schnell zur Verfügung steht [118].

Sowohl zur Entkopplung von hochfrequenten Störsignalen als auch zum Puffern der Schaltvorgänge sind keramische Kondensatoren gut geeignet. Keramische Kondensatoren besitzen vergleichsweise niedrige Werte für Serienwiderstand (ESR) und Serieninduktivität (ESL). Der Frequenzgang des Scheinwiderstands zeigt einen V-förmigen Verlauf mit Grenzfrequenzen über 10MHz. Im Vergleich hierzu verläuft der Frequenzgang des Scheinwiderstandes eines Elektrolytkondensators bereits ab einigen 10 kHz relativ waagrecht (siehe Abb. 4.21). Elkos besitzen einen hohen ESR, der bereits bei mittleren Frequenzen dominiert. Demnach werden hochfrequente Störungen durch keramische Kondensatoren deutlich besser abgeleitet als durch Elektrolyt- oder Tantal-Kondensatoren. Wie die Kurve in Abbildung 4.21 zeigt, verhalten sich Tantal-Kondensatoren ähnlich wie Elektrolytkondensatoren [121], [118].

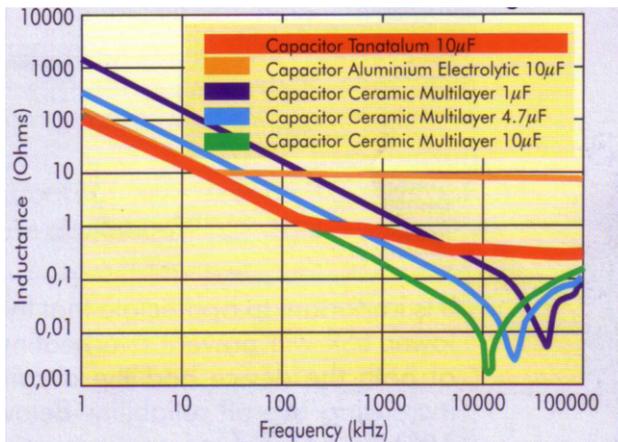


Abb. 4.21: Frequenzgang des Scheinwiderstands für unterschiedliche Kondensator-Bauformen. *Quelle:* [121].

Keramische Kondensatoren sollten möglichst nahe am zu entstörenden Bauteil platziert werden, um den Vorteil des niedrigen ESR und ESL nicht durch Impedanz und Induktivität der Kontaktierung zu schmälern. Kupferflächen oder eigene Lagen anstelle von Leiterbahnen sorgen für einen induktionsarmen Aufbau, eine nahe Platzierung gewährleistet die niederimpedante Anbindung. Als Faustregel gilt, der Kondensator mit der höchsten Grenzfrequenz sollte am nächsten dran liegen [118], [117].

Verwendete Entkoppel-Kondensatoren und deren Platzierung

Zur Entkopplung von hochfrequenten Störsignalen sind keramische Kondensatoren zwischen +120 V und PGND sowie -120 V und PGND vorgesehen. Die 14 parallel geschalteten Kondensatoren $C_{40} - C_{76}$ wurden auf der Platinen-Unterseite zwischen High-Side und Low-Side FETs platziert, sodass sie möglichst nahe am störbehafteten Schaltteil liegen. Sie sind untereinander mit einer lokalen Kupferfläche verbunden, die eine niederimpedante und induktionsarme Anbindung gewährleistet; siehe Abbildung B.30.

Die keramischen Kondensatoren $C_{100} - C_{111}$ liefern vorwiegend den Strom zum Umladen der Gate-Kapazitäten. Sie sind direkt am Source-Anschluß des Transistors platziert, um die Leiterschleife so klein wie möglich zu halten. Die Anbindung erfolgt über breite Leiterbahnen auf der Platinen-Oberseite (*Top-Lage*). Der Laststrom fließt in der tiefergelegenen Brücken-Lage, sodass eine Verkopplung der Ströme weitestgehend vermieden wird. (Abbildung 4.23).

Die Elektrolyt-Kondensatoren $C_1 - C_6$ am Eingang der Leiterplatte dienen der Abblockung. Sie können am weitesten weg platziert werden, da sie durch ihren großen ESR zu hohen Frequenzen hin deutlich hochohmiger sind als die keramischen Kondensatoren. Da die Abblockung eine hohe Spannungsfestigkeit und große Kapazität erfordert, werden an dieser Stelle Elkos eingesetzt. (Abb. B.25)

Die Snubber-Kondensatoren C_{106} u. C_{116} sind auf der Platinen-Unterseite, unmittelbar unter den Leistungs-FETs platziert und über die lokale Kupferfläche niederimpedant mit den entsprechenden FET-Anschlüssen verbunden; siehe Abbildung B.30.

Leiterplatten-Lagen als Entkoppel-Elemente (buried capacitance)

Darüber hinaus kann die parasitäre Kapazität zweier übereinander liegender Lagen als Entkoppel-Element genutzt werden. Weiterführende Untersuchungen hierzu finden sich in [118] sowie in [116] und werden an dieser Stelle nicht vertieft.

Wie im Lagenaufbau 4.20 zu sehen, bildet die Lage 2 mit der Lage 3 einen Kondensator zwischen der negativen Versorgungsspannung und dem Brücken-Potential sowie die Lage 3 mit der Lage 4 einen Kondensator zwischen dem Brücken-Potential und der positiven Versorgung. Diese parasitären Kondensatoren haben zwar eine kleine Kapazität, besitzen jedoch einen sehr niedrigen ESL. Die parasitären Layout-Kondensatoren liegen an dieser Stelle parallel zur Ausgangskapazität der FETs. Die Ausgangskapazität der FETs erhöht sich hierdurch, ähnlich wie bei einem Entlastungsnetzwerk. Demnach kann man die Layout-Kondensatoren als Snubber-Kondensator mit sehr kleinem ESL und hoher Güte verstehen. Demgemäß können diese Layout-Kondensatoren als Erweiterung der Snubber-Kondensatoren zu höheren Frequenzen angesehen werden.

Lage 4 bildet mit Lage 5 einen parasitären Kondensator zwischen positiver Versorgung und Masse sowie Lage 5 mit Lage 6 einen Kondensator zwischen Masse und negativer Versorgung. Durch den deutlich niedrigeren ESR im Vergleich zu den keramischen Abblock-Kondensatoren, können diese Layout-Kondensatoren hier als Erweiterung der Abblockung zu höheren Frequenzen angesehen werden.

4.7.4 Leiterbahnführung

Eine Leiterbahn sollte immer im Hinblick auf die geringste eingeschlossene Fläche geführt werden. Dies gilt insbesondere für die Lade- und Entladewege zwischen Gate Treiber und Leistungstransistor. Der Gate Treiber wird so nahe wie möglich an die FETs platziert. Die Hin- und Rückleitungen verlaufen möglichst parallel, damit die eingeschlossene Fläche klein und die Schleifen-Induktivität gering wird. Abbildung 4.22 zeigt exemplarisch die Auswirkung zu großer Leiterschleifen auf die Überschwinger der Schaltsignalen durch die parasitäre Induktivität. Im Artikel [119] werden Messungen zu unterschiedlich guten Layouts u.a. auch bezüglich der Leiterbahnführung diskutiert.

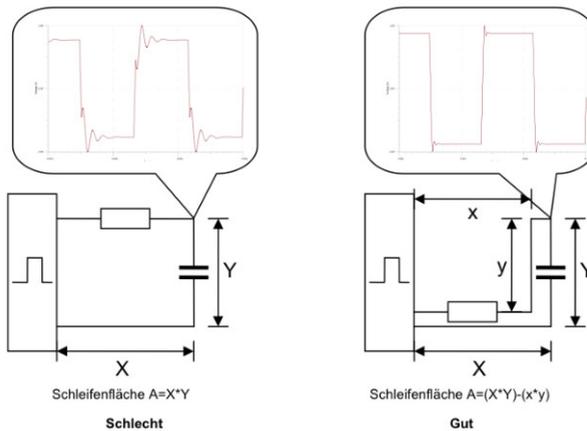


Abb. 4.22: Auswirkung der Schleifeninduktivität auf Überschwinger der Schaltsignale. *Quelle:* [119]

Abbildung 4.23 zeigt, wie diese Vorgaben im Layout des D-Verstärkers umgesetzt wurden. Die Pfeilrichtung markiert den Einschaltvorgang des Leistungstransistors. Beim Einschalten fließt der Gate-Strom aus den Source-Kondensatoren zum Gate Treiber, von dort über die Vorwiderstände zum Gate, durch den Transistor-Die hindurch und über den Source-Anschluss wieder zurück zum Kondensator. Die Hin- und Rückleitungen verlaufen zur Reduktion parasitärer Effekte parallel und werden ausschließlich auf der *Top-Lage* (vgl. Abb. 4.23) geführt. Der Laststrom hingegen fließt über die separaten Innenlagen für Brückenpotential und Versorgungsspannung, sodass eine Verkopplung von Steuerstrom und Laststrom durch das Layout verhindert wird.

Kupferflächen, wie beispielsweise die Flächen um die Spannungsregler für 5 V und 15 V

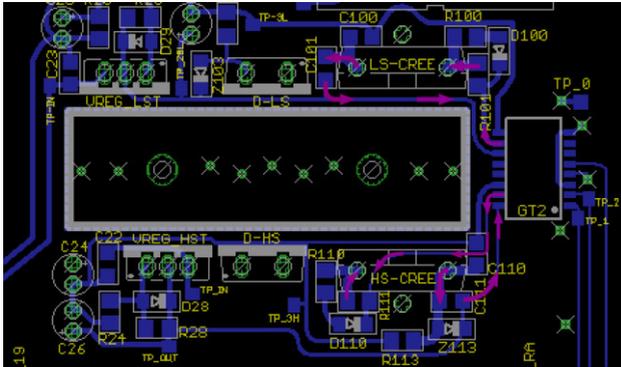


Abb. 4.23: Layout des Gate-Treiber Schaltkreises auf der Top-Lage.

auf der Platinen-Oberseite (*Top-Lage*) oder um die Transistoren des DC-DC-Wandlers auf der Unterseite (*Bottom-Lage*), dienen zusätzlich der Wärmeabfuhr (siehe Abbildungen B.25 und B.30).

Kriechströme und ungewollte Überwindung der Isolation (*creepage*) können zum späteren Fehlverhalten der Schaltung führen. Kriechströme werden durch starke Verschmutzung auf der Platinenoberfläche, hohe Luftfeuchtigkeit oder die Höhe über NN, in der die Leiterplatte betrieben wird, begünstigt. Die Isolation beispielsweise zwischen zwei Leiterbahnen muss umso dicker sein, je höher die Strombelastung ist. Durch das Einhalten von bestimmten Mindestabständen zwischen Bauteilen und Leiterbahnen (*clearance*) werden spätere Probleme verhindert. Die Mindestabstände richten sich nach Betriebsspannung, Art der Isolation, Verschmutzungsgrad der Umgebung und der Überspannungskategorie der Spannungsquelle. Der Artikel [122] liefert neben einer tabellarischen Zuordnung der Mindestabstände auch die Beschreibung der unterschiedlichen Verschmutzungsgrade und Überspannungskategorien. Das hier entwickelte Schaltungslayout erfüllt die Vorgaben der europäischen Norm *EN-60065* für die Sicherheitsanforderungen von Audio- Video- und ähnlichen elektronischen Geräten [123]. Das Layout der sechs Leiterplatten-Lagen wird, beginnend mit der *Top-Lage*, im Anhang unter B.7 gezeigt. Auf den Innenlagen sind die Umriss der Bauteile zur Orientierung weiterhin eingeblendet.

Die Charakterisierung der entwickelten Endstufen sowie die Analyse der Messergebnisse wird in den folgenden Kapiteln beschrieben.

Kapitel 5

Schaltverhalten

Das vorliegende Kapitel ist die kompakte Zusammenfassung einer Vielzahl von Messungen, welche sich über die gesamte Zeit der Promotion erstrecken. Die hieraus gewonnenen Erkenntnisse bilden die Grundlage für die Analyse von Audioqualität und Leistung der Endstufen sowie für die Neuaufbereitung der theoretischen Grundlagen.

5.1 Messequipment und Definitionen

Aus Gründen der Übersichtlichkeit werden an dieser Stelle global für alle Messungen die Messbedingungen definiert. Die jeweiligen Oszilloskop-Aufnahmen der vier Endstufen befinden sich im Anhang C jeweils auf einer Doppelseite, sodass immer ein direkter Vergleich möglich ist. Am Ende der Unterkapitel 5.2 und 5.3 befindet sich jeweils eine Tabelle, in der die Messergebnisse zusammengestellt sind.

Messgeräte

- **Oszilloskop:** *LeCroy*, Model *Waverunner HRO64ZI*
400 MHz analoge Bandbreite, 12 bit AD-Wandler, 2 GHz Abtastrate.
- **Tastköpfe:** *LeCroy*, Model *TK10*
300 MHz Bandbreite, Eingangsimpedanz und Kapazität gegen Masse 10 M Ω , 9,5 pF.
- **Differenz-Tastköpfe:** *PMK*, Model *Bumble Bees*[®]
300 MHz Bandbreite, differenzielle Eingangsimpedanz und Kapazität 10 M Ω , 2 pF.
- **Rogowski-Spule:** *PEM*, Model *CWT Ultra Mini 1*
obere und untere Grenzfrequenz 9,2 Hz und 30 MHz

DSP-Totzeit

Grundsätzlich werden die Messungen zum Schaltverhalten mit der nach *Methode 2* ermittelten DSP-Totzeit durchgeführt. Diese Einstellung wird als *optimale DSP-Totzeit* bezeichnet und stellt die Grundlage für einen korrekten Vergleich der Endstufen hinsichtlich der Audioqualität dar (vgl. Kapitel 4.2.4).

Ein Großteil der Messungen wird mit der sog. *Identischen DSP-Totzeit* wiederholt, wobei für alle Halbbrücken eine Totzeit von 120 ns eingestellt wird. Von diesen Vergleichsmessungen ausgenommen wird die CoolMOS-Endstufe, da hier die Betriebssicherheit bei einer Totzeit von 120 ns nicht gewährleistet ist (siehe Kapitel 4.2.4). Demzufolge wird die CoolMOS-Endstufe in den betreffenden Abschnitten nicht in die Diskussion mit einbezogen. Die Vergleichsmessungen dienen vorwiegend dem Erkenntnisgewinn.

Reverse Recovery-Verhalten

Die Messung des Drainstromes durch den High-Side Transistor gibt Aufschluss auf das Reverse-Recovery-Verhalten der Low-Side Diode. Die Differenz aus Spitzenwert und Endwert des Einschaltstromes sei hier als Diodenrückstrom definiert. Der Endwert des Einschaltstromes entspricht bei hohen Modulationstiefen in etwa dem Laststrom, da der Ripplestrom hier minimal wird [8]. Der gemessene Drainstrom bezieht sich bei allen Endstufen auf einen Laststrom von 7 A, um die Vergleichbarkeit zu gewährleisten. Dies entspricht in etwa einer Ausgangsspannung von 30 V.

DEFINITION:

Diodenrückstrom: $I_{rr} = \hat{I}_{D,on} - I_L$

OSZILLOSKOP-AUFNAHMEN:

Im Anhang unter C.1 (Leerlauf) und C.6 (Aussteuerung)

Umladezeiten – Anstiegs- und Abfallzeiten

Die Anstiegs- und Abfallzeiten beschreiben die Flankensteilheit der Brückenspannung beim Umladen des Brückenknotens während des Schaltvorgangs. Der Begriff *Umladezeiten* wird hier als Überbegriff von Anstiegs- und Abfallzeiten verwendet. Die gemessenen Umladezeiten beziehen sich bei allen Endstufen auf eine Ausgangsspannung von 30 V, um die Vergleichbarkeit zu gewährleisten.

DEFINITION:

Anstiegszeit t_{rise} : 10% bis 90% des Endwertes

Abfallzeit t_{fall} : 90% bis 10% des Endwertes

OSZILLOSKOP-AUFNAHMEN:

Im Anhang unter C.2 u. C.3 (Leerlauf) sowie C.7 u. C.8 (Aussteuerung)

Schaltverzögerungen – Einschalt- und Abschaltverzögerung

Die Schaltverzögerung ist die Zeit, die von der Initiierung des Umschaltens am Gatreiber bis zum Nulldurchlauf der Brückenspannung vergeht. Der Begriff *Schaltverzögerungen* wird hier als Überbegriff von Einschalt- und Abschaltverzögerung verwendet. Die ermittelten Daten wurden durch die Statistik-Funktion des Oszilloskops gestützt und beziehen sich wieder auf die Spannung von 30 V. Aus Platzgründen werden die Oszillogramme nicht abgebildet – Die Schaltverzögerung sind aus den Aufnahmen zu den Umladezeiten ersichtlich, die ermittelten Daten werden jeweils in der Bildunterschrift vermerkt.

DEFINITION:

Einschaltverzögerung t_{on} : Anstieg von $V_{\text{GS,gt}}$ (am Gate-Treiber-Ausgang gemessen) bis Nulldurchgang $V_{\text{br}}=0$ (Brückenspannung)

Abschaltverzögerung t_{off} : Abfall von $V_{\text{GS,gt}}$ bis Nulldurchgang von V_{br}

OSZILLOSKOP-AUFNAHMEN:

siehe Umladezeiten (Im Anhang unter C.2, C.3 sowie C.7, C.8)

Flankenmodulation und Nulllinie

Die Flankenmodulation zeigt, wie stark die Spannungsflanke am Brückenknoten während einer Periode des Ausgangssignals von ihrem Schaltzeitpunkt im Leerlauf abweicht. Im Leerlauf variiert die Position der Brückenspannung nicht – die Persistence-Aufnahme zeigt eine einzelne Linie, die Nulllinie. Die Breite der Flankenmodulation entspricht der effektiven Totzeit und gibt unmittelbar Aufschluss auf den zeitlichen Fehler im PWM-Signal am Brückenknoten. Die maximale Breite wird unter Volllaussteuerung bei der größtmöglichen Modulationstiefe von $m=0,97$ erreicht. Diese Messmethode wird grundlegend in Kapitel 2.4.4 beschrieben, die Kanal- und Trigger-Einstellungen sind hier die selben.

Die Gate-Source-Spannungen wurden am Ausgang des Gate-Treiber vor dem Widerstands-Netzwerk abgegriffen. Bei der Messung direkt am Transistor-Anschlussbein war es nur bei den SiC-Endstufen möglich, die Aufnahme unter Volllaussteuerung korrekt zu triggern. Da der Verlauf der Gate-Source-Spannung hinter dem Widerstands-Netzwerk bei den konventionellen Transistoren zu stark vom Laststrom abhängt, konnte keine Trigger-Bedingung gefunden werden, die im Persistence-Modus alle Schaltflanken einer Ausgangsperiode aufzeichnet.

DEFINITION:

Breite der Flankenmodulation $\hat{=}$ effektiver Totzeit

Flankenmodulation im Leerlauf = Nulllinie

OSZILLOSKOP-AUFNAHMEN:

Im Anhang unter C.4 (Leerlauf) sowie C.5 (Central Region) und C.9, C.10 (Ausstrg.)

5.2 Schaltverhalten in der PWM Central Region

Das Schaltverhalten in der Central Region unterscheidet sich grundlegend vom Schaltverhalten unter Aussteuerung. Charakteristisch für die Central Region ist, dass der Ripplestrom am Brückenknoten während jeder Leitphasen der Transistoren seine Richtung wechselt. In der Central Region initiiert immer das Abschalten des jeweiligen Transistors die Änderung der Brückenflanke. Entgegen der Theorie wird hier jedoch nach einer kurzen resonanten Umladephase hart eingeschaltet.

Die folgenden Messungen sind im Leerlauf aufgenommen, nur Flankenmodulation und Ripplestrom werden zusätzlich auch am Ende der Central Region dargestellt. Tabelle 5.1 fasst alle gemessenen Schaltzeiten zusammen.

5.2.1 Reverse-Recovery-Verhalten im Leerlauf

Messungen unter C.1

Das Reverse-Recovery-Verhalten unterscheidet sich im Leerlauf kaum, da der Ripplestrom, der zuvor durch die Diode fließt, vergleichsweise klein ist und hierbei nur wenig Speicherladung in der Diode entsteht.

Der Spitzenwert des Diodenrückstroms liegt bei allen Halbbrücken mit Ausnahme der HEXFET-Brücke etwas über 10 A. Die Stromspitze der HEXFET-Brücke ist mit 7,6 A etwas geringer. Im Vergleich zum Aussteuerfall entfällt hiermit auch die charakteristische Einsattelung am Fuße der Brückenspannung.

An dieser Stelle sei noch einmal bemerkt, dass der SiC-JFET nicht über eine integrierte Body-Diode verfügt. Dementsprechend beziehen sich alle Aussagen bezüglich des Reverse Recovery-Verhaltens auf die extern parallel geschaltete SiC-Diode.

5.2.2 Anstiegs- und Abfallzeiten im Leerlauf

Im Leerlauf ergeben sich infolge des niedrigen Laststroms und der fehlenden Reverse-Recovery-Vorgänge bei allen Halbbrücken sehr saubere Schaltvorgänge mit moderaten Überschwüngen und symmetrischen Umladezeiten¹.

Optimale DSP-Totzeit - Messungen unter C.2

Die Spannungsflanken am Brückenknoten verlaufen bei allen Endstufen steilflankig, Anstiegs- und Abfallzeit sind in etwa gleich lang. An den Gate-Signalen wird deutlich, dass der aktive High-Side Transistor aufgrund der optimalen DSP-Totzeit hart einschaltet, bevor die ansteigende Brückenspannung die positive Betriebsspannung erreicht hat. Die fallende Flanke am Brückenknoten entsteht infolge des kommutierenden Stroms. Auch hier schaltet der eigentlich passive Low-Side Transistor noch

¹Anstiegs- und Abfallzeiten sind in etwa gleich lang

während des Kommutierungsvorgangs hart ein. Somit zeigt die Spannungsflanke zwei Steigungen: Im ersten Abschnitt ein kurzes flaches Teilstück durch resonantes Umladen, dessen Steigung durch die Kapazitäten am Brückenknoten bestimmt ist. Im Anschluss daran der steilflankige Teil durch hartes Schalten, welcher vom Einschaltvorgang des Transistors abhängt. Aufgrund der größeren Ausgangskapazität sind die resonanten Teilstücke bei den konventionellen Halbbrücken ungleich flacher. Mit der optimalen DSP-Totzeit werden die resonanten Umladevorgänge auf die kleinstmögliche Länge reduziert (vergl. Kapitel 4.2.4). Je kürzer das resonante Teilstück der Spannungsflanke, desto geringer der Einfluss der Transistorkapazitäten auf die Anstiegs- und Abfallzeiten. Die Umladezeiten für die Brückenspannung werden durch das harte Einschalten bei optimaler Totzeit angeglichen im Vergleich zu den Umladezeiten unter identischer DSP-Totzeit.

Die Umladezeiten sind jeweils symmetrisch, mit Ausnahme der CoolMOS-Brücke. Hier ist die Abfallzeit länger als die Einschaltzeit. Die kürzesten Umladezeiten weist die SiC-MOSFET-Halbbrücke auf, die Zeiten der SiC-JFET-Endstufe liegen etwas darüber. Verglichen mit den SiC-Brücken beträgt die Anstiegszeit der HEXFET-Halbbrücke in etwa das Doppelte, die der CoolMOS-Brücke das 3,7-fache. Diese beiden Werte werden durch die flache Steigung des resonanten Teilstücks verlängert. Bemerkenswert ist, dass die Flankensteilheit der CoolMOS-Brücke nach dem Einschalten des Transistors mit der Steilheit der SiC-Brücken vergleichbar ist. Das extrem flache und etwas längere resonante Teilstück verlängert hier jedoch die gesamte Umladezeit. Bei dem HEXFET ist das resonante Umladen steiler, die restliche Flankensteilheit jedoch geringer.

Identische DSP-Totzeit - Messungen unter C.3

Wird die am DSP eingestellte Totzeit für alle Halbbrücken in die Größenordnung der CoolMOS-Brücke erhöht, so verlängern sich demgemäß das resonante Teilstück der Brückenspannung. Insbesondere bei den SiC-Halbbrücken verändert sich der Schaltvorgang hierdurch gänzlich. Die längere Totzeit von 120 ns reicht aufgrund der geringen Ausgangskapazität aus, um den Brückenknoten fast vollständig resonant umzuladen (siehe Zeiten in Tab. 4.1, Kapitel 4.2.4). Infolgedessen wird die Spannungsflanke sehr flach und die Anstiegs- und Abfallzeiten der SiC-Halbbrücken verlängern sich auf das 3-4-fache.

Bei der HEXFET-Halbbrücke vergrößert sich der resonante Teilstück auf ca. 1/3 des gesamten Spannungshubs, wodurch sich die Umladezeiten in etwa verdoppeln. Da die Zeit für das vollständige resonante Umladen um ein Vielfaches größer ist, setzt hier das harte Schalten viel früher ein als bei den SiC-Halbbrücken. Demzufolge werden die Umladezeiten durch die längere DSP-Totzeit weniger stark beeinflusst.

Vergleicht man die gemessenen Werte, so fällt auf, dass die Umladezeiten der SiC-Halbbrücken nun sowohl Anstiegs- als auch Abfallzeit der konventionellen Halbbrücken überschreiten. Die flacheren Flanken führen zu einem größeren Fehler in den Spannungs-Zeitflächen des PWM-Signals. Hier wird deutlich, dass ein spannungsloser Schaltvorgang (zero voltage switching, ZVS) für diese Halbbrücken nachteilig ist.

5.2.3 Schaltverzögerung im Leerlauf

Im Gegensatz zu den Umladezeiten sind die Schaltverzögerungen im Leerlauf sehr unterschiedlich. Die Unterschiede ergeben sich hauptsächlich durch den Verlauf der Gate-Source-Spannung und das resonante Teilstück der Brückenspannung.

Optimale Totzeit - Messungen unter C.2

Die Abschaltverzögerung der beiden SiC-Brücken liegt mit durchschnittlich 56 ns in der gleichen Größenordnung. Die HEXFET-Brücke benötigt fast die 3-fache Zeit, die CoolMOS-Brücke die 4,4-fache. Bei den SiC-Brücken verläuft die Gate-Source-Spannung steilflankig und wird kaum vom Miller-Effekt unterbrochen. Mit dem steileren Verlauf sinken die Schaltverzögerungen. Bei den konventionellen Transistoren, insbesondere dem CoolMOS, wird das Ein- und Abschalten zusätzlich durch das flache resonante Teilstück verlängert.

Die Einschaltverzögerung der SiC-Brücken ist vergleichbar und beträgt ca. 30 ns. Die HEXFET-Brücke benötigt fast die 2,7-fache Zeit, die CoolMOS-Brücke jedoch nur die doppelte. Auch beim Einschalten fällt die steilflankige Gate-Source-Spannung der SiC-Brücken auf. Bei den Gate-Source-Spannungen der konventionellen Halbbrücken ist der Miller-Effekt deutlich zu erkennen. Die Einschaltverzögerung der CoolMOS-Brücke im Vergleich zur HEXFET-Brücke ist geringer, da der resonante Umladevorgang früher startet und die Brückenspannung steilflankiger umlädt.

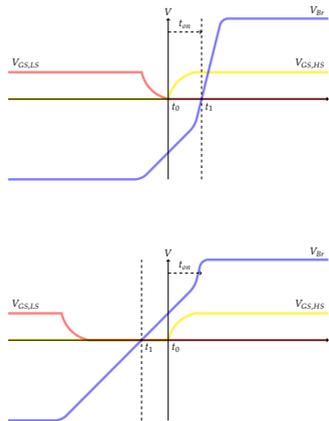


Abb. 5.1: oben: Definition der Einschaltverzögerung. unten: Einschaltvorgang der SiC-Halbbrücke im Leerlauf.

Identische Totzeit - Messungen unter C.3

Die Abschaltverzögerung erhöht sich bei allen Halbbrücken, da die höhere DSP-Totzeit das resonante Teilstück der Brückenflanke verlängert. Zudem verschiebt sich mit der flachen resonanten Flanke auch der Nulldurchgang der Brückenspannung weiter nach rechts.

Die Einschaltverzögerung kann hier nur für die konventionellen Halbbrücken angegeben werden, denn bei den SiC-Brücken ist der Nulldurchgang der Brückenflanke durchschritten, bevor der aktive Transistor einschaltet. Somit ist eine Einschaltverzögerung, wie sie eingangs definiert wurde, hier nicht vorhanden. Abbildung 5.1) veranschaulicht diesen Sachverhalt.

5.2.4 Ripplestrom-Messung und -Berechnung

Der Extremwert des Ripplestroms wird durch die Filterinduktivität, die Schaltfrequenz der Brücke sowie die Höhe der Betriebsspannung bestimmt. Die Größenordnung des Ripplestrom sei anhand der folgenden Abschätzung bestimmt:

Zu Grunde gelegt wird eine Endstufe mit einer Schaltfrequenz von 400 kHz an einer Betriebsspannung von ± 50 V und einer Filterinduktivität von 18 μ H. Bei einem Tastverhältnis von 50% liegt, vereinfacht gesehen, die gesamte Betriebsspannung über der Induktivität für die Hälfte der Periodendauer an. Nach Formel A.1 ergibt sich der Extremwert des Ripplestroms am Ende der Leitphase zu $\pm 3,5$ A.

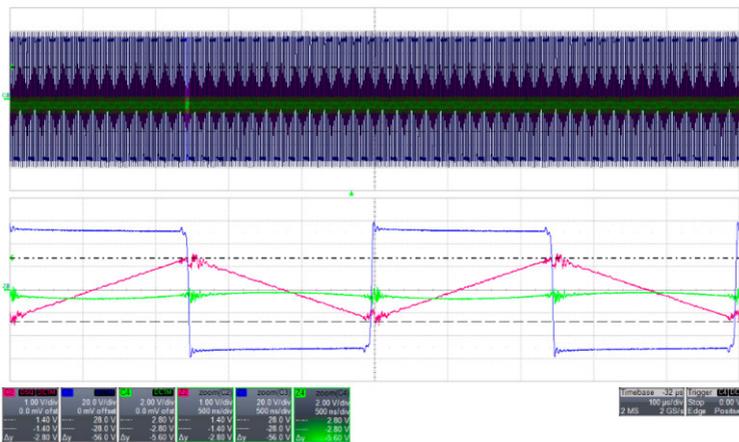


Abb. 5.2: Der Ripplestrom wird bei einem Tastverhältnis von 50% maximal. Der Verstärker befindet sich hier im Leerlauf, das Eingangssignal ist Null.

Abbildung 5.2 zeigt den Ripplestrom im Leerlauf der SiC-MOSFET-Endstufe. Das Eingangssignal ist Null, das Ausgangssignal liegt im milli-Volt Bereich. Der Ripplestrom wird auf Kanal 2 (rot) und die Brückenspannung auf Kanal 3 (blau) dargestellt. Der Maximalwert des Ripplestroms von 1,4 A ist für alle Endstufen gleich. Feine Unterschiede ergeben sich lediglich in den Überschwingern, bedingt durch das unterschiedliche Schaltverhalten der Endstufen am Brückenknoten.

5.2.5 Ripplestrom am Ende der PWM Central Region

Das Ende der PWM Central Region ist bei einer Aussteuerung von ca. 12% erreicht. Die effektive Ausgangsspannung beträgt hier 4 V, der Scheitelwert des Ausgangssignals $\pm 5,6$ V. Auf dem Scheitelwert erreicht der Laststrom genau die Höhe des maximalen Ripplestroms. Da sich der Laststrom als Gleichanteil zum Ripplestrom hinzuaddiert, wird der Gesamtstrom am Brückenknoten in seinem Minimum genau zu Null. Von nun an wechselt der Strom am Brückenknoten während der Leitphasen der Transistoren nicht mehr seine Richtung, wie in der Central Region üblich.

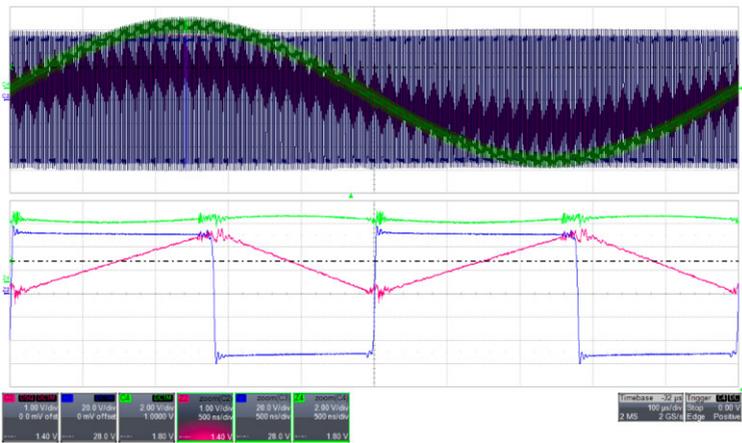


Abb. 5.3: Der Ripplestrom mit dem Laststrom als Gleichanteil wechselt am Ende der PWM Central Region nicht mehr seine Richtung.

Abbildung 5.3 belegt das Ende der Central Region mit den Schaltzyklen auf dem positiven Ausgangsscheitel. Der auf Kanal 2 in rot dargestellte Ripplestrom berührt in seinem Minimum die x-Achse und wird nicht mehr negativ. Die Brückenspannung ist auf Kanal 3 in blau, die Ausgangsspannung auf Kanal 4 in grün dargestellt². Im Umkehrschluss bleibt der Gesamtstrom in den Schaltzyklen auf dem negativen

²Auf Kanal 4 ist aus Gründen der Übersichtlichkeit ein Offset von 1 V eingestellt.

Scheitel negativ und wird in seinem Maximum genau zu Null. In einer entsprechenden Oszilloskop-Darstellung befände er sich demnach unterhalb der x-Achse.

Bei höheren Aussteuerungen wird der Gesamtstrom auch in seinen Extrema nicht mehr zu Null, sondern bleibt vollständig im positiven bzw. negativen Bereich – Die Central Region wird verlassen.

5.2.6 Nulllinie im Leerlauf

Messungen unter C.4

Im Leerlauf tritt die Brückenflanke immer an der selben Position auf – in der Persistence-Aufnahme ergibt sich eine einzelne Linie. Die Aufnahmen im Anhang zeigen den Einfluss unterschiedlicher DSP-Totzeiten. Mit steigender DSP-Totzeit verlängert sich das resonante Teilstück und die Brückenflanke wird flacher. Die kürzeste DSP-Totzeit entspricht der in Kapitel 4.2.4 ermittelten *optimalen* Totzeit. Die längste hier eingestellte Totzeit gleicht der Zeit, die der Brückenknoten mindestens für ein vollständig resonantes Umladen benötigt. Die Gate-Spannung der High-Side (Kanal 1, gelb) tritt erst dann auf, wenn die Brückenspannung ihren Sollwert erreicht hat. Der Unterschied zwischen der maximalen Totzeit und der nächst kürzeren Totzeit ist meist nur an den veränderten Überschwingers erkennbar.

Die Flankensteilheit des resonanten Umladevorgangs verdeutlicht die unterschiedlich großen Kapazitäten am Brückenknoten. Die Kapazität am Brückenknoten wird vorwiegend durch die Ausgangskapazität der Transistoren und die Kapazität des Snubber-Kondensators bestimmt³. Die Größe der Transistorkapazität für eine statische Drain-Source-Spannung von 100 V kann Tabelle 5.4 entnommen werden. Es muss jedoch in Betracht gezogen werden, dass die Ausgangskapazität C_{OSS} während des Umladevorgangs ihre Größe ändert. Die Abhängigkeit von der Drain-Source-Spannung kann den Kennlinien im Anhang A.3 entnommen werden.

Die SiC-JFET-Halbbrücke weist die geringste Kapazität am Brückenknoten und damit auch die kürzeste Zeit von 145 ns für das resonante Umladen auf. Für den SiC-MOSFET verlängert sich diese Zeit um 1/3 auf 200 ns. Die Brückenflanken des HEX-FETs ähneln in Steilheit und Kurvenform denen des SiC-MOSFETs. Man beachte, dass in der Oszilloskop-Darstellung die zeitliche Auflösung halb so groß ist. Das resonante Umladen ist also nach der doppelten Zeit von 415 ns beendet, da die Kapazität am Brückenknoten in etwa den zweifachen Wert aufweist.

Die CoolMOS-Brücke benötigt mit 750 ns die längste Zeit für das resonante Umladen, obwohl die Kapazität am Brückenknoten für 100 V die gleiche Größe hat wie die der SiC-MOSFET-Brücke (Tabelle 5.4). Hier führt der große Roll-Off Faktor der Brückenspannung zu einer Verlängerung der Umladezeit. Der Übergang von statischer Brückenspannung zur sich ändernden Flanke weist einen stark abgerundeten Charakter auf, die Flankensteilheit im Nulldurchgang hingegen ist mit der des

³Die parasitäre Wicklungskapazität der Filterdrossel sowie die verteilte Kapazität der Leiterplatte können vernachlässigt werden, vgl. Kapitel 5.4.

HEXFETs vergleichbar. Die Ursache lässt sich von dem starken Kapazitätsanstieg zu kleinen Drain-Source-Spannungen hin und dem Minimum der Rückwirkungskapazität ableiten [97] (s. auch Kapitel 3.2). Während des Umladevorgangs ergibt sich die resultierende Ausgangskapazität am Brückenknoten aus der Parallelschaltung der beiden veränderlichen Ausgangskapazitäten von High-Side und Low-Side. Im Nulldurchgang der Brückenspannung haben beide Ausgangskapazitäten die selbe Größe, da über beiden Transistoren die gleiche Drain-Source-Spannung abfällt. Die resultierende Gesamtkapazität erreicht hier ihr Minimum. Am Übergang von statischer Brückenspannung zur sich ändernden Flanke (im folgenden kurz *Wendepunkt*) sind die Kapazitäten unterschiedlich groß, da jeweils ein Transistor in den leitenden Zustand übergeht und der Spannungsabfall über der Drain-Source-Strecke nun unterschiedlich ist. Die resultierende Gesamtkapazität wächst am Wendepunkt auf die maximale Größe an. Die Größe der resultierenden Kapazität ergibt sich für den unteren Wendepunkt zu $C_{\text{oss,HS}}(V_{\text{DS}} \rightarrow 0 \text{ V})$ und $C_{\text{oss,LS}}(V_{\text{DS}} \rightarrow 100 \text{ V})$ und für den oberen zu $C_{\text{oss,LS}}(V_{\text{DS}} \rightarrow 0 \text{ V})$ und $C_{\text{oss,HS}}(V_{\text{DS}} \rightarrow 100 \text{ V})$.

Da die Größe der CoolMOS-Ausgangskapazität C_{oss} um drei Größenordnungen wächst, wenn der Transistor in den leitenden Zustand übergeht, verlangsamt sich der Umladevorgang an den Wendepunkten. Der Roll-Off Faktor der Brückenspannung steigt. Für den Transistor, der vom sperrenden in den leitenden Zustand übergeht, ist die Kapazität im Nulldurchgang der Brückenspannung von der Größe des SiC-MOSFETs (215 pF bei $V_{\text{DS}} = 100 \text{ V}$) bereits auf die Größe des HEXFETs (700 pF bei $V_{\text{DS}} = 50 \text{ V}$) angewachsen. Dies erklärt auch die vergleichbare Flankensteilheit im Nulldurchgang. Im Vergleich dazu vergrößert sich die Ausgangskapazität des SiC-MOSFETs lediglich auf 330 pF.

Beim vollständigen resonanten Umladen zeigen die parasitären Kapazitäten also den größten Einfluss. Vergleicht man in den Messungen die Spannungsflanke des resonanten Umladens mit der unter optimaler Totzeit entstandenen Spannungsflanke, so wird die zuvor beschriebene Angleichung im Schaltverhalten deutlich. Nach dem Einschalten der High-Side liegt die Flankensteilheit bei allen Halbbrücken in einer ähnlichen Größenordnung. Der starke Einfluss der parasitären Kapazitäten wird durch eine optimale eingestellte DSP-Totzeit somit etwas abgeschwächt.

5.2.7 Flankenmodulation am Ende der Central Region

Messungen unter C.5

Die Flankenmodulation zeigt, dass die Schaltflanke bei allen Halbbrücken die Position der Nulllinie verlässt, sobald das Tastverhältnis von 50% abweicht. Wie in Kapitel 2.4.4 beschrieben, wird dies in der Literatur nicht berücksichtigt. Mit der zeitlichen Verschiebung von Kommutierungsflanke (links) zu Einschaltflanke (rechts) entsteht demnach auch in der Central Region eine effektive Totzeit.

Bei den SiC-Brücken ist die zeitliche Verschiebung mit wenigen Nano-Sekunden vernachlässigbar klein. Die zeitliche Verschiebung der konventionellen Halbbrücken un-

Leerlauf	SiC-MOSFET (Cree)	SiC-JFET (Semi- south)	HEXFET (IR)	CoolMOS (Infineon)
DSP-Totzeit: optimiert (identisch) <i>in ns</i>	35 (120)	35 (120)	70 (120)	190
Abfallzeit der Brücken- spannung t_{fall} <i>in ns</i>	19 (75)	24 (80)	34 (69)	55
Anstiegszeit der Brücken- spannung t_{rise} <i>in ns</i>	18 (79)	23 (81)	36 (77)	68
Abschalt-Verzögerung t_{off} <i>in ns</i>	60 (138)	53 (80)	147 (194)	245
Einschalt-Verzögerung t_{on} <i>in ns</i>	31 (\ddagger , vgl. Abb. 5.1)	28 (\ddagger , vgl. Abb. 5.1)	80 (78)	58
Zeit für das vollständige res. Umladen t_{res} <i>in ns</i>	200	145	415	750
effektive Totzeit am Ende der CR $t_{\text{eff,CR}}$ <i>in ns</i>	5,5	4	11	82
rechtss. Verschiebung (verzögert) <i>in ns</i>	2,5	2,5	4	15
linkss. Verschiebung (ver- früht) <i>in ns</i>	3	1,5	7	67
Diodenrückstrom im Leerlauf I_{rr} <i>in ns</i>	10,6	11	7,6	11,6

Tab. 5.1: Schaltverhalten im Leerlauf mit optimaler (identischer) DSP-Totzeit.

terscheidet sich hiervon deutlich. Insgesamt ist die effektive Totzeit bei allen Halbbrücken am Ende der Central Region vergleichsweise gering.

Bei den konventionellen Halbbrücken fällt die abweichende Hüllkurve der Brückenflanken-Schar auf. Diese ergibt sich zum einen durch den flachen resonanten Umladevorgang und zum anderen durch die Laststromabhängigkeit der Abschaltverzögerung. Die CoolMOS-Brücke zeigt die größte linksseitige Verschiebung, was zum einen durch das längere resonante Teilstück bedingt ist. Zum anderen zeigt sich bereits bei der niedrigen Aussteuerung am Ende der Central Region die starke Abhängigkeit der Abschaltverzögerung vom Laststrom. Die unterschiedlichen Schaltverzögerungen sind gut erkennbar – der Abstand zwischen den Gate-Signalen (rot, gelb) und der Brückenflanke (blau) ist bei den SiC-Brücken auffallend geringer.

5.3 Schaltverhalten bei hoher Aussteuerung

Das Schaltverhalten unter hoher Aussteuerung wird vom Laststrom bestimmt, welcher den Ripplestrom der Central Region deutlich übersteigt. Im Aussteuerungsfall, also außerhalb der Central Region, bestimmt immer der aktive⁴ Transistor das Auftreten der Brückenspannung. Charakteristisch für den Aussteuerungsfall ist, dass der Laststrom während des gesamten Schaltzyklus seine Richtung beibehält. Die Höhe des Laststroms wirkt sich beim Abschalten des aktiven Transistors auf den Kommutierungsvorgang aus und beeinflusst beim Einschalten den Reverse-Recovery-Vorgang des passiven Transistors.

Die folgenden Messungen zeigen jeweils einen Schaltzyklus bei einer Ausgangsspannung von 30 V, bzw. 7 A. Die Ausnahme bilden die Flankenmodulation, welche unter Vollaussteuerung aufgenommen wurde sowie der Schaltzyklus unter Vollaussteuerung,

5.3.1 Reverse-Recovery-Verhalten unter Aussteuerung

Messungen unter C.6

Mit steigender Aussteuerung nimmt der Spitzenwert des Einschaltstromes bei allen Halbbrücken zu. Der Einschaltspitzenstrom setzt sich aus Diodenrückstrom der Body Diode sowie dem Laststrom zusammen. Der gemessene Spitzenwert beträgt für die SiC-Brücken knapp 18 A und ist damit halb so groß wie die der CoolMOS-Brücke mit 36 A. Die Einschaltspitze der HEXFET-Brücke liegt bei ca. 3/4 und beträgt 25 A.

Der Zuwachs im Vergleich zum Leerlauf ist bei den SiC-Halbbrücken jedoch geringer als bei den konventionellen Brücken. Hier fällt auf, dass die Differenz aus Spitzenwert und Endwert des Einschaltstromes, also der Diodenrückstrom, über die gesamte Aussteuerung in etwa konstant bei etwa 10 A bleibt.

Bei den konventionellen Brücken hingegen wächst der Diodenrückstrom mit steigender Aussteuerung nichtlinear an. Für den gemessenen Endwert von 7 A beträgt die Differenz bei der HEXFET-Brücke 18 A, bei der CoolMOS-Brücke 29 A. Diese Beobachtung kann in den Messungen unter D.2 an der Hüllkurve des Drainstromes (Kanal 4, grün) verifiziert werden. Hier fällt auch auf, dass der Zuwachs des Diodenrückstromes individuell verschieden ist. Bei der HEXFET-Brücke fallen die maximalen Stromspitzen *nicht* mit dem Scheitelwert des Laststroms (10 A) zusammen, sondern treten leicht versetzt bei jeweils 9 A auf. Bei der CoolMOS-Brücke hingegen ergibt sich um den Scheitel herum ein Plateau statt eines Tals. Wie bereits im Kapitel 2.5 erwähnt, unterliegen die genauen laststromabhängigen Veränderungen verschiedenen physikalischen Parametern im Halbleiter, welche an dieser Stelle nicht weiter vertieft werden können.

Der Diodenrückstrom der konventionellen Transistoren ändert sich demnach individuell und nichtlinear mit der Aussteuerung. Im Gegensatz dazu ist der Diodenrückstrom

⁴Unter positiver Aussteuerung arbeitet die High-Side als aktiver Transistor, unter negativer Aussteuerung die Low-Side.

des SiC-Transistors sowie der SiC-Schottky-Diode quasi unabhängig von der Aussteuerung. Die Ursache für den Unterschied zwischen den Technologien liegt hier in der Zusammensetzung des Diodenrückstroms, die sich durch die Superposition zweier Effekten bestimmt: Der reine Rückwärtserholungsstrom, welcher die Speicherladung aus der Raumladungszone der Diode ausräumt, sowie ein kapazitiver Strom, welcher in die Sperrschichtkapazität des Transistors bzw. pn-Übergangs fließt, während die Gegenseite einschaltet [124].

Nach den Untersuchungen in [124] und in [125] besteht der Diodenrückstrom in Siliziumkarbid primär aus dem kapazitiven Ladestrom. Der Rückwärtserholungsstrom ist wegen der geringen Speicherladung Q_{rr} in Siliziumkarbid vernachlässigbar klein. Dies wird auch vom Hersteller Cree in der Kolumne [126] bestätigt. Bei den konventionellen Transistoren hingegen ist die Speicherladung Q_{rr} deutlich höher, sodass hier der Rückwärtserholungsstrom überwiegt. Da die in der Raumladungszone gespeicherte Ladung abhängig von der Laststromhöhe ist, nimmt der Rückwärtserholungsstrom mit steigender Aussteuerung zu und der Diodenrückstrom steigt bei den konventionellen Endstufen mit dem Laststrom an. Der kapazitive Strom hingegen richtet sich lediglich nach der Sperrspannung über der Transistorkapazität, welche in der Halbbrücke unabhängig von der Aussteuerung ist. Damit bleibt der Diodenrückstrom in Siliziumkarbid auch bei steigendem Laststrom nahezu konstant, da die Änderung des Rückwärtserholungsstrom vernachlässigbar ist. Bemerkenswert ist, dass die intrinsische Body-Diode des SiC-MOSFETs und die SiC-Schottky-Diode eine vergleichbares Reverse-Recovery-Verhalten aufweisen. Die Messungen bezüglich der Schaltverluste unter verschiedenen Aussteuerungen in Kapitel 7.2 bestätigen diese Beobachtung.

Die Auswirkung der unterschiedlich hohen Diodenrückstromspitzen von konventionellen und SiC-Halbleitern zeigt sich auf der Brückenspannung als Einsattelung am Fuße der Einschaltflanke. Diese Einsattelung ist auf der Einschaltflanke der konventionellen Halbbrücke gut erkennbar, bei den SiC-Brücken hingegen nur angedeutet. Damit ist der Einfluss des Reverse-Recovery-Vorgangs auf den Einschaltvorgang bei den SiC-Halbbrücken geringer.

Abschließend sei bemerkt, dass die Strommessung der CoolMOS-Brücke das in Kapitel 3.2 beschriebene harte Reverse-Recovery-Verhalten der Body-Diode aufzeigt. Die Kurvenform des Einschaltstroms ist hier auffallend asymmetrisch. Die höhere Flankensteilheit der abfallenden Kurve weist auf das plötzliche Abreißen des Diodenrückstroms hin, welches in der Literatur als *snappy* bezeichnet wird.

5.3.2 Anstiegs- und Abfallzeiten unter Aussteuerung

Mit steigendem Laststrom verändern sich sowohl der Kommutierungs-, als auch der Einschaltvorgang.

Optimale DSP-Totzeit - Messungen unter C.7

Die geringen Unterschiede zwischen den Halbbrücken beim Umladen im Leerlauf gleichen sich mit zunehmender Aussteuerung weiter an, da die Flankensteilheit der

konventionellen Brücken zunimmt. Dieser Effekt ist bezüglich der Anstiegszeit etwas ausgeprägter.

Die Anstiegszeit der beiden SiC-Brücken sowie der HEXFET-Brücke sind jetzt bis auf wenige Nano-Sekunden gleich und beträgt im Schnitt 22 ns. Der Kurvenverlauf ist ähnlich, die Überschwinger unterscheiden sich mehr in der Frequenz als in der maximalen Amplitude. Die Frequenz wird hier vorwiegend durch Snubber- und Ausgangskapazität des Transistors bestimmt (vgl. Abschnitt 5.4).

Die geringste Anstiegszeit zeigt die CoolMOS-Brücke mit 17 ns. Der Reverse-Recovery-Vorgang ersetzt jetzt das flache Teilstück des resonanten Umladens des Leerlaufs, welches die Anstiegszeit dort verlängerte. Die Einsattelung durch den Reverse-Recovery-Vorgang liegt unterhalb der 10%-Grenze, sodass die Anstiegszeit davon unberührt bleibt. Weiterhin fällt auf, dass die Flankensteilheit im Nulldurchgang größer als die der SiC-Brücken ist. Mit dem doppelten Einschaltstrom und der verhältnismäßig geringen Kapazität im Nulldurchgang kann der Brückenknoten sehr schnell umgeladen werden. Die Spannungsflanke wird demgemäß durch den Reverse-Recovery-Vorgang der Body-Diode beschleunigt [127]. Dieser Effekt wirkt auch bei der HEXFET-Brücke, der Einfluss ist aufgrund des niedrigeren Einschaltstroms jedoch geringer. Infolge des steilflankigen Anstiegs sind bei der CoolMOS-Brücke die stärksten Überschwinger zu verzeichnen (vgl. Abschnitt 5.4).

Die Abfallzeit der SiC-Brücken ist identisch. Im Vergleich hierzu sind die Zeiten der konventionellen Halbbrücken länger und die Spannungsflanke flacher. Der Kommutierungsvorgang wird durch die (veränderliche) Größe der Kapazitäten am Brückenknoten, sowie durch die Höhe des Laststroms bestimmt.

Im Vergleich zu den SiC-Brücken wird bei der HEXFET-Brücke bei gleichem Laststrom eine insgesamt höhere Kapazität umgeladen, wodurch sich die Abfallzeit verlängert. Die Abfallzeit der CoolMOS-Brücke wird durch den starken Roll-Off Faktor der Brückenspannung⁵ verlängert. Die überproportionale Vergrößerung der Ausgangskapazität zu kleinen Drain-Source-Spannungen verlangsamt den Kommutierungsvorgang jeweils an den Wendepunkten der Brückenspannung. Die Flankensteilheit im Nulldurchgang ist jedoch mit der des HEXFETs vergleichbar (vgl. Abschnitt 5.2.6). Zwischen den SiC-Brücken (kürzeste) und der CoolMOS-Brücke (längste) liegt eine Differenz von 22 ns.

Im Gegensatz zum Leerlauf, beeinflusst das Einschalten der Low-Side den Kommutierungsvorgang hier nicht merklich. Bei der Betrachtung der Gate-Signale fällt auf, dass die Low-Side während des Kommutierungsvorgangs gar nicht oder nur noch ansatzweise einschaltet. Dies erklärt sich dadurch, dass mit steigender Aussteuerung die Verläufe der Gate-Spannung flacher werden und sich zudem die Abschaltverzögerung der Transistoren reduziert (Laststrom-Abhängigkeit, siehe Kapitel 5.3.3).

⁵stark abgerundeter Charakter am Übergang von der statischen Brückenspannung zur sich ändernden Flanke (Wendepunkt)

Identische DSP-Totzeit - Messungen unter C.8

Die längere DSP-Totzeit nimmt kaum Einfluss auf die Umladezeiten, da hier ein hoher Laststrom zum Umladen der Kapazitäten zur Verfügung steht. Die Anstiegszeit bleibt weitestgehend unverändert, die Abfallzeit verlängert sich geringfügig infolge des etwas langsameren Kommutierungsvorgangs.

5.3.3 Schaltverzögerung unter Aussteuerung

Im Vergleich zum Leerlauf hat sich die Abschaltverzögerung bei allen Halbbrücken reduziert. Die Abschaltverzögerung sinkt, da sowohl das Auftreten der Kommutierungsflanke⁶ als auch die Flankensteilheit am Brückenknoten vom Laststrom abhängt (vgl. Kapitel 2.4.4, Abschnitt *Flankenmodulation*).

Optimale Totzeit - Messungen unter C.7

Die Differenz zum Abschalten im Leerlauf ist bei den konventionellen Brücken besonders ausgeprägt, da die Gate-Source-Spannung hier im Vergleich zu den SiC-Spannungen einen ausgesprochen flachen Verlauf aufweist. Infolge des flachen Verlaufs liegen die Spannungen zum Abschalten des niedrigen Ripplestroms im Leerlauf und des hohen Laststroms unter Vollaussteuerung deutlich weiter auseinander. Dementsprechend beginnt die Kommutierung unter Last früher und die zeitliche Differenz im Vergleich zum Leerlauf ist größer als bei den SiC-Brücken. Dies wirkt sich auch auf die effektive Totzeit aus⁷. Demgemäß ist die Abschaltverzögerung der konventionellen Brücken stärker vom Laststrom abhängig als die der SiC-Halbbrücken. Die Abschaltverzögerung der HEXFET-Brücke reduziert sich um 1/3 (33%), die der CoolMOS-Brücke um 2/3 (65%), während die Abschaltverzögerung der SiC-Brücken sich lediglich um 15% (MOSFET) und um 7,5%(JFET) ändern.

Der Absolutwert der Abschaltverzögerung beträgt für die konventionellen Halbleiter im Vergleich zu den SiC-Halbleitern nur noch knapp das doppelte (statt dem dreibzw. vierfachen, wie im Leerlauf). Demzufolge konnte die am DSP eingestellte Totzeit für die SiC-Halbbrücken im Vergleich zur HEXFET-Brücke maximal um die Hälfte reduziert werden.

Die Einschaltverzögerung der SiC-Brücken liegt etwa um den Faktor 2,5 unter den Zeiten der konventionellen Halbbrücken. Im Vergleich zum Leerlauf ist die Einschaltverzögerung bei allen Halbbrücken gestiegen, obwohl die Anstiegszeit der Brückenspannung gleich (t_{rise} für SiC) bzw. geringer (t_{rise} für konv.) ist. Die Spannungsflanke am Brückenknoten wird durch die Einsattelung am Fuße der Brückenspannung relativ zum Einschaltzeitpunkt der High-Side nach rechts verschoben. Da die Einsattelung

⁶Mit einem größeren Laststrom liegt auch die Gate-Source-Spannung zum Abschalten dieses Stroms deutlich über der Schwellspannung und ist damit zeitlich früher erreicht. Die Brückenflanke tritt dementsprechend früher auf und die Abschaltverzögerung verringert sich.

⁷In der Flankenmodulation entspricht dies der linksseitigen Verschiebung von der Nulllinie.

mit steigendem Laststrom zunimmt, verlängert sich die Einschaltverzögerung mit steigender Aussteuerung bei allen Halbbrücken.

Die Änderung der Einschaltverzögerung vom Leerlauf bis zur Vollaussteuerung ist jedoch bei den SiC-Brücken deutlich geringer, da die Einsattelung mit dem Reverse-Recovery-Vorgang in Verbindung steht (vgl. Abschnitt 5.3.1). In den Messungen fällt die Einsattelung bei der SiC-Brücken kaum auf, während sie bei den konventionellen Brücken sehr ausgeprägt ist.

Identische Totzeit - Messungen unter C.8

Durch die längere DSP-Totzeit ergibt sich keine Veränderung bezüglich der Schaltverzögerungen. Die Gate-Signale werden durch die DSP-Totzeit nur in ihrer Position verschoben, der Verlauf bleibt jedoch unberührt. Demnach verschiebt sich der Beginn des Kommutierungs- bzw. Einschaltvorgangs nicht.

5.3.4 Flankenmodulation unter Vollaussteuerung

Optimale Totzeit - Messungen unter C.9

Die geringe Breite der Flankenmodulation im Leerlauf ist bei allen Halbbrücken stark angestiegen. Im Gegensatz zum Leerlauf zeigt die Messung jetzt große Unterschiede in der Breite zwischen den SiC- und den konventionellen Brücken. Die effektive Totzeit der konventionellen Halbbrücken ist deutlich stärker angestiegen.

Trotz des angeglichenen Schaltverhaltens bezüglich der Umladezeiten ergeben sich große Unterschiede im zeitlichen Auftreten der Brückenspannung zwischen den Endstufen. Damit erzeugen die Halbbrücken sehr verschieden große zeitliche Fehler im PWM-Signal durch die effektive Totzeit. Die Auswirkung auf die Audioqualität wird in Kapitel 6.1 untersucht.

Die kürzeste effektive Totzeit unter Vollaussteuerung zeigt die SiC-JFET-Brücke mit 18 ns. Im Vergleich dazu beträgt die längste mehr als das 10-fache (CoolMOS: ca. 210 ns) und die zweitlängste in etwa das 5-fache (HEXFET: 93 ns). Die Differenz zwischen den SiC-Brücken beträgt lediglich 9 ns (SiC-MOSFET: 27 ns).

Für die unterschiedliche Breite der Flankenmodulation spielt die *linksseitige* Verschiebung der Brückenflanke eine übergeordnete Rolle – sie ist um das 10-fache bzw. 30-fache größer beim Vergleich von SiC-JFET zu HEXFET bzw. CoolMOS. Die linksseitige Verbreiterung wird durch die Abschaltverzögerung der Leistungstransistoren und indirekt auch durch die DSP-Totzeit bestimmt⁸. Die Laststromabhängigkeit der Abschaltverzögerung, welche im vorherigen Abschnitt beschrieben wurde, lässt sich optisch durch die Flankenmodulation darstellen und mit anhand der Abbildungen

⁸Wird die DSP-Totzeit erhöht, so vergrößert sich die linksseitige Verbreiterung, da sich die Nulllinie um den Betrag der Totzeit nach rechts verschiebt, die Kommutierungsflanke jedoch an der selben Position bleibt (vgl. 2.4.4, Abschnitt *Flankenmodulation*).

unter C.9 veranschaulichen: Da die Gate-Spannung bei den konventionellen Transistoren nur langsam ausklingt, liegen die Spannungen zum Abschalten des hohen Laststroms unter Vollaussteuerung und des niedrigen Rippelstroms im Leerlauf zeitlich sehr weit auseinander. Damit beginnt auch die Kommutierung früher und die Kommutierungsflanke wird bei den konventionellen Halbleitern zeitlich viel stärker nach links verschoben. Die linksseitige Verbreiterung beträgt das 10- bis 30-fache (vgl. Tabelle 5.2) der SiC-Halbleiter. Mit den steileren Gate-Signalen der SiC-Transistoren liegen die Abschaltspannungen für hohe und niedrige Ströme näher zusammen. Demzufolge variiert die Position der Brückenflanke in einem Aussteuerzyklus deutlich weniger. Zudem wird die Nulllinie durch die deutlich kürzere DSP-Totzeit weniger stark nach rechts verschoben, wodurch die linksseitige Verbreiterung generell kleiner ausfällt.

Bei der rechtsseitigen Verschiebung sind die Unterschiede in der Breite weniger prägnant. Die Einschaltverzögerung ist weniger vom Laststrom abhängig als die Abschaltverzögerung, da die Gate-Spannung zum Einschalten generell steiler verläuft. Die unterschiedliche Steilheit der abschaltenden (rot) und der einschaltenden (gelb) Gate-Source-Spannung sind in den Messungen deutlich zu erkennen.

Die rechtsseitige Verschiebung der Brückenflanke erfolgt vorwiegend durch den Reverse-Recovery-Vorgang und der Einsattelung am Fuße der Brückenspannung. Hier bringt das schnellere Einschalten und der über die Aussteuerung konstante Diodenrückstrom der SiC-Transistoren eine Verbesserung – die rechtsseitige Verbreiterung der Flankenmodulation ist nur halb so groß im Vergleich zu den konventionellen Transistoren.

Die Aufnahme der CoolMOS-Brücke veranschaulicht noch einmal alle zuvor beschriebenen Effekte, einschließlich des Einflusses der Body-Diode: Die Nulllinie sowie alle rechtsseitigen Spannungsflanken zeigen im Vergleich mit den anderen Brücken die höchste Flankensteilheit, da das Umladen am Brückenknoten durch das *snappy* Verhalten der Diode beschleunigt wird. Das sonst angeglichene Schaltverhalten ist an der vergleichbaren Flankensteilheit von Kommutierungsflanke (links), Nulllinie (mitte) und Einschaltflanke (rechts) erkennbar. Das resonante Teilstück der Nulllinie musste für die CoolMOS-Brücke aufgrund der Querstrom-Problematik verlängert werden. Bei der HEXFET- und den beiden SiC-Brücken ist das resonante Umladen in etwa gleich lang.

Identische Totzeit - Messungen unter C.10

Wird die DSP-Totzeit erhöht, so verschieben sich Nulllinie und Einschaltflanken nach rechts, während die Position der Kommutierungsflanke nahezu unverändert bleibt. Hierdurch vergrößert sich die linksseitige Breite der Flankenmodulation. Die effektive Totzeit steigt um den entsprechenden Differenz-Betrag der DSP-Totzeit an. Mit der größeren DSP-Totzeit gleichen sich die effektiven Totzeiten etwas an, der Faktor zwischen SiC- und HEXFET-Brücke beträgt jetzt nur noch 1,5.

Bei den SiC-Brücken fällt auf, dass die Nulllinie vergleichsweise flach verläuft. Aufgrund der geringen Kapazitäten wird der Brückenknoten durch die SiC-JFETs vollständig resonant umgeladen, durch die SiC-MOSFETs zu $2/3$. Hier zeigt sich der Einfluss der verschiedenen großen Kapazitäten. Bei der HEXFET-Brücke hat sich das resonante Umladen lediglich auf $1/4$ des Spannungshubs verlängert. Der Einschaltzeitpunkt der High-Side ist an der Steigungs-Änderung gut zu erkennen. Der Anteil der höheren Steigung ist damit größer als bei den SiC-Brücken, die Nulllinie verläuft damit insgesamt steiler.

Die Aufnahmen zeigen sehr anschaulich den positiven Teil-Bereich der Central Region. Mit der rechtsseitigen Abweichung von der Nulllinie steigt der positive Laststrom, welcher als Gleichanteil zum Ripplestrom hinzu kommt. Der dreieckige Ripplestrom in Abb. 5.2f verschiebt sich nach oben, und die Fläche unterhalb der x-Achse wird immer kleiner. Zum Umladen der Kapazitäten in der Totzeit steht jetzt ein immer kleiner werdender negativer Strom zur Verfügung – die Flankensteilheit der Brückenspannung nimmt ab. Am Ende der Central Region wird die Flankensteilheit zu Null. Der Ripplestrom in Abbildung 5.3 berührt die x-Achse – es steht kein Strom mehr zum Umladen der Kapazitäten zur Verfügung. Der Brückenknoten kann erst umgeladen werden, wenn die High-Side einschaltet. Mit der Einschaltverzögerung des Transistors tritt die Spannungsflanke am Brückenknoten auf.

Die linksseitigen Spannungsflanken verdeutlichen die Abhängigkeit des Kommutierungsvorgangs vom Laststrom: Die kommutierende Brückenflanke wird mit sinkender Modulationstiefe, also in Richtung der Nulllinie, immer flacher. Da der Laststrom bei kleineren Modulationsindizes geringer wird, verlangsamt sich das Umladen der Kapazitäten am Brückenknoten und die Flankensteilheit nimmt ab.

Aus den Aufnahmen der Flankenmodulation lassen sich alle zuvor beschriebenen Schaltparameter sowie diverse Transistoreigenschaften herauslesen und auf einen Blick vergleichen. Die entsprechende Interpretation wird in Tabelle 2.4 in Kapitel 2.20 zusammengefasst.

Aussteuerung $U_{\text{out}} = 30 \text{ V}$	SiC-MOSFET (Cree)	SiC-JFET (Semi- south)	HEXFET (IR)	CoolMOS (Infineon)
DSP-Totzeit: optimiert (identisch) <i>in ns</i>	35 (120)	35 (120)	70 (120)	190
Abfallzeit der Brücken- spannung t_{fall} <i>in ns</i>	23 (26)	23 (25)	29 (28)	45
Anstiegszeit der Brücken- spannung t_{rise} <i>in ns</i>	20 (19)	24 (25)	23 (23)	17
Abschalt-Verzögerung t_{off} <i>in ns</i>	51 (50)	49 (49)	99 (100)	85
Einschalt-Verzögerung t_{on} <i>in ns</i>	40 (43)	36 (34)	98 (100)	100
effektive Totzeit unter Vollaustrg. t_{eff} <i>in ns</i>	27 (117)	18 (100)	93 (145)	≈ 210
rechtsseitg. Verschieb. (verzögert) <i>in ns</i>	15	13	42	≈ 50
linksseitg. Verschieb. (verfrüht) <i>in ns</i>	11	5	51	≈ 160
Einschaltstrom-Spitze bei 7 A, I_{D} <i>in ns</i>	18	18	25	36
Diodenrückstrom bei 7 A, I_{r} <i>in ns</i>	11	11	18	29

Tab. 5.2: Schaltverhalten unter Aussteuerung mit optimaler (identischer) DSP-Totzeit.

5.4 Einschätzung parasitärer Bauteile am Brückenknoten

Die diskreten Bauteile am Brückenknoten entwickeln entsprechend ihrer Bau- oder Gehäuseform parasitären Bauteile, deren Wirkungsweise mit steigender Frequenz zunimmt. Die am Brückenknoten vorkommenden parasitären Bauteile und deren Ursache sind in Tabelle 5.4 zusammengefasst.

Die Auswirkung der parasitären Bauteile auf den Schaltvorgang lässt sich anhand der Überschwinger auf der Brückenflanke nach dem Einschalten des aktiven Transistors studieren. In den Messungen der vier Halbbrücken unter C.7 sind Schwingungen unterschiedlicher Amplitude und Frequenz nach dem Anstieg der Brückenspannung erkennbar. Diese Schwingungen entstehen durch die Anregung parasitärer Schwingkreise im Aufbau, welche sich aus den diskreten sowie den parasitären Bauteilen am Brückenknoten zusammensetzen. Die Anregung des Schwingkreises ist umso stärker, je höher der Spitzenstrom zum Einschalten ist. Dementsprechend besteht ein Zusammenhang zwischen dem maximalen Diodenrückstrom und der Amplitude der Überschwinger. Die höchste Stromspitze verzeichnet die CoolMOS-Halbbrücke, dementsprechend ist die Schwingungsamplitude auf der Einschaltflanke am größten. Bei den

diskretes Bauteil	parasitäres Bauteil und dessen Ursache
Leistungstransistoren	Ausgangskapazität durch Halbleiter-Technologie, Induktivität primär durch Anschlussbeine des Gehäuses
SMD-Kondensator	Entlastungsnetzwerk (Snubber)
Filterdrossel	Wicklungskapazität (ab 19 MHz)
Tastkopf	Messspitzenkapazität
Leiterplatte	Kapazität durch Lagenaufbau und Bestückung Induktivität durch Leiterbahnen und Bestückung

Tab. 5.3: Parasitäre Induktivitäten und Kapazitäten am Brückenknoten.

SiC-Brücken wird der geringe Einfluss des Reverse-Recovery-Vorgangs wieder deutlich. Infolge der niedrigen Rückstrom-Spitze schwingt die Brückenspannung nach dem Einschalten mit geringer Amplitude.

SPICE-Simulation

Um die Schwingungsfrequenz nachzuvollziehen, wird der Aufbau unter Annahme einiger Vereinfachungen in Spice modelliert. Als Grundlage dient die Messung der SiC-MOSFET-Brücke unter C.7. Aus der Messung lässt sich mittels Positionsmarker die Periode der Schwingung mit 22 ns herauslesen. Hieraus ergibt sich die Frequenz der Schwingung zu

$$f_{\text{res}} = \frac{1}{T_{\text{SiCM}}} = \frac{1}{22 \cdot 10^{-9}} \text{ Hz} = 45,45 \text{ MHz.} \quad (5.1)$$

Nach dem vollendeten Umladevorgang am Brückenknoten ist der High-Side Transistor leitend und der Low-Side Transistor gesperrt. Der gesperrte Transistor wird mit seiner parasitären Ausgangskapazität für 100 V und der Gehäuseinduktivität modelliert. Beim leitenden Transistor ist die Ausgangskapazität kurzgeschlossen. Hier muss lediglich die Gehäuseinduktivität berücksichtigt werden.

Zur Drain-Source-Strecke der Brückentransistoren ist im Aufbau jeweils ein Entlastungsnetzwerk parallel geschaltet. Der entsprechende Snubber-Kondensator (C_{106} , C_{116}) wird berücksichtigt, die Induktivität des 1206er-Gehäuses vernachlässigt. Die Kapazität des jeweiligen Kondensators ist Tabelle 5.4 zu entnehmen. Die Werte für die parasitäre Kapazität des Halbleiters ist der Kurve im Datenblatt und die Induktivität des TO-247 Gehäuses dem SPICE-Modell entnommen.

Die Filterdrossel L_{200} des Ausgangstiefpasses hat mit einer Induktivität von 22 μH bei der o.g. Schwingfrequenz lediglich kapazitive Eigenschaften. Die Resonanzfrequenz der Drossel wurde mit Hilfe des Netzwerk-Analysators zu 18,84 MHz ermittelt. Die Messung kann im Anhang C.11 eingesehen werden. Die hier wirksame Wicklungskapazität der Drossel leitet sich aus der Formel

$$f_{\text{res}} = \frac{1}{2\pi\sqrt{LC}} \quad (5.2)$$

ab und ergibt sich mit den gemessenen Werten zu:

$$C_{L200} = \frac{1}{\omega^2 \cdot L_{\text{nenn}}} = \frac{1}{(2\pi \cdot 18,84 \text{ MHz})^2 \cdot 22 \mu\text{H}} = 3,23 \text{ pF}. \quad (5.3)$$

Der Filterkondensator C_{200} des Ausgangstiefpasses mit der Kapazität von $1,5 \mu\text{F}$ weist eine Resonanzfrequenz von $371,55 \text{ kHz}$ auf (vgl. Anhang C.11). Damit ist die Kapazität bei der gemessenen Schwingfrequenz nicht mehr wirksam, die Gehäuse-Induktivität von 122 nH soll an dieser Stelle jedoch berücksichtigt werden. Der Wert für die parasitäre Induktivität L_{C200} ergibt sich durch Messung der Resonanzfrequenz und Formel 5.2:

$$L_{C200} = \frac{1}{\omega^2 \cdot C_{\text{nenn}}} = \frac{1}{(2\pi \cdot 371,55 \text{ kHz})^2 \cdot 1,5 \mu\text{F}} = 122,32 \text{ nH}. \quad (5.4)$$

Die Elektrolyt-Kondensatoren am Eingang $C_1 - C_6$ sowie keramischen Abblock-Kondensatoren $C_{40} - C_{76}$ zwischen positiver und negativer Versorgung werden als Wechselstrom-Kurzschluss gegen Masse angenommen. Demnach liegen die Elemente der High-Side, der Low-Side und des Tiefpassfilters parallel zur Tastkopf-Kapazität des Oszilloskops. Die Tastkopf-Kapazität befindet sich zwischen dem Brückenknoten und Masse, wo die Messung stattgefunden hat.

Die parasitären Kapazitäten und Induktivitäten der Leiterplatte müssen als verteilt angesehen werden und bringen so einen unverhältnismäßigen Aufwand mit sich. Da sie aufgrund des optimierten Layouts als recht klein einzuschätzen sind, wurden sie in der Simulation zunächst weggelassen. Damit ergibt sich der nachstehende Schwingkreis:

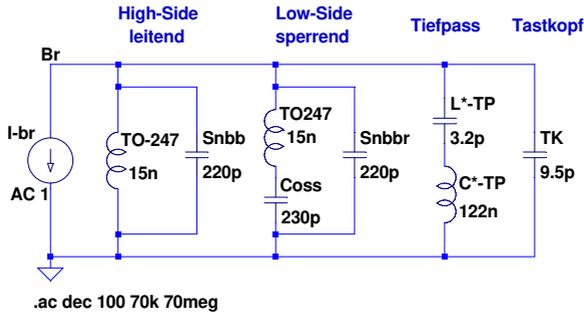


Abb. 5.4: Modellierung des parasitären Schwingkreises am Brückenknoten in SPICE.

Das Ergebnis der AC-Simulation zeigt den Frequenz- und Phasengang des Schwingkreises in Abbildung 5.5. Basierend auf den Werten der SiC-MOSFET-Brücke ergibt sich eine Resonanzfrequenz von $f_{\text{res}} = 46 \text{ MHz}$. Damit besteht wenig Unterschied zwischen Resonanzfrequenz der Simulation und gemessener Schwingfrequenz. Die geringe Differenz zwischen simulierter und gemessener Schwingfrequenz bestätigt die

Kapazität / Induktivität	Wert
C_{oss} / $C_{snubber}$	SiC-MOSFET: 230 pF / 220 pF SiC- JFET: 80 pF / 100 pF HEXFET: 500 pF / 470 pF C_{oolMOS} : 215 pF / 220 pF
Filterdrossel C_{L200} (parasitär)	3,2 pF
LeCroy-Tastkopf	9,5 pF
Induktivität TO-247	6 nH (Drain), 9 nH (Source)
Filterkondensator C_{C200} (parasitär)	122 nH

Tab. 5.4: Kapazitive und induktive Größen der SPICE-Simulation.

vorausgegangene Annahme, dass der Einfluss durch parasitären Bauteile der Leiterplatte in diesem Aufbau vernachlässigbar gering ist. Vergleicht man die Größenordnung der parallel geschalteten Kapazitäten, so lässt sich feststellen, dass die kapazitive Belastung am Brückenknoten vorwiegend durch die Ausgangskapazität sowie die Snubber-Kapazität bestimmt ist. Die parasitäre Induktivität am Brückenknoten besteht hauptsächlich aus den Anschlussbeinen des Transistors. Letzteres wird durch ausführliche Simulationen in der Diplomarbeit von Markus Schröder [128] gezeigt.

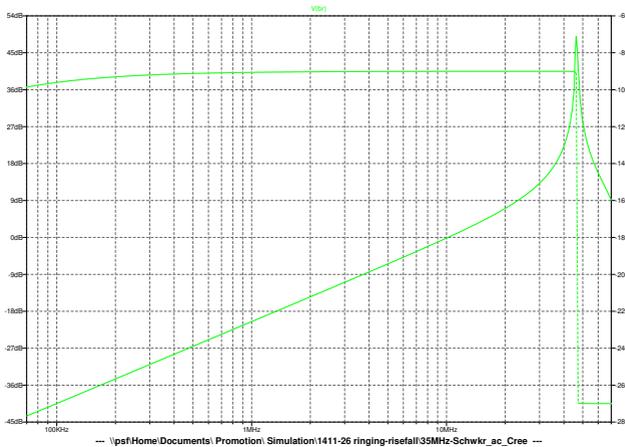


Abb. 5.5: Frequenz- und Phasengang der AC-Simulation zeigen eine Resonanzfrequenz von 46 MHz.

5.5 Einfluss der Transistor-Charakteristika auf das Schaltverhalten der Halbbrücke

Die vorangegangenen Untersuchungen zeigen, dass das Schaltverhalten der Halbbrücke durch die Charakteristika der SiC-Transistoren positiv beeinflusst wird. Signifikante Unterschiede zu den konventionellen Transistoren sind bezüglich der Schaltverzögerungen generell, und unter Aussteuerung bezüglich der effektiven Totzeit sowie dem Reverse-Recovery-Verhalten, zu finden. Bei einer optimal eingestellten DSP-Totzeit bezieht sich die Verbesserung jedoch weniger auf die Umladezeiten, da hier durch hartes Einschalten der Einfluss der unterschiedlichen Transistor-Charakteristika etwas gemildert wird. Wie die Untersuchungen zur Audioqualität (Kapitel 6) zeigen werden, ist dies im Zusammenhang mit der Entstehung von harmonischen Verzerrungen obligatorisch. Ein spannungsloser Schaltvorgang (ZVS), wie er in der gängigen Theorie beschrieben wird, ist hier nicht praktikabel und führt zu unnötigen zeitlichen Fehlern im PWM-Signal (vgl. Abschnitt 5.2.2, Kapitel 6).

Parasitäre Kapazitäten am Ausgang

Die Flankensteilheit der Brückenspannung ist durch den zum Umladen zur Verfügung stehenden Laststrom sowie die Größe der Kapazität am Brückenknoten bestimmt. Am Brückenknoten dominiert die gewählte Snubber-Kapazität sowie die veränderliche Ausgangskapazität C_{OSS} des Transistors. Da beide Transistoren beim resonanten Umladen gesperrt sind, ist der Einfluss der veränderlichen Ausgangskapazität hier am größten und die Unterschiede in der Flankensteilheit am Brückenknoten dementsprechend ausgeprägt. Um die großen Unterschiede zwischen SiC- und konventionellen Halbbrücken in Bezug zu setzen, lässt sich Folgendes formulieren: In der Zeit, die die CoolMOS-Brücke als optimale DSP-Totzeit benötigt, können die SiC-Halbbrücken vollständig resonant umgeladen werden.

In den Kapazitätsverläufen im Datenblatt des CoolMOS-Transistors fällt der starke Anstieg im Verlauf der Ausgangs- und Rückwirkungskapazität (C_{OSS} und C_{RSS}) zu einstelligen Drain-Source-Spannungen auf. Das bedeutet, dass diese Kapazitäten stark anwachsen, wenn der Transistor vom sperrenden in den leitenden Zustand übergeht. Durch die größere Ausgangskapazität verlangsamt sich der Umladevorgang. Infolgedessen rundet die Kurve an den Wendepunkte der Brückenspannung, also der Übergang von der statischen Brückenspannung zur sich ändernden Spannungsflanke, sehr stark aus (großer Roll-off Faktor). Der große Roll-off Faktor verlängert die Schaltverzögerungen im Leerlauf sowie den Kommutierungsvorgang unter Aussteuerung. Mit dem starken Anstieg der Kapazität C_{RSS} vergrößert sich die Rückwirkung aufs Gate, wenn der Transistor einschaltet. Die entstehenden Schwingungen auf den Gate-Source-Spannungen sowie der Brückenspannung erfordern eine negative Abschaltspannung sowie die Verlängerung des resonanten Teilstücks durch eine längere DSP-Totzeit. Hierdurch verschlechtert sich das Schaltverhalten bezüglich der Schaltverzögerungen sowie der effektiven Totzeit. Im Gegensatz dazu ist der kapazitive Zuwachs zu kleinen Drain-Source-Spannungen bei dem HEXFET moderat und bei

den SiC-Transistoren deutlich geringer. Demzufolge ist Roll-off Faktor der Brückenspannung entsprechend kleiner, was sich nicht nur beim resonanten Umladen positiv auswirkt.

Mit der optimal eingestellten DSP-Totzeit wird bereits zu Beginn des Umladevorgangs hart eingeschaltet und damit das resonante Teilstück der Brückenspannung auf ein Minimum verkürzt. Das harte Einschalten mildert den Einfluss der Ausgangskapazität auf die Flankensteilheit, da durch den leitenden Transistor ein signifikanter Strom zum Ripplestrom hinzukommt, der zum Umladen der Brückenskapazität fließen kann. Hierdurch erhöht sich die Flankensteilheit am Brückenknoten, sodass der Unterschied in den Umladezeiten der vier Halbbrücken nur noch gering ausfällt. Mit zunehmender Aussteuerung gleichen sich die Unterschiede weiter an, da sich die Umladezeiten der konventionellen Brücken verkürzen. Insbesondere der Einschaltvorgang läuft jetzt schneller ab, da der hohe Diodenrückstrom den Umladevorgang beschleunigt. Die Umladezeit der SiC-Brücken ist wegen des konstanten Diodenrückstroms weitestgehend unabhängig von der Aussteuerung.

Parasitäre Kapazitäten am Eingang

Das harte Schalten bei optimaler Totzeit hat zwar Auswirkung auf die Flankensteilheit der Brückenspannung, die Gate-Source-Spannung bleibt davon jedoch unberührt. Der Verlauf der Gate-Source-Spannung wird, abgesehen von der Dimensionierung der Gate-Vorwiderstände, durch die Größe der Eingangskapazität sowie die Höhe der Gate-Ladung beeinflusst.

Hier bringen die kleinere Eingangs- und Rückwirkungskapazität sowie die geringere Gate-Ladung der SiC-Transistoren einen entscheidenden Vorteil. Wegen der niedrigen Kapazitäten und dem geringen Miller-Effekt sind die Verläufe der Gate-Source-Spannung sehr steilflankig. Ein steilflankiger Verlauf verkürzt die Schaltverzögerung im Leerlauf beim Ein- sowie beim Abschalten. Im Leerlauf benötigen die SiC-Transistoren zum Einschalten ca. $1/3$ der Zeit gegenüber dem HEXFET bzw. $1/2$ der Zeit gegenüber dem CoolMOS und zum Abschalten $1/3^9$ bzw. $1/4^{10}$ der Zeit. Durch die kürzere Abschaltverzögerung kann die am DSP eingestellte Totzeit um die Hälfte gegenüber dem HEXFET bzw. um das 5-fache gegenüber dem CoolMOS reduziert werden.

Weiterhin ist der Unterschied in der Spannung zum Abschalten von hohen und niedrigen Strömen geringer, je steiler die Gate-Spannung verläuft. Damit sinkt die Laststromabhängigkeit der Abschaltverzögerung, da sich der Beginn der Kommutierung nur noch geringfügig mit der Aussteuerung verschiebt. Diese Verschiebung der Kommutierungsflanke wird durch die linksseitige Breite der Flankenmodulation veranschaulicht. Vergleicht man die Position der Kommutierungsflanke unter hohem Strom mit der Nulllinie im Leerlauf, so fällt der zeitliche Unterschied bei den SiC-Brücken deutlich geringer aus (vgl. Abbildungen unter C.9). In Kombination mit der kleineren

⁹ gegenüber dem HEXFET

¹⁰ gegenüber dem CoolMOS

DSP-Totzeit reduziert sich die linksseitige Verschiebung bei den SiC-Brücken unter Vollaussteuerung um Faktor 10 beim Vergleich von SiC-JEFET (5 ns) zu HEXFET (51 ns) und um Faktor 32 beim Vergleich von SiC-JEFET zu CoolMOS (160 ns). Dies führt zu einer entscheidenden Verringerung der gesamten effektive Totzeit der SiC-Halbbrücken.

Body-Diode

Das Reverse-Recovery-Verhalten der Body-Diode nimmt mit der Spitze des Einschaltstroms sowie an der Einsattelung am Fuße der ansteigenden Brückenspannung Einfluss auf das Einschaltverhalten des aktiven Transistors.

Die Differenz von Spitze und Endwert des Einschaltstroms entspricht dem Diodenrückstrom, welcher sich wiederum aus der Superposition eines reinen Rückwärtserholungsstroms und eines kapazitiven Ladestroms bestimmt. Aufgrund der geringen Speicherladung in Siliziumkarbid ist der Rückwärtserholungsstrom vernachlässigbar klein, sodass der Diodenrückstrom hauptsächlich aus dem kapazitiven Ladestrom besteht. Da letzterer vom Laststrom unabhängig ist, bleibt der Diodenrückstrom des SiC-MOSFETs sowie der SiC-Schottky-Diode¹¹ über die gesamte Aussteuerung konstant bei etwa 10 A. Damit ist der Diodenrückstrom der SiC-Halbleiter unabhängig von der Aussteuerung. Bemerkenswert ist, dass die SiC-Schottky-Diode und intrinsische Body-Diode des SiC-MOSFETs ein vergleichbares Verhalten zeigen.

Aufgrund des konstanten Diodenrückstroms wächst der Spitzenwert des Einschaltstroms zu höheren Aussteuerungen deutlich weniger an und beträgt für einen Laststrom von 7 A lediglich 18 A. Dies entspricht in etwa 3/4 des HEXFET-Stroms und 1/2 des CoolMOS-Stroms. Bei den konventionellen Halbleitern wächst die Einschaltstromspitze nichtlinear und individuell an, da der Diodenrückstrom vorwiegend durch den Rückwärtserholungsstrom bestimmt ist. Durch den geringeren Zuwachs des Einschaltstroms in Siliziumkarbid ist die Einsattelung am Fuße der Brückenspannung geringer¹² und die Einschaltverzögerung der SiC-Brücken steigt mit zunehmender Aussteuerung weniger stark an. Dementsprechend ist die rechtsseitige Verbreiterung der Flankenmodulation um den Faktor 3-4 kleiner, wodurch sich die gesamte effektive Totzeit reduziert. Daraus geht hervor, dass der Einschaltvorgang durch das Reverse-Recovery-Verhalten der SiC-Halbleiter weniger stark beeinflusst wird, wodurch sich auch der zeitliche Fehler im PWM-Signal verringert.

DSP-Totzeit

Eine Vergrößerung der DSP-Totzeit wirkt sich mit zunehmender Aussteuerung insbesondere auf die effektive Totzeit aus, da sich die Flankenmodulation durch die höhere DSP-Totzeit stark verbreitert. Dies erklärt sich dadurch, dass die Kommutierungsflanke unabhängig von der eingestellten DSP-Totzeit immer an der selben Position

¹¹dem JFET parallel geschaltete Diode

¹²vgl. Messungen unter C.6

auftritt, während die Nulllinie sowie alle darauf folgenden Einschaltflanken durch die längere DSP-Totzeit nach rechts verschoben werden. Hierdurch nimmt die linksseitige Verbreiterung zu, die rechtsseitige bleibt im Vergleich zur optimalen Totzeit unverändert. Bei den SiC-Halbbrücken erhöht sich die gesamte effektive Totzeit dadurch um den Faktor 4,3 (MOSFET) bzw. 5,5 (JFET).

Die Auswirkung der DSP-Totzeit auf Umladezeiten und Schaltverzögerungen bezieht sich lediglich auf den Leerlauf und geringe Aussteuerungen, da sich der Einfluss der Ausgangskapazität infolge des niedrigen Ripplestroms erhöht. Eine größere DSP-Totzeit verschiebt den harten Einschaltvorgang und verlängert das resonante Teilstück der Brückenspannung. Bei den SiC-Halbbrücken entfällt hierdurch das harte Einschalten (wie unter optimaler Totzeit) fast vollständig, da die niedrige Ausgangskapazität in den gewählten 120 ns fast vollständig resonant umgeladen werden kann. Hierdurch reduziert sich jedoch die Flankensteilheit von ansteigender sowie abfallender Spannungsflanke drastisch, sodass die Umladezeiten auf das 3-4fache anwachsen (vgl. Abbildung unter C.3). Im Gegensatz dazu schaltet die HEXFET-Halbbrücke weiterhin hart ein, da das resonante Teilstück infolge der größeren Kapazität in Kombination mit dem niedrigen Ripplestrom eine geringere Steilheit aufweist. Wegen der geringeren Steilheit verlängert sich das resonante Teilstück lediglich auf ca. 1/3 des gesamten Spannungshubs, wodurch sich die Umladezeiten lediglich verdoppeln. Damit wird der Brückenknoten der HEXFET-Halbbrücke bei identischer DSP-Totzeit *schneller* umgeladen.

Die Abschaltverzögerung verlängert sich bei allen Brücken dadurch, dass die geringere Flankensteilheit der Brückenspannung den Nulldurchgang merklich verschiebt. Im Vergleich zur HEXFET-Brücke ist dieser Effekt durch die geringe Steilheit beim resonanten Umladen der SiC-Halbbrücken ausgeprägter.

Bemerkenswert ist, dass für die SiC-Brücken im Leerlauf keine Einschaltverzögerung angegeben werden kann. Eine Einschaltverzögerung nach der ursprünglichen Definition existiert hier nicht, da der Nulldurchgang der Brückenflanke durchschritten ist, bevor der aktive Transistor einschaltet (vgl. Abb. 5.1).

Mit steigender Aussteuerung unterscheiden sich die Umladezeiten und Schaltverzögerungen unter optimaler und identischer Totzeit immer weniger, denn die unterschiedlichen Kapazitäten am Brückenknoten fallen mit steigendem Laststrom immer weniger ins Gewicht. Bereits bei der untersuchten Ausgangsspannung von 30 V werden Umladezeiten und Schaltverzögerungen nicht mehr von der DSP-Totzeit beeinflusst.

Zusammenfassung

Zusammenfassend lässt sich feststellen, dass das Schaltverhalten der SiC-Halbbrücken insgesamt weniger aussteuerungs- und laststromabhängig ist. Die geringe Laststromabhängigkeit der Abschaltverzögerung, der schwache Einfluss des Reverse-Recovery-Vorgangs auf das Einschalten sowie die kürzere DSP-Totzeit wirken sich insbesondere zu höheren Aussteuerungen eklatant auf die effektive Totzeit aus. Zwischen der

kürzesten effektiven Totzeit der SiC-JFET-Brücke und der längsten der CoolMOS-Brücke liegt bei Vollaussteuerung etwa eine Größenordnung (Faktor 11,6). Damit ist der zeitliche Fehler im PWM-Signal am Brückenknoten erheblich geringer, wodurch eine Verbesserung der Audioqualität zu erwarten ist. Eine Erhöhung des Wirkungsgrades könnte aufgrund des besseren Reverse-Recovery-Verhaltens und dem damit verbundenen niedrigeren Einschaltstrom möglich sein.

Die vorangegangene Analyse des Schaltverhaltens zeigt, dass der Einsatz von Siliziumkarbid einen Gewinn für das PWM-Signal am Brückenknoten bringt. Die Auswirkung auf Audioqualität und Leistung wird in den folgenden Kapiteln untersucht und analysiert.

Kapitel 6

Audioqualität der Endstufen

Die Audioqualität eines Klasse-D-Verstärkers wird durch eine Vielzahl einzelner Faktoren bestimmt, die sich in Abhängigkeit der Verstärker-Aussteuerung unterschiedlich auswirken. Die gängige Größe zur Charakterisierung der Audioqualität eines Verstärkers ist die harmonische Verzerrung des Ausgangssignals, meistens kurz *Total Harmonic Distortion (THD)* genannt (vgl. Kapitel 2.4).

Die Entstehung der harmonischen Verzerrungen wird, wie in den voran gegangenen Kapiteln beschrieben, von Modulationstechnik, Endstufen-Topologie und Verstärker-Design beeinflusst. Darüber hinaus spielen Ansteuerung und Auslegung der Endstufe, wie beispielsweise die Einstellung der DSP-Totzeit oder die Wahl der Leistungstransistoren, eine wesentliche Rolle. Das komplexe Zusammenwirken im gesamten Verstärkersystem erschwert den Rückschluss auf eine bestimmte Ursache für den jeweiligen THD-Wert. Zudem wird die Entstehung des THDs in der Literatur nur oberflächlich behandelt (vgl. Kapitel 2.4.3).

Die Bestimmung der harmonischen Verzerrungen als Messwert¹ ist hingegen wenig aufwändig. So war die grundlegende Verbesserung durch SiC-Transistoren bereits in einer frühen Promotionsphase bekannt [129] – die Rückschlüsse auf die Transistor-Charakteristika konnte jedoch erst durch eine tiefgehende Analyse ergründet werden.

Das vorliegende Kapitel beschreibt die erforschten Zusammenhänge zwischen Transistor-Charakteristika und harmonischen Verzerrungen basierend auf der Analyse der Messungen. Eine wesentliche Grundlage hierfür war die Definition einheitlicher Kriterien für einen aussagekräftigen Vergleich der Audioqualität, welche aufgrund der unterschiedlichen Transistoren-Eigenschaften nicht trivial ist (vgl. Kapitel 4.2.4). Die resultierenden Ergebnisse der Forschungsarbeit führten darüber hinaus zu einer Erweiterung der gängigen Theorie zu harmonischen Verzerrungen (siehe Kapitel 2.4.4f).

6.1 Harmonische Verzerrungen (THD)

Die harmonischen Verzerrungen werden mit dem *Audio Analyzer AP2700* der Firma *Audio Precision* gemessen. Gemäß der üblichen Vorgehensweise zur Messung von Klasse-D-Verstärkern wird ein sog. *AUX-25 Filter* zwischen Endstufe und Audio Analyzer geschaltet. Das *AUX-25 Filter* ist ein passives Tiefpass-Filter zweiter Ordnung

¹üblicherweise als *THD+N: Total Harmonic Distortion + Noise*

mit einer Grenzfrequenz von 20 kHz. Der Frequenzgang des Filters ist ausgesprochen linear. Das Filter verhindert eine Störung des Messbetriebs durch hochfrequente Anteile² und gewährleistet akkurate und zuverlässige Messergebnisse [130].

Der *Audio Analyzer AP2700* misst die aktuelle effektive Ausgangsspannung der Endstufe über der Last und berechnet mittels Fast-Fourier-Transformation (FFT) den korrespondierenden THD. Zur Ermittlung der THD-Kurve eines Verstärkers wird die Signalamplitude am Eingang schrittweise vergrößert und so die harmonischen Verzerrungen vom Leerlauf des Verstärkers bis zur Volllaussteuerung gemessen. Für die vorliegende Arbeit wird die Aussteuerung der zu messenden Endstufe variiert, indem der DSP-Algorithmus den Modulationsindex schrittweise von 0 bis 1 hochfährt. Dies entspricht einem Amplitudensweep des 1 kHz-Eingangssinus. Hierbei liegen zu höheren Modulationen die Datenpunkte dichter zusammen, sodass die Auflösung der THD-Kurve zu höheren Ausgangsspannungen hin genauer wird.

Üblicherweise wird eine THD+N-Messung durchgeführt, die das Rauschen des Verstärkers mit einbezieht [131]. Die typische THD+N-Kurve verläuft *badewannenförmig* und zeigt bei kleinen Ausgangsspannungen eine linear abfallende Gerade (*Rauschgerade*). Mit zunehmender Signalamplitude flacht die Kurve ab, erreicht ein Minimum und steigt anschließend wieder an (*Bodenbereich*). Kurz vor dem Erreichen der Volllaussteuerung beginnt der Verstärker zu übersteuern (*clipping*), was sich in einem zweiten, deutlich steileren Anstieg der THD+N-Kurve widerspiegelt [132].

Die gemessene THD+N-Kurvenschar ist in Abbildung 6.1 dargestellt. Die harmonischen Verzerrungen werden hier in dB über den Effektivwert der Ausgangsspannung aufgetragen. Die Farben sind wie folgt kodiert:

- blau: SiC-MOSFET-Endstufe (Cree)
- magenta: SiC-JFET-Endstufe (Semisouth)
- gelb: HEXFET-Endstufe (IR)
- grün: CoolMOS-Endstufe (Infineon)

Im Bereich kleiner Ausgangsspannungen beschreiben die Kurven in etwa die gleiche linear abfallende Gerade. Ab ca. 3,5 V fächern sich die Kurven auf und unterscheiden sich danach vorwiegend in der Position des Minimums und der Anstiegssteilheit zu höheren Ausgangsspannungen. Hier ist ein deutlicher Unterschied zwischen den konventionellen und den Siliziumkarbid Endstufen erkennbar. Während der THD der konventionellen Endstufen sehr bald deutlich ansteigt, bleibt er bei den SiC-Endstufen bis zur Übersteuerung niedrig und ändert sich lediglich um 5 dB. Die Kurven der beiden SiC-Endstufen bleiben bis etwa $23 V_{\text{eff}}$ bzw. $27 V_{\text{eff}}$ unter -50 dB, die Kurve der HEXFET-Endstufe übersteigt diesen Wert bei $7,3 V_{\text{eff}}$ und die Kurve der CoolMOS-Endstufen bereits bei $3,7 V_{\text{eff}}$.

²Hierdurch kann beispielsweise die Auto-Ranging Funktion des AP2700 gestört werden. Infolgedessen würde das Testsignal in der folgenden Messelektronik falsch dargestellt.



Abb. 6.1: Messung der harmonischen Verzerrungen (THD+N) mit optimal eingestellter DSP-Totzeit.

6.1.1 Rauschgerade und Central Region

Die fallende Gerade im hellgrau unterlegten Bereich der THD+Noise Kurve wird vorwiegend durch das Rauschen bestimmt [130]. Dieser Kurvenabschnitt wird im folgenden kurz *Rauschgerade* genannt. Wie die Messung in Abb. 6.1 zeigt, dominiert das Rauschen für die gegebene Ansteuerung bei allen Endstufen bis zu einer Ausgangsspannung von 3,5 V. Bei einer Ausgangsspannung von 4 V ist das Ende der PWM Central Region erreicht (vgl. Kapitel 5.2.4). Die Rauschgerade fällt demnach vollständig in den Bereich der Central Region hinein. Alle Rauschgeraden liegen in der selben Größenordnung.

Aus der Betrachtung der Rauschgeraden lassen sich für den Bereich der Central Region zwei Erkenntnisse ableiten:

- Die Schaltstufe der einzelnen Endstufe hat in der Central Region, trotz sehr unterschiedlicher Transistor-Eigenschaften, keinen nennenswerten Einfluss auf den THD. Die hier erzeugten Signalverzerrungen gehen vollständig im Rauschen unter.
- Beim Vergleich der Endstufen untereinander sind kaum Unterschiede im THD erkennbar.

Die erste Erkenntnis erklärt sich durch die in Kapitel 2.4.7 beschriebene Theorie zu den harmonischen Verzerrungen in der PWM Central Region: In der Central Region werden keine harmonischen Verzerrungen generiert, da das Tastverhältnis durch die effektive Totzeit der Endstufe kaum verändert wird (vgl. 2.4.7).

Die folgende Betrachtung soll die geringe Auswirkung auf die Amplitude des Ausgangssignals rechnerisch untermauern. Bekanntermaßen ist der zeitliche Fehler im Tastverhältnis und damit auf die effektive Totzeit der Schaltstufe zurückzuführen. Die Analyse der Flankenmodulation am Ende der Central Region in Kapitel 5.2.7 ergibt, dass die effektive Totzeit der SiC-Endstufen sowie bei der HEXFET-Endstufe mit ca. 5 ns bzw. 11 ns sehr klein ist. Die CoolMOS-Schaltstufe zeigt eine deutlich größere effektive Totzeit. Hier äußert sich die längste am DSP eingestellte Totzeit. Der dadurch eingebrachte zeitliche Fehler lässt die THD-Kurve sofort nach dem Verlassen den Central Region steil ansteigen. An der atypischen Hüllkurve ist erkennbar, dass sich die Central Region nicht symmetrisch um den Nulldurchgang der Brückenspannung ausbreitet (siehe Abb. C.9). Da sich die effektive Totzeit jedoch erst bei Aussteuerungen gegen Ende der Central Region derart vergrößert, bleiben auch hier die harmonischen Verzerrungen unter dem Rauschteppich. Aufgrund der Hüllkurve können die in den Grundlagen hergeleiteten Formeln für eine Abschätzung jedoch nicht auf die CoolMOS-Schaltstufe angewandt werden.

Für Siliziumkarbid berechnet sich der prozentuale Anteil der effektiven Totzeit an einer gesamten Schaltperiode nach Formel 2.4 zu:

$$\Delta T_{\text{eff}} = \frac{5 \text{ ns}}{2,5 \mu\text{s}} \cdot 100 = 0,2\% \quad (6.1)$$

Für den HEXFET beträgt der prozentuale Anteil 0,4%.

Das Ende der Central Region ist mit einer Aussteuerung von ca. 12% erreicht. Hiermit ergibt sich gemäß Formel 2.6 bei einer Betriebsspannung von 50 V ein Scheitelwert von ± 6 V. In den Schaltzyklen auf dem positiven Scheitel beträgt das Tastverhältnis

$$D = 50\% + \frac{1}{2} m = 50\% + \frac{1}{2} 12\% = 56\%. \quad (6.2)$$

Dieses Tastverhältnis verkürzt sich durch die effektive Totzeit gemäß Formel 6.1 um 0,2% für die Siliziumkarbid- und um 0,4% für die HEXFET-Endstufe (s.o.).

Die Auswirkung auf den positiven Scheitelwert der Ausgangsspannung \hat{V}_{out} berechnet sich mit Formel 2.6 für Siliziumkarbid zu:

$$\begin{aligned} \hat{V}_{\text{out}} &= ((D - \Delta T_{\text{eff}})/100 - 0,5) \cdot 2 V_s \\ &= ((56\% - 0,2\%)/100 - 0,5) \cdot 100 \text{ V} \\ &= 5,8 \text{ V}. \end{aligned} \quad (6.3)$$

Demnach wird bei der SiC-Endstufe der positive Scheitelwert von 6 V auf 5,8 V herabgesetzt und die Amplitudendifferenz $\Delta \hat{V}_{\text{out}}$ beträgt somit 0,2 V.

Diese Amplitudendifferenz kann nach Formel 2.13 mithilfe der Spannungs-Zeit-Fehlerfläche A_{err} auch direkt bestimmt werden. Hier beispielhaft für Siliziumkarbid:

$$\Delta \hat{V}_{\text{out}} = \frac{A_{\text{err}}}{T_{\text{sw}}} = \frac{t_{\text{eff}} \cdot 2 V_s}{T_{\text{sw}}} = \frac{5 \text{ ns} \cdot 2 \cdot 50 \text{ V}}{2,5 \mu\text{s}} = \frac{500 \text{ V ns}}{2,5 \mu\text{s}} = 0,2 \text{ V}. \quad (6.4)$$

Technologie der Leistungsstufe	SiC-MOSFET (Cree)	SiC-JFET (Semisouth)	HEXFET (Int. Rectifier)	CoolMOS (Infineon)
THD in dB für $V_{\text{out,eff}} = 3,5 \text{ V}$ in ns	-52	-51	-51	-52
eff. Totzeit in ns für $V_{\text{out,eff}} = 4 \text{ V}$	5,5	4	10	-
zeitl. Fehler im Tastverhältnis ΔT_{eff} in %	0,22	0,16	0,4	-
Differenz d. Ausgangsamplitude ΔV_{out} in V	0,22	0,16	0,4	-

Tab. 6.1: Zeitfehler des PWM-Signals und THD des Ausgangssignals am Ende der Central Region ($4 V_{\text{eff}}$).

Die Ergebnisse für die Amplitudendifferenz stimmen somit überein. Für die HEXFET-Endstufe ergibt sich ein Wert von 0,4 V. Die hierbei erzeugten Oberwellen gehen im Rauschen unter.

Die Abschätzung zeigt, dass der zeitliche Fehler im Tastverhältnis, den die effektive Totzeit in der Central Region einbringt, vernachlässigbar ist. Die Tabellen 6.1 und 6.2 geben hierzu einen Überblick. Bleibt das Tastverhältnis nahezu unverändert, so gehen die harmonischen Verzerrungen vollständig im Rauschen unter.

Die zweite Erkenntnis, dass der gemessene THD für alle Endstufen im selben Bereich liegt, ist auf das Schaltverhalten zurückzuführen. Die Untersuchungen in Kapitel 5.2 zeigen, dass das Schaltverhalten durch den Verzicht auf das resonante Schalten (ZVS) in den für die harmonischen Verzerrungen relevanten Aspekten angeglichen wird. Mit der optimierten Totzeit wurde das resonante Umladen am Brückenknoten auf ein Minimum verkürzt und der Kurvenverlauf der gewünschten Rechteckform näher gebracht. Durch das Harte Schalten ähneln sich die Kurvenverläufe der Endstufen im Leerlauf – die Brückenspannung ist steilflankig, die Überschwinger sind moderat und die Gate-Signale weisen weniger Ringing auf. Zudem entfällt im Leerlauf der Reverse Recovery-Vorgang, und damit auch die gravierenden Unterschiede im Verhalten der Body-Diode. Die großen Unterschiede in den Einschalt- und Abschaltverzögerungen, welche die Endstufen aufweisen, spielen in der Central Region keine Rolle. Mit der geringen effektiven Totzeit ist die zeitliche Variation der Brückenflanke so gering, dass die Einschalt- und Abschaltverzögerungen als konstante Verzögerungen (delay) aufgefasst werden können. In der Central Region fällt der Schaltvorgang trotz verschiedenartiger Transistor-Charakteristika ähnlich aus und ist insgesamt näher am Idealen als unter hohem Laststrom. Mit dem ähnlichen Schaltverhalten liegen auch die Signalverzerrung, die die Schaltstufe erzeugt, in der selben Größenordnung.

6.1.2 Hohe Aussteuerung

Mit zunehmender Aussteuerung des Verstärkers nimmt der Einfluss der Totzeit auf den THD zu und dominiert schließlich alle anderen Effekte. Die Übersteuerung der Endstufen beginnt je nach Endstufe etwa zwischen 23 W (CoolMOS) und 28 W (SiC-MOSFET).

Die Messung zeigt zu höheren Ausgangsspannungen einen klaren Unterschied im THD zwischen den Siliziumkarbid- und den konventionellen Schaltstufen. Der THD der konventionellen Endstufen steigt kurz nach dem Verlassen der PWM Central Region deutlich an. Die Kurven der beiden SiC-Endstufen hingegen bleiben bis zur Übersteuerung knapp unter -50 dB. Die HEXFET-Endstufe übersteigt diesen Wert bei $7,3 V_{\text{eff}}$, die CoolMOS-Endstufe bereits beim Verlassen der Central Region. Bei den SiC-Endstufen beträgt die THD-Änderung von der Central Region bis zur Übersteuerung lediglich 5 dB bzw. 7 dB.

Die Ursache der harmonischen Verzerrungen ist hauptsächlich auf zeitliche Fehler im PWM-Signal zurückzuführen, wie in den Grundlagen unter Kapitel 2 erörtert. Die Analyse in Kapitel 5 ergibt, dass die Anstiegs- und Abfallzeiten der Brückenspannung durch die optimierte DSP-Totzeit für alle Endstufen ähnlich sind und der Einfluss auf den zeitlichen Fehler im PWM-Signal entsprechend gering ist. Einen weitaus größeren Einfluss auf den Zeitfehler nimmt hingegen die effektive Totzeit, welche von Faktoren wie den Schaltverzögerungen und DSP-Totzeit abhängt (vgl. 5.3.4 sowie 5.5). Dies lässt die Schlussfolgerung zu, dass vorwiegend jene Zeitfehler, welche mit der effektiven Totzeit entstehen, den THD maßgeblich beeinflussen.

Der zeitliche Fehler im PWM-Signal infolge der effektiven Totzeit wird durch die Flankenmodulation am besten charakterisiert. Die Breite der Kurvenschar entspricht genau dem zeitlichen Fehler, der durch das Schaltverhalten der Transistoren verursacht wird (vgl. Abb. C.9)³. Auch bei einer effektiven Ausgangsspannung von 20 V ergeben sich prägnante Unterschiede in der Breite der Kurvenschar – Die SiC-JFET-Endstufe zeigt mit 14 ns die geringste Breite, die CoolMOS-Endstufe mit knapp 200 ns die höchste. Die HEXFET-Endstufe liegt mit 65 ns in etwa dazwischen, während die SiC-MOSFET-Endstufe mit 21 ns nahe bei der SiC-JFET-Endstufe liegt. Die Messwerte des THDs für die selbe Ausgangsspannung korrespondieren mit der Breite der Flankenmodulation – Den besten THD zeigt hier die SiC-JFET-Endstufe mit -54 dB und den schlechtesten die CoolMOS-Endstufe mit -28 dB. Der Messwert der HEXFET-Endstufe liegt mit -40 dB dazwischen. Der THD der SiC-MOSFET-Endstufe liegt mit -51 dB geringfügig über der SiC-JFET-Endstufe. Die effektive Totzeit steht demnach in direktem Zusammenhang mit dem von den Endstufen-Transistoren erzeugten THD. Eine Gegenüberstellung der Messwerte erfolgt in Tabelle 6.2.

Eine Berechnung des THDs ist aus der effektiven Totzeit jedoch nicht unmittelbar möglich, da die effektive Totzeit nur den zeitlichen Fehler des PWM-Signals be-

³In dieser Abbildung bezieht sich die Flankenmodulation jeweils auf Vollaussteuerung. Für die THD-Analyse ist jedoch eine Betrachtung bei $20 V_{\text{eff}}$, im Bereich des starken THD-Anstiegs, sinnvoller. Die Hüllkurve der Flankenmodulation ist prinzipiell gleich, lediglich die Breite ist für $20 V_{\text{eff}}$ entsprechend geringer.

schreibt, jedoch keine Aussage über die dadurch entstehenden spektralen Komponenten im Audioband macht.

Die Unterschiede in der effektiven Totzeit erklären sich hauptsächlich durch die linksseitige sowie die rechtsseitige Verbreiterung in der Flankenmodulation. Diese wird verursacht durch:

- die laststromabhängige Abschaltverzögerung der Transistoren
- die daraus resultierende DSP-Totzeit
- das Reverse Recovery-Verhalten der Body-Diode
- die Laststromabhängigkeit der Einschaltverzögerung.

Die beiden zuletzt genannten Punkte beeinflussen die rechtsseitige Verbreiterung und damit das Einschaltverhalten. Die effektive Totzeit der SiC-Endstufen verringert sich aufgrund des besseren Einschaltverhaltens und des geringeren Reverse-Recovery-Stroms um ca. 28 ns gegenüber der HEXFET-Endstufe.

Die ersten beiden Punkte beeinflussen die linksseitige Verbreiterung und damit das Abschalt- bzw. Komutierungsverhalten. Die effektive Totzeit der SiC-Endstufen verringert sich hier um 40 ns (MOSFET) bzw. 46 ns (JFET) gegenüber der HEXFET-Endstufe. Hier bringen die steilflankigen Gate-Spannungsverläufe der SiC-Transistoren zwei entscheidende Vorteile: Zum einen sind die Schaltverzögerungen weniger laststromabhängig, wodurch sich die Brückenflanke weniger nach links verschiebt. Zum anderen kann durch das schnelle Abschalten der SiC-Transistoren die DSP-Totzeit drastisch reduziert werden. Die gesamte Breite der Flankenmodulation verringert sich um den Differenzbetrag der DSP-Totzeit. Beispielsweise zeigt die SiC-JFET-Endstufe mit 120 ns DSP-Totzeit eine effektive Totzeit von 100 ns. Wird die DSP-Totzeit um den Differenzbetrag von 85 ns auf 35 ns reduziert, so verringert sich die effektive Totzeit um um den Differenzbetrag von 82 ns^4 auf 18 ns. Die dadurch verringerte effektive Totzeit wirkt sich wiederum positiv auf den THD aus. Diese Zusammenhänge werden in Kapitel 6.2 intensiver diskutiert.

6.1.3 Mittlere Aussteuerung

Im mittleren Aussteuerungsbereich zeigt der typische Kurvenverlauf einer THD+N Kurve im *Bodenbereich* sein Minimum. Die Aufweitung des Minimums richtet sich danach, ab welcher Ausgangsspannung der Einfluss der Totzeit überwiegt. Sobald der Einfluss der effektiven Totzeit andere Effekte dominiert, steigen die THD-Kurven wieder an. Dass die effektive Totzeit auch von der am DSP eingestellten Totzeit beeinflusst wird, zeigt die grüne Kurve der CoolMOS-Endstufe. Mit der größten DSP-Totzeit fällt das Abknicken der grünen Kurve fällt praktisch mit dem Ende der PWM Central Region zusammen. Die THD-Kurve der SiC-MOSFET-Endstufen mit der kürzesten DSP-Totzeit zeigt erst bei etwa $7 V_{\text{eff}}$ eine solche Änderung in der Steigung. Beim Vergleich der SiC-Endstufen fällt auf, dass der THD der JFET-Endstufe im Bereich von $3,5 V_{\text{eff}}$ bis $12 V_{\text{eff}}$ schlechter abschneidet. Die Kurve liegt bei $7 V_{\text{eff}}$ ca.

⁴Die Differenzbeträge liegen im Rahmen der Messgenauigkeit.

Technologie der Leistungsstufe	SiC-MOSFET (Cree)	SiC-JFET (Semisouth)	HEXFET (Int. Rectifier)	CoolMOS (Infineon)
THD <i>in dB</i> für $V_{\text{out,eff}} = 20 \text{ V}$	-51	-54	-40	-28
eff. Totzeit <i>in ns</i> für $V_{\text{out,eff}} = 20 \text{ V}$	14	21	65	200
zeitl. Fehler im Tastverhältnis ΔT_{eff} <i>in %</i>	0,56	0,84	2,6	8
Differenz d. Ausgangsamplitude ΔV_{out} <i>in V</i>	0,56	0,84	2,6	8

Tab. 6.2: Zeitfehler des PWM-Signals und THD des Ausgangssignals für 20 $V_{\text{out,eff}}$.

5 dB unter der MOSFET-Kurve. Bei dieser Ausgangsspannung steigt die MOSFET-Kurve aufgrund der effektiven Totzeit wieder an (wie zuvor beschrieben), während die JFET-Kurve abfällt. Der THD verbessert sich stetig bis ca. 20 V_{eff} . Eine Messung der Flankenmodulation ergibt, dass die effektive Totzeit der MOSFET-Schaltstufe in etwa doppelt so hoch ist (JFET: 4,6 ns / MOSFET: 9,8 ns). Daraus lässt sich schlussfolgern, dass der schlechtere THD der JFET-Endstufe nicht auf die effektive Totzeit zurückzuführen ist.

Eine Verbesserung des THDs im Bereich mittlerer Aussteuerungen ist atypisch. Bei allen andere Endstufen ist trotz unterschiedlicher Ausprägungen der typische *badewannenförmige* Kurvenverlauf einer THD+N Kurve erkennbar. Legt man den klassischen Kurvenverlauf auch bei dem SiC-JFET zu Grunde, so müsste die THD+N-Kurve im Bereich zwischen 5 V und 20 V deutlich unter -55 dB liegen. Somit würde die Kurve wie bei den hohen Aussteuerungen auch hier den besten THD aufweisen. Die Anhebung des THDs im *Bodenbereich* wirkt optisch, als wäre die THD-Kurve in diesem Abschnitt ‚nach oben geklappt‘.

Die Betrachtung der Flankenmodulation liefert nicht die Ursache für diese Besonderheit. Auch die Untersuchung des Schaltverhaltens bei der entsprechenden Aussteuerung gibt hier keinen Aufschluss. Die Schaltcharakteristik ist ähnlich und aus den Kurvenverläufen gehen keine Unterschiede hervor, mit denen eine derartige Erhöhung des THDs zu begründen wäre.

Die THD-Messungen, bei denen am DSP für alle Halbbrücken die selbe Totzeit eingestellt wurde, zeigen ebenfalls eine Anhebung des THDs im *Bodenbereich*. Während die Rauschgerade sowie die THD-Werte zu höheren Aussteuerungen hin im selben Bereich liegen wie bei der SiC-MOSFET Kurve, existiert im Bereich des Minimums ein Unterschied von über 10 dB zwischen den Kurven (vergl. Abb. 6.2). Dass die Anhebung des THDs bei beiden THD-Messungen auftritt, weist auf ein spezifisches Merkmal bezüglich des JFETs oder dessen Ansteuerschaltung hin.

Eine Messung des Klirrspektrums bei 7 V zeigt, dass bei der SiC-JFET-Endstufe Klirrkomponenten bis zur 15. Oberwelle (k15) auftreten, während im Spektrum der

SiC-MOSFET-Endstufe nur die ersten beiden Oberwellen (k_1 und k_2) vorhanden sind. Hierdurch erklärt sich der höhere THD bei 7 V, denn der Wert berechnet sich aus der Summe aller Klirrkomponten in Relation zu Grundwelle.

Die Anhebung der höherwertigen Klirrkomponten wird in der Literatur mit Verzerrungen in Verbindung gebracht, die nur einen schmalen Teil der Signal-Periode betreffen [4]. Bei Verstärkern der Klasse AB wird eine solche Anhebung durch Übernahmeverzerrungen verursacht. Die Übernahmeverzerrungen treten als Folge eines nicht korrekt eingestellten Ruhestroms für die Gegentaktendstufe auf. Hierdurch kommt es bei Bipolar-Endstufen zu einer Anhebung der Verstärkung in der Nähe des Nulldurchgangs (gm-doubling durch underbiasing oder overbiasing).

In den Grundlagen bezüglich der Verzerrungen in der Central Region wurde bereits eine gewisse Analogie zu den Übernahmeverzerrungen eines Klasse AB-Verstärkers beschrieben (Kapitel 2.4.7). Die Verstärkung innerhalb der Central Region, also um den Nulldurchgang, ist hier ebenfalls höher als außerhalb. Die Ursache für den erhöhten THD könnten hier Übernahmeverzerrungen sein, die mit der speziellen Cascode-Ansteuerung – als einziger Unterschied zu den anderen Halbbrücken – oder mit einer Charakteristik des JFETs selbst (bspw. Steilheit, technologischer Aufbau, etc..) zusammenhängen. Bezogen auf die THD-Messung mit der optimierten Totzeit, bedeutet dies: Die JFET-Endstufe klirrt im Bereich mittlerer Aussteuerung in Relation zu den übrigen Endstufen stärker. Daher ist hier die Kurve wie oben beschrieben ‚nach oben geklappt‘. Dieser Einfluss scheint ab 7 V stärker abzuklingen als der Einfluss der effektiven Totzeit zunimmt. Der THD sinkt bis der Einfluss der effektiven Totzeit ab ca. 20 V überwiegt.

In mittleren Aussteuerbereich ist es sehr schwierig, den THD auf eine spezifische Ursache zurückzuführen, da hier viele Faktoren einfließen und kein Faktor explizit dominiert. Eine Vertiefung der Ursachenforschung zur Unterstützung dieser Hypothese wäre daher sehr zeitaufwendig und ist bei diesen niedrigen THD-Werten auch nicht notwendig.

6.2 Vergleichsmessung mit identischer DSP-Totzeit

Um den Einfluss der Totzeit zu studieren, wurde zu den THD-Kurven unter optimierter Totzeit eine Vergleichsmessung mit identischer Totzeit durchgeführt. Hierbei wurde am DSP statt der individuell ermittelten Totzeit für alle Halbbrücken die gleiche Totzeit von 120 ns eingestellt. Die Ausnahme bildet die CoolMOS-Halbbrücke, die aus Sicherheitsgründen weiterhin mit 190 ns betrieben wurde. Die unveränderte THD-Kurve der CoolMOS-Endstufe dient im Vergleich mit den vorangegangenen Messungen somit als Referenz. Die nachfolgende Analyse bezieht sich damit nur noch auf die HEXFET- sowie die beiden SiC-Endstufen.

Die THD+N-Messung wurde unter den gleichen Bedingungen durchgeführt wie oben beschrieben und ergibt die in Abbildung 6.2 gezeigten Kurven. Die Messung zeigt eine eklatante Verschlechterung des THD bei allen Endstufen mit vergrößerter DSP-Totzeit. Insbesondere der THD der SiC-Endstufen fällt unerwartet schlecht aus.

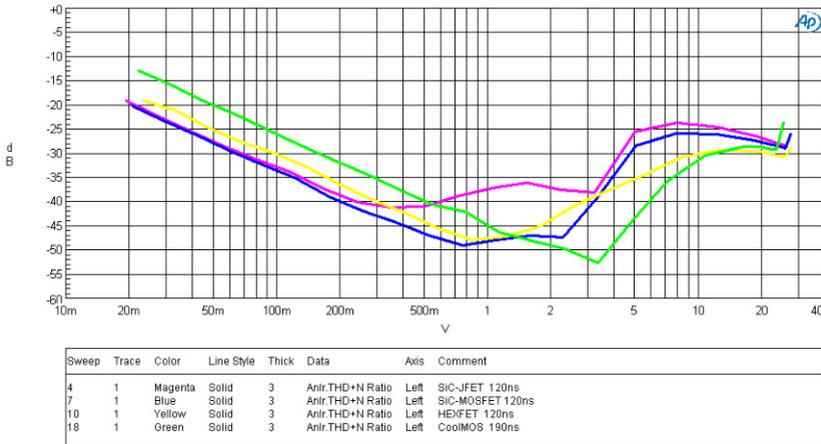


Abb. 6.2: Messung der harmonischen Verzerrungen (THD+N) mit einer DSP-Totzeit von 120ns für alle Endstufen, ausgenommen der CoolMOS-Endstufe. Blau: SiC-MOSFET, Magenta: SiC-JFET, Gelb: HEXFET, Grün: CoolMOS.

6.2.1 Rauschgerade und PWM Central Region

Die Rauschgeraden unter identischer Totzeit liegen nun nicht mehr im selben Wertebereich. Beim Vergleich mit der unveränderten Rauschgerade der CoolMOS-Endstufe wird deutlich, dass die Endstufen mit größerer Totzeit durch das längere resonante Umladen weniger rauschen und damit geringere THD-Werte annehmen.

Außergewöhnlich ist, dass die Rauschgeraden nun nicht mehr bis zum Ende der Central Region ($4 V_{\text{eff}}$), sondern deutlich früher in den *Bodenbereich* übergehen. Dies führt zu der Schlussfolgerung, dass bei nicht optimal eingestellter DSP-Totzeit bereits in der Central Region Verzerrungen entstehen – entgegen der gängigen Theorie aus [3] und [7]. Diese Theorien haben somit nur bei optimal eingestellter Totzeit Gültigkeit. Eine Erklärung liefert die Untersuchung des Schaltverhaltens im Leerlauf und bei niedrigen Aussteuerungen aus Kapitel 5.2.2f. Bei identischer Totzeit werden die unterschiedlichen Transistor-Charakteristika nicht mehr durch harte Schaltvorgänge angeglichen, sondern kommen unmittelbar zum Ausdruck: In der langen Totzeit von 120 ns können die SiC-Transistoren trotz des geringen Rippelstroms den Brückenknoten fast vollständig resonant umladen. Die Spannungsflanken am Brückenknoten werden hierbei jedoch so flach, dass die Umladezeiten der SiC-Halbbrücken die der konventionellen Halbbrücken übersteigen. Die flacheren Flanken lassen den Fehler in den Spannungs-Zeitflächen gegenüber den steileren Flanken unter optimierter Totzeit ansteigen. Zudem führt die längere DSP-Totzeit zu einer größeren effektiven Totzeit, da sich die Flankenmodulation durch die Verschiebung der Nulllinie verbreitert (siehe Kapitel 2.4.4 *Flankenmodulation* und 5.2.2f). Der zeitliche Fehler im PWM-Signal wächst und die effektive Totzeit nimmt bereits weit vor dem Ende der PWM Central Region einen dominanten Einfluss auf den Kurvenverlauf.

6.2.2 Mittlere und hohe Aussteuerungen

Im Bereich mittlerer und hoher Aussteuerung ist der THD der SiC-Endstufen ca. 25 dB bis 30 dB schlechter als unter optimaler Totzeit. Bei $12 V_{\text{eff}}$ zeigt die HEXFET-Endstufe einen um 15 dB schlechteren THD. Bemerkenswert ist, dass beide SiC-Endstufen etwa nach dem Verlassen der Central Region ($3 V$) einen schlechteren THD zeigen als die konventionellen Endstufen. Zu hohen Aussteuerungen relativieren sich die Unterschiede im THD. Bei etwa 20 V liegen alle Kurven in etwa im selben Wertebereich, da die effektive Totzeit und die Umladezeiten im gleichen Bereich liegen. Im Gegensatz zur Central Region liegen die Anstiegs- und Abfallzeiten ab $20 V_{\text{eff}}$ bei allen Endstufen wieder im gleichen Bereich, da hier die Brückenspannung maßgeblich durch den Kommutierungsvorgang bzw. das Einschalten unter großem Laststrom bestimmt wird.

6.2.3 Schlussfolgerungen

Zu den wichtigsten Erkenntnissen der Vergleichsmessung gehört, dass die in der Literatur-Quellen [3] und [7] beschriebene Theorie für diese Untersuchungen nicht uneingeschränkt Gültigkeit besitzt. Wird die Totzeit am DSP zu lang eingestellt, so fällt die Rauschgerade nicht mehr vollständig in den Bereich der Central Region. Im Umkehrschluss bedeutet dies, dass die Central Region nur dann frei von harmonischen Verzerrungen ist, wenn die Totzeit am DSP optimal eingestellt wurde. Eine zu lang eingestellte DSP-Totzeit verschlechtert, insbesondere im Falle von Siliziumkarbid, die Audioqualität maßgeblich.

Weiterhin unterstützt die Vergleichsmessung die zuvor beschriebene Hypothese der ‚nach oben geklappten‘ JFET-Kurve. Betrachtet man die Kurven der beiden SiC-Endstufen, so fällt auf, dass die SiC-JFET Endstufe auch in dieser Messung eine starke Anhebung im *Bodenbereich* von über 10 dB aufweist. Der THD bei niedrigen und hohen Aussteuerungen unterscheidet sich hingegen nur geringfügig. Im Bereich des Plateaus vor dem erneuten Kurvenanstieg durch Übersteuerung klirrt der JFET stärker als der MOSFET, was jedoch nicht auf die effektive Totzeit zurückzuführen ist. Der THD der JFET-Endstufe wird durch einen anderen Effekt angehoben bevor der Einfluss der Totzeit wirksam wird.

Eine weitere wichtige Erkenntnis ist, dass äußere Parameter zur Ansteuerung der Leistungsstufe, wie beispielsweise die am DSP eingestellte Totzeit, die Entstehung der harmonischen Verzerrungen stärker beeinflussen als die eingesetzte Transistortechnologie. Betrachtet man abschließend alle vier THD-Kurven in Abb. 6.2, so zeigt die CoolMOS-Kurve beinahe über den gesamten Aussteuerbereich den besten THD, was der Analyse unter 6.1 widerspricht. Hier zeigt sich, dass eine optimal eingestellte DSP-Totzeit für einen aussagekräftigen Vergleich der eingesetzten Halbleitertechnologie essentiell ist. Nur wenn die DSP-Totzeit für jede Schaltstufe individuell und nach den selben Kriterien angepasst wird, können die gemessenen harmonischen Verzerrungen mit der eingesetzten Halbleitertechnologie in Verbindung gebracht werden und werden nicht durch andere Effekte überdeckt.

6.3 Einfluss der Transistor-Charakteristika auf die Audioqualität

Die Analyse der harmonischen Verzerrungen zeigt, dass sich die Audioqualität der Endstufen durch spezifische Eigenschaften der SiC-Transistoren vom Grunde her verbessert. Die harmonischen Verzerrungen der SiC-Endstufen bleiben bis zur Übersteuerung (ca. $25 V_{\text{eff}}$) knapp unter -50 dB. Die THD-Änderung vom Ende der Central Region bis zur Übersteuerung beträgt hier lediglich 5 dB bzw. 7 dB. Bei den konventionellen Endstufen steigt die THD-Kurve bereits bei mittleren Aussteuerungen signifikant an. Für eine effektive Ausgangsspannung von 20 V ist der THD der HEXFET-Endstufe etwa 15 dB schlechter, der THD der CoolMOS-Endstufe über 25 dB schlechter im Vergleich zur SiC-JFET-Endstufe.

Die vorangegangenen Untersuchungen zeigen bei mittleren und hohen Aussteuerungen eine direkte Abhängigkeit von der effektiven Totzeit der jeweiligen Halbbrücke. Je größer die effektive Totzeit, desto früher dominiert der Einfluss auf die harmonischen Verzerrungen. Somit erklärt sich der frühe THD-Anstieg bei den konventionellen Endstufen durch den schnellen Zuwachs der effektive Totzeit der Halbbrücken⁵. Bei den SiC-Transistoren hingegen steigt die effektive Totzeit bis zur Vollaussteuerung nur geringfügig an. Die Ursache für den geringeren Zuwachs liegt hier in den folgenden Transistor-Charakteristika begründet:

1. geringere Laststromabhängigkeit des Ein- und Abschaltvorgangs
2. geringere Abschaltverzögerung infolge steilerer Gate-Source-Spannungsverläufe
3. geringere Einschaltverzögerung durch verminderten Einfluss des Reverse Recovery Verhaltens auf den Einschaltvorgang.

Eine Abschätzung ergibt, dass der zeitliche Fehler durch die effektive Totzeit im Tastverhältnis bei $20 V_{\text{eff}}$ effektiver Ausgangsspannung für den SiC-JFET lediglich 0,84% beträgt und die Amplituden-Änderung des Ausgangssignals hierbei unter einem Volt bleibt. Bei der HEXFET-Endstufe beträgt der zeitliche Fehler 2,6%, bei der CoolMOS-Endstufe sogar 8%. Die Amplitude des Ausgangsspannung wird dadurch um 2,6 V bzw. 8 V herabgesetzt. Der Unterschied in den harmonischen Verzerrungen verglichen mit dem SiC-JFET beläuft sich auf 15 dB⁶ bzw. 25 dB⁷. Die Differenz zwischen SiC-JFET und SiC-MOSFET beträgt ca. 5 dB.

Die gängige Annahme, dass die harmonischen Verzerrungen infolge steilerer Spannungsflanken (geringerer Umladezeiten) der SiC-Transistoren geringer sein könnte, bestätigt sich nicht als Ursache, denn durch die optimale DSP-Totzeit gleichen sich die Umladezeiten weitestgehend an (vgl. Kapitel 5.5). Der hierdurch eingebrachte zeitliche Fehler im Tastverhältnis ist gegenüber dem durch die effektive Totzeit verursachten Fehler vernachlässigbar.

⁵eff. Totzeit unter Vollausstg vgl. Kapitel 5.3.4: SiC-MOSFET: 27 ns; SiC-JFET: 18 ns; HEXFET 93 ns; CoolMOS: 210 ns

⁶im Vergleich zum HEXFET

⁷im Vergleich zum CoolMOS

Eine wichtige Erkenntnis der vorangegangenen Untersuchungen ist, dass der Einfluss der Transistor-Charakteristika nur unter optimaler DSP-Totzeit aussagekräftig verglichen werden kann. Eine Vergleichsmessung des THD+N unter identischer DSP-Totzeit zeigt, dass eine einheitlich auf 120 ns eingestellte Totzeit insbesondere die THD-Werte der SiC-Endstufen verschlechtert und somit völlig falsche Rückschlüsse zulässt (vgl. Kapitel 6.2.3).

Bemerkenswert ist auch, dass die etablierte Theorie aus [3] und [7] bei diesen Untersuchungen nur unter optimaler Totzeit uneingeschränkt Gültigkeit hat. Wird die DSP-Totzeit zu lang gewählt, steigt die effektive Totzeit an, so dass die Schaltstufe bereits in der PWM Central Region harmonische Verzerrungen verursacht. Hier wird auch deutlich, dass ein spannungsloses Einschalten, wie es in der Literatur erwähnt wird, trotz der vielfach kürzeren resonanten Umladezeit in Siliziumkarbid nicht praktikabel ist.

Zusammenfassend lässt sich feststellen, dass die harmonischen Verzerrungen der Endstufe durch den Einsatz von Siliziumkarbid *ursächlich* reduziert werden. Die Auswirkung der SiC-Halbleiter auf Leistung und Wirkungsgrad werden im nächsten Kapitel untersucht.

Kapitel 7

Leistung und Wirkungsgrad

Leistung und Wirkungsgrad sind neben der Audioqualität das wichtigste Verkaufsargument eines Klasse-D-Audioverstärkers. Leistungsstärkere Einzelgeräte können die Komplexität und das Volumen einer Beschallungsanlage verringern. Bei gleicher Ausgangsleistung wirkt sich eine Verringerung der Verlustleistung u.a. auf die Größe von Kühlkörper und Ausgangsfilter aus. Eine Reduktion dieser Komponenten macht den einzelnen Verstärker kleiner, leichter und ggf. preisgünstiger.

7.1 Wirkungsgrad

Leistung und Wirkungsgrad der Endstufen werden mit dem Leistungsanalysator *LMG500* der Firma *ZES ZIMMER Electronic Systems* gemessen. Das Messgerät wird eingangsseitig zwischen den externen Netzteilen und der Klasse-D-Endstufe angeschlossen, um die aus den Netzteilen aufgenommene Leistung zu messen. Ausgangsseitig erfolgt der Anschluss hinter dem Tiefpassfilter am Ausgang der Endstufe, so dass die abgegebene Leistung stellvertretend für den Lautsprecher über der ohmschen Last gemessen wird.

Der *LMG500* verfügt über eine Bandbreite von 10 MHz und ist speziell für schaltende Anwendungen ausgelegt. Die Leistung wird auf Basis der gemessenen Augenblickswerte von Strom und Spannung berechnet, wobei die Werte für jeden Messkanal mit 3 MSamples/s aufgenommen und über einen frei definierbaren Zeitraum gemittelt werden. Um einen korrekten Messwert zu erhalten, muss dieser Zeitraum ein ganzzahliges Vielfaches der Eingangssignal-Periode betragen. Mit dem gewählten Zeitraum von 1 s, dem Eingangssignals von 1 kHz und der Schaltfrequenz von 400 kHz wird das Mittel über genau 1000 Schwingungen gebildet. Der Wirkungsgrad wird aus dem Quotienten von gemessener Ausgangs- und Eingangsleistung gebildet.

Zur Ermittlung der Wirkungsgradkurve über die Ausgangsspannung wird die Leistung vom Leerlauf bis zur Vollaussteuerung gemessen. Hierfür wird die Signalamplitude am Eingang manuell mittels DSP schrittweise verringert, wobei jede Aussteuerung eine Messung darstellt. Die Signalamplitude am Eingang ergibt sich aus der Modulationstiefe, welche manuell über die GUI-Schnittstelle zum DSP in 2er-Schritten verringert wird: $m = 1; 0,97; 0,95; [...] 0,05; 0,03; 0$. Für die Totzeit wurde am DSP die nach *Methode 1* bestimmten Werte eingestellt, wonach die konventionellen Endstufen eine einheitliche Totzeit von 120 ns erhalten. (vgl. Kapitel 4.2.4).

Die *Methode 2* zur Bestimmung der *optimalen* Totzeit wurde erst nach Durchführung der Leistungsmessungen entwickelt. Die DSP-Totzeit der SiC-Endstufen ist in beiden Methoden identisch. Da der Leistungsanalysator *LMG500* als Leihgerät für einen begrenzten Zeitraum zur Verfügung stand, konnten keine Vergleichsmessungen unter optimaler Totzeit stattfinden. Wie in Kapitel 5 erörtert, wirkt sich die DSP-Totzeit jedoch lediglich im Leerlauf und bei geringer Aussteuerung auf Umladezeiten und Schaltverzögerungen aus. In Abschnitt 7.4 wird eine Tendenz zur Änderung des Wirkungsgrades basierend auf einer Betrachtung der Verlustleistung unter optimaler DSP-Totzeit abgeleitet.

Messergebnis

Abbildung 7.1 zeigt den Wirkungsgrad über die Ausgangsleistung aller Endstufen im Vergleich. Die Kurvenschar weist den für einen Klasse-D-Verstärker typischen Verlauf auf [4]. Der Wirkungsgrad nimmt bei allen Endstufen bei niedrigen Aussteuerungen stark zu und verläuft zu höheren Aussteuerungen hin asymptotisch.

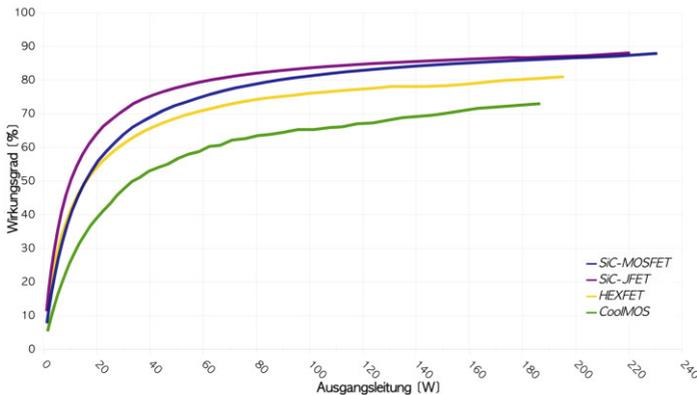


Abb. 7.1: Wirkungsgrad der Endstufen über Ausgangsleistung im Vergleich.

Bei einer Ausgangsleistung von 180 W erreichen die SiC-Endstufen einen Wirkungsgrad von 88%, die HEXFET-Endstufe liegt mit 80% darunter, die CoolMOS-Endstufe zeigt mit knapp 73% den geringsten Wirkungsgrad. Ab einer Ausgangsleistung von 20 W liegt der Wirkungsgrad der SiC-Endstufen generell über dem der konventionellen Endstufen. Darunter arbeiten SiC-MOSFET-Endstufe und HEXFET-Endstufe vergleichbar effizient. Die SiC-Endstufen unterscheiden sich mit steigender Aussteuerung immer weniger in ihrem Wirkungsgrad, bei niedrigeren Ausgangsleistungen bis ca. 160 W ist die SiC-JFET-Endstufe effizienter. Die CoolMOS-Endstufe zeigt über den gesamten Aussteuerbereich den schlechtesten Wirkungsgrad und erreicht unter Vollaussteuerung einen Wirkungsgrad von 75%.

Die unterschiedliche Länge der Wirkungsgradkurven weist darauf hin, dass die Endstufen unter Vollasssteuerung verschieden hohe Ausgangsleistungen erzeugen. Die höchste Ausgangsleistung erzielt die SiC-MOSFET-Endstufe mit 215 W, die SiC-JFET-Endstufe liegt mit 203 W knapp darunter. Die Ausgangsleistung der HEXFET-Endstufe ist mit 180 W um ca. 10% geringer. Die geringste Ausgangsleistung weist die CoolMOS-Endstufe mit 171 W auf. Die Leistungsdifferenz zwischen den SiC-Endstufen beträgt, ebenso wie die Leistungsdifferenz zwischen den konventionellen Endstufen, in etwa 10 W.

7.2 Analyse der Verlustleistung

Für die Analyse der Verlustleistung muss zwischen den Verlusten in einem Schaltzyklus und den gesamten Verlusten in einer Periode des Ausgangssignals differenziert werden. Die Verluste in einer Signalperiode setzen sich aus den Verlusten der einzelnen Schaltzyklen zusammen und sind grundsätzlich von der Aussteuerung des Verstärkers abhängig. Die Verluste in einem Schaltzyklus werden durch die Charakteristika des eingesetzten Halbleiters bestimmt, welche Einfluss auf das Schalt- und Durchlassverhalten des Transistors nehmen. Die in einem Schaltzyklus entstehende Verlustleistung ändert sich während einer Signalperiode mit dem Laststrom, da sowohl Schalt- als auch Durchlassverluste des Transistors vom Laststrom abhängen. Wie in Kapitel 2.5 bereits erörtert, ist eine Aussage zu den gesamten Verlusten infolge der nichtlinearen Schaltcharakteristika eines Transistors und den Abhängigkeiten von diversen Halbleiterparametern nicht trivial. Um die aussteuerungsabhängigen Verluste qualitativ zu analysieren, wird die Verlustleistung unter verschiedenen Aussteuerungen jeweils in dem Schaltzyklus auf dem Scheitelwert betrachtet. Hierfür werden Messungen eines Schaltzyklus im Leerlauf, bei einem Laststrom von $\hat{I}_L = 7 \text{ A}$ und $\hat{I}_L = 9 \text{ A}$ sowie unter Vollasssteuerung durchgeführt. Die Schalt- und Durchlassverluste werden nachfolgend anhand der Verlustenergien analysiert und in Abbildung 7.2 gegenübergestellt.

Schaltverluste

Die Schaltverluste werden durch Messung von Strom und Spannung am Transistor bestimmt, wobei die in Kapitel 5 beschriebenen Messinstrumente verwendet wurden. Alle Messungen sind im Anhang unter D nach dem bewährten Schema abgebildet. Der Drain-Strom, aufgenommen mit der Rogowski-Spule am Drain-Anschluss des High-Side Transistors, ist auf Kanal 4 in grün und die Drain-Source-Spannung auf Kanal 3 in blau dargestellt. Die Verlustleistungskurve ergibt sich gemäß Formel 2.17 aus der Multiplikation dieser beiden Kanäle über die Mathematik-Funktion des Oszilloskops und wird auf Kanal F5 in orange ausgegeben. Die Laufzeitunterschiede der Rogowski-Spule und der Tastköpfe wurden zuvor ermittelt und über die *deskewing*-Funktion des Oszilloskops heraus gerechnet.

Aus den Oszillogrammen im Anhang D.1 ist ersichtlich, dass die Verlustleistungskurve $F5$ für jede Endstufe individuell verläuft und die Einschaltverluste in der Regel dominieren. Die Einschaltverluste werden vorwiegend vom Kurvenverlauf und Spitzenwert des Einschaltstroms (vgl. Kurve $Z4$) bestimmt, da die Flankensteilheit der Drain-Source-Spannung bei allen Endstufen ähnlich ist (vgl. Kapitel 5). Beim Einschalten wirkt sich das verschiedenartige Reverse-Recovery-Verhalten der Body-Diode auf den Drainstrom aus, wobei der Spitzenwert durch den Diodenrückstrom bestimmt wird.

Im Leerlauf sind die maximalen Einschaltverluste in einem Schaltzyklus aufgrund des geringen Diodenrückstroms vergleichsweise niedrig (vgl. Maxima der Kurve $F5$). In der Aufnahme der CoolMOS-Endstufe weisen die nadelförmigen Verläufe der Verlustleistungskurve unter beiden Schaltflanken auf die zu kurz gewählte Totzeit hin.

Mit zunehmender Aussteuerung steigen die maximalen Einschaltverluste der konventionellen Endstufen im Vergleich zu den SiC-Endstufen überproportional an (vgl. Abb. unter D.2). Der Spitzenwert des Einschaltstroms, welcher die Verlustleistung entscheidend beeinflusst, wächst infolge des nichtlinearen Diodenrückstroms bei den konventionellen Endstufen stark an (vgl. Kapitel 5). Bei den SiC-Transistoren ist der Diodenrückstrom über die Aussteuerung konstant, weswegen die Schaltverluste hier deutlich weniger ansteigen. Für einen Laststrom von 7 A sind maximale Einschaltverluste der HEXFET-Endstufe mehr als doppelt so groß wie die der SiC-MOSFET-Endstufe. In den Tabellen 7.1 und 7.2 sind die wesentlichen Größen des Schaltverhaltens im Kontext mit den Schaltverluste zusammengefasst. Um den Vergleich anhand diskreter Werte zu konkretisieren, werden im Folgenden die Schaltenergien in den entsprechenden Zyklen betrachtet.

Schaltenergie

Die Einschaltenergie ergibt sich nach Formel 2.18 aus der Integration der Verlustleistung und entspricht damit der Fläche unterhalb der Verlustleistungskurve $F5$. Für einen qualitativen Vergleich ist eine dreieckförmige Näherung adäquat. Die Einschaltenergie berechnet sich damit als Fläche des Dreiecks mit der Basis Δt_P und Höhe \hat{P}_{on} zu:

$$E_{on} = \frac{1}{2} \Delta t_P \cdot \hat{P}_{on} \quad (7.1)$$

Die Werte für Basis Δt_E und Höhe \hat{P}_{on} wurden mithilfe der Positionsmarker aus den Messungen der jeweiligen Endstufe herausgelesen. Hierbei wurde, falls erforderlich, auf eine korrekte Interpolation der Schenkel des Dreiecks zur Basis geachtet. Die diskreten Werte sind in den Tabellen 7.1 und 7.2 gelistet. Abbildung 7.2 stellt die Werte graphisch dar und veranschaulicht die Entwicklung der Schaltenergie über die Aussteuerung der Endstufe.

Im Leerlauf unterscheiden sich, in Analogie zu den Schaltverlusten, die Schaltenergien mit Ausnahme der CoolMOS-Endstufe nur wenig. Mit steigender Aussteuerung vergrößert sich der Unterschied zwischen den SiC- und den konventionellen Endstufen

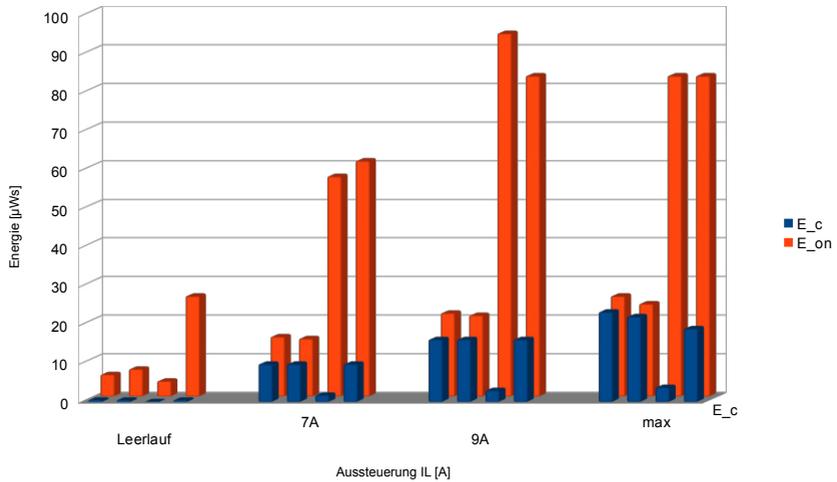


Abb. 7.2: Gegenüberstellung der Schalt- und Durchlassenergie in einem Zyklus für verschiedene Aussteuerungen.

zunehmend. Der überproportionale Anstieg der Schaltenergie bei den konventionellen Endstufen wird durch Abbildung 7.2 (rot) dargestellt.

Ein Vergleich der diskreten Werte bei $I_L=10$ A ergibt, dass die Schaltenergie der SiC-Endstufen im Aussteuerungsfall um das 4-fache niedriger ist. Unter Vollaussteuerung beträgt die Schaltenergie der SiC-Endstufen mit durchschnittlich 25 Ws weniger als 1/3 der Energie der konventionellen Endstufen (83 Ws). Hier muss jedoch beachtet werden, dass unter Vollaussteuerung infolge der unterschiedlichen Ausgangsspannungen verschieden hohe Lastströme fließen. Im Gegensatz zu den übrigen Endstufe benötigt die HEXFET-Endstufe nicht auf dem Scheitel, sondern bei einem Laststrom von etwa 9 A die höchste Schaltenergie. Die Ursache hierfür liegt im nichtlinearen Verhalten des Diodenrückstroms, welches in Kapitel 5.3.1 beschrieben wurde.

Durchlassenergie

Für eine Gegenüberstellung der veränderlichen Schalt- und Durchlassenergien in einem Zyklus werden nachfolgend die Durchlassverluste qualitativ bestimmt. Die Durchlassverluste werden anhand des gemessenen Laststroms und dem im Datenblatt spezifizierten Durchgangswiderstand ermittelt, wobei die temperaturabhängige Änderung des Durchgangswiderstands nicht in die Berechnung mit eingeht.

gleiche Aussteuerung, $I_L=7$ A	SiC-MOSFET (Cree)	SiC-JFET (Semisouth)	HEXFET (Int. Rectifier)	CoolMOS (Infineon)
DSP-Totzeit <i>in ns</i>	35	35	120	120
Anstiegszeit $t_{rise(7A)}$ <i>in ns</i>	20	24	24	24
Spitzenwert Einschaltstrom $\hat{I}_{D(7A)}$ <i>in A</i>	18	18	31	34
Diodenrückstrom $I_{rr(7A)}$ <i>in ns</i>	11	11	24	27
Spitzenwert Einschaltverluste $\hat{P}_{on(7A)}$ <i>in W</i>	840	718	1850	2220
Durchlassverluste $P_c(7A)$ <i>in W</i>	4	4	0,7	4
Einschaltenergie $E_{on(7A)}$ <i>in μJ</i>	15,5	15	57	61
Durchlassenergie $E_c(7A)$ <i>in μJ</i>	9,8	9,8	1,8	9,8

Tab. 7.1: Gegenüberstellung der wesentlichen Größen zum Vergleich der Verlustleistung bei $I_L=7$ A.

Die Durchlassenergie E_c in einem Schaltzyklus berechnet sich gemäß Formel 2.15 aus den Durchlassverlusten durch Division mit der Schaltfrequenz. Die Totzeit der Halbbrücke wird hierbei vernachlässigt. Stattdessen wird davon ausgegangen, dass während des gesamten Schaltzyklus ständig einer der beiden Transistoren leitet. In Anbetracht der übrigen Vereinfachungen würde die Einbeziehung der Totzeit die Genauigkeit des Rechenwertes nur unmerklich steigern. Die Tabellen 7.1 und 7.2 listen die ermittelten Werte für die verschiedenen Aussteuerungen.

Abbildung 7.2 stellt die Schalt- und Durchlassenergien im Zyklus auf dem Scheitelwert der Ausgangsspannung für die verschiedenen Aussteuerungen gegenüber. Die Abhängigkeit der Durchlassenergie vom Laststrom ist gut erkennbar. Die Durchlassenergie der HEXFET-Endstufe beträgt infolge des niedrigen Durchgangswiderstandes nur 1/5 der übrigen Endstufen. Die Diskrepanz zur Schaltenergie ist hier besonders auffällig (Faktor 31 für $I_L = 9$ A).

Bemerkenswert ist, dass die Schalt- und Durchlassenergie bei den SiC-Endstufen in der selben Größenordnung liegen. Das Verhältnis zwischen Schalt- und Durchlassenergie bleibt auch bei zunehmender Aussteuerung ausgewogen. Im Gegensatz dazu steigt die Schaltenergie der konventionellen Endstufen im Vergleich zur Durchlassenergie viel stärker an. Wie zuvor eingehend diskutiert, steht dies im Zusammenhang mit dem Reverse-Recovery-Vorgang der Body-Diode.

Maximalwerte in einer vollständigen Sinus-Periode bei Laststrom I_L :	SiC-MOSFET (Cree)	SiC-JFET (Semisouth)	HEXFET (Int. Rectifier)	CoolMOS (Infineon)
DSP-Totzeit in ns	35	35	120	120
Spitzenwert Einschaltstrom $\hat{I}_{D(\max)}$ in A	21 (10,8 A)	21 (10,5 A)	40,6 (9 A)	39 (9,75 A)
Diodenrückstrom $I_{rr(\max)}$ in A	10,2	10,5	31,6	29,25
Spitzenwert Einschaltverluste $\hat{P}_{on(\max)}$ in kW	1,22	0,97	2,55	2,66
Durchlassverluste $P_{c(\max)}$ in W	9,3	8,8	1,5	7,6
Einschaltenergie $E_{on(\max)}$ in μJ	26	24	94 (9A)	83
Durchlassenergie $E_{c(\max)}$ in μJ	23	22	4 (9A)	19

Tab. 7.2: Gegenüberstellung der wesentlichen Größen zum Vergleich der maximalen Verlustleistung bei entsprechendem Laststrom I_L .

7.3 Schlussfolgerung bezüglich Ausgangsleistung und Wirkungsgrad

Die maximale Ausgangsleistung unter Vollaussteuerung liegt bei den SiC-Endstufen ca. 20% höher im Vergleich zu den konventionellen Endstufen. Neben der höheren Effizienz steht dies auch in Zusammenhang mit der um die Hälfte (HEXFET) bzw. Faktor 5 (CoolMOS) verringerten DSP-Totzeit. Infolge der kürzeren DSP-Totzeit verlängert sich die Leitphase der Transistoren, wodurch sich wiederum die Spannungs-Zeit-Fläche für das Ausgangssignal erhöht (vgl. Kapitel 6.1). Mit der höheren Ausgangsspannung steigt auch die Leistung der Endstufe.

Der Wirkungsgrad der SiC-Endstufen übersteigt mit zunehmender Aussteuerung deutlich den der konventionellen Endstufen. Unter Vollaussteuerung liegen die Werte etwa 8%-Punkte über den HEXFET-Daten und 15%-Punkte über den CoolMOS-Daten. Die Effizienz der konventionellen Endstufen wird bei zunehmender Aussteuerung durch die stark ansteigenden Schaltverlusten herabgesetzt. Ursache ist hier eine überproportionale Zunahme des Einschaltstroms infolge des wachsenden Diodenrückstroms. Bei den SiC-Endstufen ist der Anstieg der Schaltverluste wesentlich geringer, da der Diodenrückstrom in Siliziumkarbid über den gesamten Aussteuerungsbereich konstant ist. Die Schaltverluste hängen hier lediglich vom wachsenden Laststrom ab. Besonders markant ist der Einfluss der Schaltverluste bei der HEXFET-Endstufe, deren Transistoren üblicherweise in kommerziellen Audioverstärkern eingesetzt wer-

den. Bei niedrigen Ausgangsleistungen bis etwa 15 W ist der Wirkungsgrad mit dem der SiC-MOSFET-Endstufe vergleichbar, da die Schaltverluste des HEXFETs in diesem Aussteuerungsbereich noch verhältnismäßig niedrig sind. In Kombination mit den außerordentlich niedrigen Durchlassverlusten unterschreiten die Gesamtverluste die des SiC-MOSFETs. Mit steigender Aussteuerung wird jedoch die SiC-MOSFET-Endstufe wegen des geringeren Anstiegs der Schaltverluste zunehmend effizienter. Im Vergleich zur CoolMOS-Endstufe ist der Wirkungsgrad der HEXFET-Endstufe wegen der geringeren Durchlassverluste über den gesamten Aussteuerbereich höher. Die gemessenen Schaltenergien liegen zwar in der selben Größenordnung, die Durchlassenergie ist jedoch infolge des 5-fach niedrigeren Durchgangswiderstandes erheblich kleiner.

7.4 Tendenz für Messergebnisse mit optimaler Totzeit

Eine Messung des Wirkungsgrades mit der optimal eingestellten DSP-Totzeit von 70 ns bzw. 190 ns würde gegenüber der Messung aus Abbildung 7.1 mit 120 ns etwas andere Ergebnisse liefern. Im Folgenden wird eine Tendenz bezüglich der Änderung des Wirkungsgrades gegeben, da der Leistungsanalysator *LMG500* für eine erneute Messung nicht zur Verfügung stand. Hierfür werden die aussteuerungsabhängigen Verluste unter optimaler Totzeit gemäß der Vorgehensweise aus Abschnitt 7.2 gemessen. Die Tendenz wird basierend auf den Einschaltenergien für beide konventionelle Endstufen abgeleitet. Abbildung 7.3 sowie 7.4 stellen die Einschaltenergien unter optimaler Totzeit im Vergleich zur eingestellten Totzeit dar.

HEXFET-Endstufe

Schaltverlust-Messungen mit der kürzern DSP-Totzeit zeigen eine reduzierte Energieaufnahme beim Einschalten im Aussteuerungsfall, wie in Abbildung 7.3 dargestellt. Infolge der gesunkenen Schaltverlusten wird sich die Verlustleistung im Gesamten verringern.

Desweiteren führt eine Verkürzung der DSP-Totzeit zu größeren Spannungs-Zeit-Flächen des verstärkten PWM-Signals. Hierdurch steigt der Mittelwert in einem Schaltzyklus leicht an und ergibt nach Demodulation eine etwas höhere Ausgangsspannung. Aufgrund der gestiegenen Ausgangsleistung und der reduzierten Verluste wird sich der Wirkungsgrad der HEXFET-Endstufe insgesamt leicht verbessern.

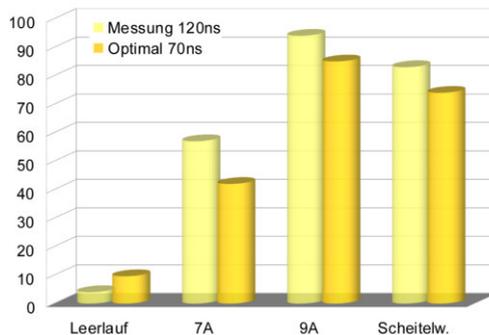


Abb. 7.3: Schaltenergie der HEXFET-Endstufe bei verkürzter Totzeit.

CoolMOS-Endstufe

Die Erhöhung der DSP-Totzeit führt hier zu einer leicht gestiegenen Einschaltenergie, wobei sich der Effekt zu hohen Aussteuerungen hin relativiert (siehe Abb. 7.4). Die Spannungs-Zeit-Flächen verringern sich etwas, sodass es theoretisch zu einer leicht niedrigeren Ausgangsspannung kommt. Dem gegenüber steht jedoch, dass die Energieaufnahme im Leerlauf um knapp die Hälfte sinkt. Wie bereits in Kapitel 4.2.4 erwähnt, sind die Leerlaufverluste bei einer Totzeit von 120 ns im Vergleich zu den übrigen Endstufe doppelt so hoch. Auch unter Volllaussteuerung ist die aufgenommene Energie der CoolMOS-Endstufe vermutlich aufgrund eines kurzzeitigen Querstroms höher als bei den übrigen Endstufen. Durch die Vergrößerung der Totzeit wird das resonante Teilstück der Brückenspannung verlängert und der kurzzeitige Querstrom während der Umladephase reduziert. Dementsprechend wird die hierdurch erzeugte Verlustleistung der CoolMOS-Endstufe im Gesamten sinken. In den durchgeführten Messungen mit der längeren Totzeit war zu beobachten, dass die Wärmeentwicklung während des Dauerbetriebs signifikant zurück gegangen ist.

Meiner Einschätzung nach hat die durch den Querstrom erzeugte Verlustleistung einen größeren Einfluss auf die Gesamt-Energiebilanz der CoolMOS-Endstufe als der leichte Anstieg der Einschaltenergie oder der geringfügig gesunkene Spannungs-Zeit-Flächen, so dass sich der Wirkungsgrad der CoolMOS-Endstufe ebenfalls leicht verbessern wird.

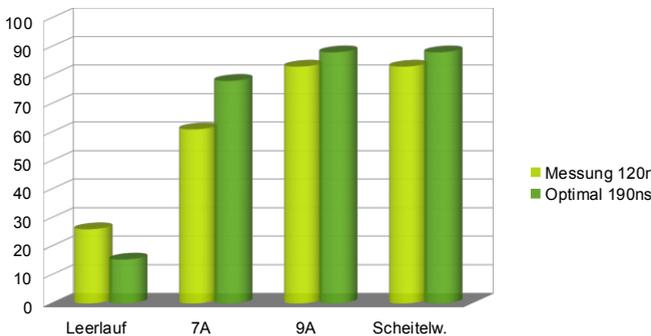


Abb. 7.4: Schaltenergie der CoolMOS-Endstufe bei verlängerter Totzeit.

7.5 Einfluss der Transistor-Charakteristika auf Leistung und Wirkungsgrad

Leistung und Wirkungsgrad des D-Verstärkers verbessern sich aufgrund bestimmter Charakteristika von Siliziumkarbid. Die maximale Ausgangsleistung unter Vollaussteuerung liegt bei den SiC-Endstufen ca. 20% höher im Vergleich zu den konventionellen Endstufen. Die höchste Ausgangsleistung erzeugt die SiC-MOSFET-Endstufe mit 215 W, die niedrigste die CoolMOS-Endstufe mit 171 W. Der Wirkungsgrad der SiC-Endstufen liegt unter Vollaussteuerung etwa bei 88%, darunter liegt die HEXFET-Endstufe mit 80% und die CoolMOS-Endstufe mit 73%. Damit reduziert sich die Verlustleistung der SiC-Endstufen um 40% gegenüber der HEXFET-Endstufe und um 55% gegenüber der CoolMOS-Endstufe.

Die vorangegangenen Untersuchungen zeigen eine geringere Entstehung von Verlustleistung durch das bessere Reverse-Recovery-Verhalten der SiC-Halbleiter. Schalt- und Durchlassverluste wurden hierfür anhand der Schaltenergie in einem PWM-Schaltzyklus unter verschiedenen Aussteuerungen analysiert. Die Analyse zeigt, dass die Schaltenergie vorwiegend durch die Höhe der Einschaltstromspitze bestimmt ist, da die Flankensteilheit der Drain-Source-Spannung bei allen Endstufen in etwa vergleichbar ist. Die Einschaltstromspitze wächst bei den SiC-Endstufen proportional zum Laststrom, während sie bei den konventionellen Endstufen mit zunehmendem Laststrom stark nichtlinear anwächst. Infolge des wesentlich geringeren Zuwachses sind die Schaltverluste der SiC-Endstufen auch zu hohen Aussteuerungen hin vergleichsweise niedrig. Die Ursache hierfür liegt, wie bereits in Kapitel 5 erörtert, im konstanten Diodenrückstrom beim Reverse-Recovery-Vorgang der Body-Diode, welcher infolge der niedrigen Speicherladung Q_{rr} in Siliziumkarbid über die gesamte Aussteuerung konstant bei etwa 10 A bleibt.

Die Gegenüberstellung der Schalt- und Durchlassenergien in einem PWM-Schaltzyklus zeigt, dass die Energien unabhängig von der Aussteuerung immer in der selben Größenordnung liegen. Im Gegensatz dazu wächst die Schaltenergie der konventionellen Endstufen mit steigender Aussteuerung überproportional an (vgl. 7.2). Die CoolMOS-Endstufe benötigt bei einem Laststrom von 9 A die 4-fache Schaltenergie. Die Durchlassenergie ist wegen des gleich hohen Durchgangswiderstandes in der selben Größenordnung. Die HEXFET-Endstufe benötigt bei dem selben Laststrom die 4,5-fache Schaltenergie, die Durchlassenergie ist jedoch durch den 5-fach kleineren Durchgangswiderstand wesentlich niedriger. Hier ist die Diskrepanz zwischen Schalt- und Durchlassenergien besonders ausgeprägt. Bei dem Laststrom von 9 A sind die Schaltverluste 31-mal größer als die Durchlassverluste, was sich im Wirkungsgrad entsprechend niederschlägt. Wegen der geringen Durchlassverluste ist der Wirkungsgrad der HEXFET-Endstufe bis zu einer Ausgangsleistung von ca. 15 W mit dem der SiC-MOSFET-Endstufe vergleichbar. Mit steigender Aussteuerung wird die SiC-MOSFET-Endstufe jedoch effizienter, da die Schaltverluste hier weniger stark ansteigen. Der Wirkungsgrad der CoolMOS-Endstufe liegt – wegen der im Vergleich zur HEXFET-Endstufe höheren Durchlassverluste – über den gesamten Aussteuerungsbereich unter den SiC-Endstufen.

Zusammenfassend lässt sich feststellen, dass die SiC-Endstufen – trotz 5-fach höherer Durchlassverluste im Vergleich zu dem bisher eingesetzten HEXFET – einen höheren Wirkungsgrad aufweisen. Durch den Einsatz von Siliziumkarbid würde das Einzelgerät für eine Beschallungsanlage leistungstärker und effizienter. Bei vergleichbarer Ausgangsleistung können die Kühlkörper reduziert werden, was den gesamten Aufbau des Einzelgeräts leichter und kompakter macht.

Kapitel 8

Fazit und Ausblick

*Zwei Dinge sind zu unserer Arbeit nötig.
Unermüdliche Ausdauer und die Bereitschaft,
etwas, in das man viel Zeit und Arbeit gesteckt
hat, wieder wegzuerwerfen.*

Albert Einstein.

Zusammenfassung und Fazit

Die Zielsetzung der vorliegenden Arbeit war, den Einsatz von Siliziumkarbid-Transistoren in einem Audioverstärker der Klasse-D zu untersuchen. Hierfür wurden vier Endstufen eines Klasse-D-Verstärkers mit unterschiedlichen Leistungstransistoren entwickelt. Als SiC-Halbleiter stand zu diesem Zeitpunkt ein SiC-MOSFET der Firma Cree sowie ein selbstleitender SiC-JFET der Firma Semisouth zur Verfügung. Zum Vergleich wurde ein HEXFET¹ der Firma International Rectifier ausgewählt, welcher Stand der Technik in Klasse-D-Seriengeräten ist. Da sich mit der Sperrspannung von 250 V jedoch ein grundsätzlicher Unterschied bezüglich der Transistoreigenschaften ergibt, wurde als Halbleiter mit vergleichbaren technologischen Charakteristika ein Superjunction-Transistor aus der CoolMOS-Reihe von Infineon gewählt.

Die Endstufen gleichen sich in Schaltungsdesign und Layout bis auf die Beschaltung der Treiber-Stufe. Das Schaltungsdesign wurde auf einer beidseitig bestückten, 6-lagigen Leiterplatte in der Größe einer Europakarte untergebracht. Auf der Leiterplatte befindet sich neben Schaltstufe und Ausgangsfilter die schwebende Versorgung der Gate-Treiber, die durch einen LLC-Wandler erzeugt wird. Die Spannungsversorgung der Schaltstufe sowie des Kleinsignalteils wurde durch externe, professionelle Netzteile gelöst.

Der Modulator, welcher das Audiosignal in ein PWM-Steuersignal wandelt, wurde auf einem DSP für Audio-Applikationen realisiert, wobei anstelle des Audiosignal ein 1 kHz-Sinus-Signal als 12-bit-PCM-Daten in einer Tabelle hinterlegt war. Aus diesem Sinus-Signal wurde das PWM-Steuersignal für die Schaltstufe durch die Modulationstechnik *LadS*² gewonnen. Der DSP konnte von einem Rechner aus via USB in

¹MOSFET aus hexagonal angeordneten D-MOS Zellen.

²Einseitige Modulation mit einem mit einem sägezahnförmigen Träger und Erzeugung eines zweiseitigen PWM-Signals durch lineare Interpolation.

Echtzeit mit entsprechenden Parametern zur Ansteuerung der Endstufen, wie Totzeit der Halbbrücke oder Amplitude des Audiosignals, versorgt werden.

Als Topologie für die Schaltstufe wurde die Halbbrücke gewählt, die Schaltfrequenz lag bei 400 kHz. Die Kurzschlussicherung für die selbstleitende SiC-JFET-Endstufe erfolgte durch eine *Cascode-Light*, bei der MOSFET und JFET nicht kaskadiert, sondern seriell verschaltet sind.

Das verstärkte PWM-Signal wurde durch ein Tiefpassfilter 2. Ordnung mit einer Induktivität von 22 μH und einer Kapazität von 1,5 μF demoduliert und der Last als analoges Sinus-Signal zugeführt. Die angeschlossene ohmsche Last ersetzt, entsprechend der üblichen Vorgehensweise zur messtechnischen Bestimmung eines Audioverstärkers, den Lautsprecher mit dem Widerstandswert von 4 Ω . Die Grenzfrequenz des Filters lag mit 27,7 kHz in ausreichendem Abstand zur größtmöglichen Audiofrequenz von 20 kHz.

Mit den entwickelten Endstufen wurden zum Schaltverhalten der Transistoren in der Halbbrücke umfangreiche Messungen durchgeführt, welche die Grundlage für die spätere Analyse von Audioqualität und Wirkungsgrad der Endstufe bildeten. Um das Schaltverhalten unter diesen beiden Aspekten zu charakterisieren, wurden das Reverse-Recovery-Verhalten der Body Diode, die Anstiegs- und Abfallzeiten der Brückenspannung, die Ein- und Abschaltverzögerung der Transistoren (bezogen auf den Nulldurchgang der Brückenspannung) sowie die Flankenmodulation der Brückenspannung gemessen. Die Flankenmodulation ist ein Messverfahren zur Bestimmung des zeitlichen Fehlers im PWM-Signal während einer Periode des Ausgangssignals. Hierbei wird im Persistenz-Modus des Oszilloskops die Position der Flanke der Brückenspannung in Relation zu einem Gate-Source-Signal aufgezeichnet. Die Breite der entstehenden Kurvenschar wurde hier als *effektive Totzeit* definiert.

Die Untersuchung des Schaltverhaltens zeigt, dass die SiC-Transistoren um ein vielfaches kürzere Schaltverzögerungen aufweisen. Die Anstiegs- und Abfallzeiten hingegen gleichen sich bei allen Endstufen durch das harte Schalten unter der optimalen DSP-Totzeit weitestgehend an. Eine wichtige Erkenntnis ist, dass das Schaltverhalten der SiC-Transistoren insgesamt weniger aussteuerungs- und laststromabhängig ist. Insbesondere ist der Diodenrückstrom während dem Reverse-Recovery-Vorgang der Body-Diode unabhängig von der Höhe des Laststroms. Neben den kurzen Schaltverzögerungen führen die geringe Laststromabhängigkeit zu der bedeutend kleineren effektiven Totzeit der SiC-Transistoren.

Die Untersuchung der Audioqualität belegt eine deutliche Reduzierung der harmonischen Verzerrungen³. Die THD+N-Messung ergeben, dass sich die gesamten harmonischen Verzerrungen der SiC-Endstufen vom Ende der Rauschgerade (Ende der Central Region, ca. 3 V_{eff}) bis zur Vollaussteuerung (ca. 30 V_{eff}) lediglich um 5 dB ändert. Im Gegensatz dazu steigen die harmonischen Verzerrungen der konventionellen Halbleiter bereits bei niedrigen bis mittleren Aussteuerungen⁴ signifikant an. Für eine effektive Ausgangsspannung von 22 V liegen die harmonischen Verzerrungen

³die Bezeichnung *harmonischen Verzerrungen* und *THD* werden hier synonym verwendet.

⁴ $U_{\text{out (eff)}} = 4 \text{ V}$ für CoolMOS bzw. 7 V für HEXFET.

der SiC-JFET-Endstufe bei -55 dB und würden sich durch Implementierung einer Rückkopplung weiter reduzieren lassen. Der THD-Wert der HEXFET-Endstufe ist im Vergleich hierzu etwa 15 dB schlechter, der THD der CoolMOS-Endstufe ist über 25 dB schlechter.

Die Analyse der THD-Messungen stellt erstmals einen direkten Zusammenhang zwischen den Halbleitereigenschaften des Transistors und der Entstehung von harmonischen Verzerrungen heraus. Die geringe Zunahme der effektiven Totzeit bei den SiC-Endstufen verschiebt den dominanten Anstieg der harmonischen Verzerrungen bis praktisch zur Vollaussteuerung. Insbesondere die geringere Abschaltverzögerung sowie die schwache Laststromabhängigkeit führen hier zu einer deutlich kürzeren effektiven Totzeit bei höheren Aussteuerungen. Bei Vollaussteuerung liegt zwischen der kürzesten (SiC-JFET) und der längsten effektiven Totzeit (CoolMOS) etwa eine Größenordnung (Faktor 11,6).

Bemerkenswert ist, dass sich die harmonischen Verzerrungen hier nicht – gemäß der üblichen Annahme – durch steilere Schaltflanken verbessern. Die Steilheit der Schaltflanken (Anstiegs- und Abfallzeit) liegt insbesondere bei höheren Aussteuerungen für alle Endstufen in einer ähnlichen Größenordnung.

Die THD-Analyse zeigt weiterhin, dass die etablierte Theorie zu den Verzerrungen in der Central Region nur dann Gültigkeit besitzt, wenn die Totzeit am DSP optimal eingestellt wurde. Wird die DSP-Totzeit zu lang gewählt, nimmt die Schaltstufe – entgegen der etablierten Theorie – bereits vor dem Verlassen der Central Region einen signifikanten Einfluss auf die harmonischen Verzerrungen. Eine weitere wichtige Erkenntnis ist, dass ein aussagekräftiger Vergleich hinsichtlich der harmonischen Verzerrungen nur unter optimaler DSP-Totzeit durchgeführt werden kann. Ein entsprechendes Verfahren zur Bestimmung der optimalen Totzeit wurde entwickelt, vorgestellt und eingesetzt.

Im Kontext der Audioqualität lässt sich zusammenfassend feststellen, dass beim Einsatz von SiC-Transistoren vom Grunde her weniger harmonische Verzerrungen entstehen, indem ein geringerer zeitlicher Fehler ins verstärkte PWM-Signal eingebracht wird. Damit ist der Entstehung von harmonischen Verzerrungen bereits im Ursprung entgegengewirkt.

Eine grundlegende Reduktion der harmonischen Verzerrungen bringt einen enormen Vorteil für die Rückkopplungstopologien mit sich. In den modell-basierten Topologien wie in [67] und [69] sind die Modelle der Schaltstufe ggf. unkomplizierter zu erstellen und zudem näher am realen Verhalten der Endstufe, da sich das Schaltverhalten der SiC-Transistoren deutlich weniger mit der Aussteuerung ändert. Auf eine Fehlerkorrektur der Schaltstufe wie in [57] (PEDEC) oder [54] (Camco-Patent) könnte ggf. ganz verzichtet werden. Der eingesparte Zeitaufwand in der Entwicklung ist nicht zu unterschätzen, denn nicht selten wird viel Zeit in die Implementierung der Hardware-Komponenten investiert, um letztlich festzustellen, dass eine gewünschte Verbesserung des THDs wegen diverser Limitierungen der Komponenten ausbleibt.

Die Untersuchungen zu Leistung und Wirkungsgrad des D-Verstärkers zeigen auch hier eine Verbesserung durch die Verwendung von Siliziumkarbid. So liegt die maximale Ausgangsleistung bei den SiC-Endstufen ca. 20% höher im Vergleich zu den konventionellen Endstufen. Neben der höheren Effizienz der Schaltstufe steht dies auch in Zusammenhang mit der effektiven Totzeit sowie der 2-fach bzw. 5-fach kürzeren DSP-Totzeit (SiC im Vergleich mit HEXFET bzw. CoolMOS). Der Wirkungsgrad der SiC-Endstufen beträgt unter Vollaussteuerung etwa 88%, darunter liegt die HEXFET-Endstufe mit 80% und die CoolMOS-Endstufe mit 73%. Damit reduziert sich die Verlustleistung der SiC-Endstufen um 40% gegenüber der HEXFET-Endstufe und um 55% gegenüber der CoolMOS-Endstufe.

Die Effizienzsteigerung der SiC-Endstufen ist primär auf die Dezimierung der Schaltverluste zurückzuführen. Die Analyse der Verlustenergie ergibt, dass der Diodenrückstrom während des Reverse-Recovery-Vorgangs einen direkten Einfluss auf die Schaltverluste hat. Bekanntermaßen wächst der Diodenrückstrom bei den konventionellen Transistoren mit steigendem Laststrom überproportional an und führt so bei zunehmender Aussteuerung zu einem massiven Anstieg der Schaltverluste⁵. Im Gegensatz hierzu ist der Diodenrückstrom der SiC-Halbleiter wegen der geringen Speicherladung in Siliziumkarbid *konstant* und damit unabhängig von der Höhe des Laststroms. Damit ergibt sich ein proportionaler Zusammenhang zwischen den Schaltverlusten und der Aussteuerung des Verstärkers, weswegen ein solch massiver Anstieg der Schaltverluste hier nicht stattfindet.

Im Hinblick auf den Wirkungsgrad kann zusammengefasst werden, dass die Schaltverluste durch Siliziumkarbid signifikant reduziert werden, die Durchlassverluste jedoch durch den 5-fach höheren Durchlasswiderstand gegenüber dem standardmäßig eingesetzten HEXFET vergleichsweise hoch sind. Dennoch wird mit dem SiC-MOSFET bereits ab einer Ausgangsleistung von ca. 15 W ein besserer Wirkungsgrad erzielt als mit dem bisher eingesetzten HEXFET – trotz höher Durchlassverluste.

Die beträchtliche Senkung der Gesamtverluste um 40% machen bei gleichbleibender Ausgangsleistung leichtere und kleinere Geräte möglich, indem auf einen Großteil der Kühlkörper-Masse verzichtet werden kann. Die eingesparten Kosten für den Kühlkörper werden jedoch bislang noch durch die teureren SiC-Halbleiter relativiert. Um den Kosten-Nutzen-Faktor weiter zu erhöhen, müssten die Durchlassverluste in die Größenordnung der bisher eingesetzten Halbleiter gebracht werden.

Der höhere Wirkungsgrad und die 20%-ige Steigerung der Ausgangsleistung ist in Bezug auf Volumen und Komplexität einer Beschallungsanlagen recht aussichtsreich. Inwiefern der höhere Wirkungsgrad sich auf eine Reduktion der Geräteanzahl einer Beschallungsanlage auswirkt, hängt jedoch in erster Linie mit der Anzahl der Kanäle, die der Einzelverstärker zur Verfügung stellt, zusammen. In dieser Hinsicht können Aussagen jedoch erst bei der Entwicklung von kommerziellen Prototypen getroffen werden.

⁵Beispielsweise hat der Diodenrückstrom des HEXFETs bei einem Laststrom von 9 A den dreifachen Wert verglichen mit den SiC-Halbleitern.

Ausblick

Transistoren aus Siliziumkarbid bieten eine aussichtsreiche Alternative zu den konventionell eingesetzten Halbleitern, da sich hierdurch sowohl die Audioqualität als auch der Wirkungsgrad der Endstufen verbessern. Damit ist die Limitierung auf die momentan eingesetzten 250V-Transistoren aufgehoben und es eröffnen sich in vielen Bereichen der Klasse-D-Technik neue Perspektiven. Für einen rentablen Einsatz in kommerziellen D-Verstärkern müssen jedoch die Durchlassverluste gesenkt und diverse Aspekte im Kontext der Rückkopplungs-Topologien sowie der Versorgungsspannung genauer untersucht werden.

Die größere Sperrspannung der SiC-Transistoren eröffnet die Möglichkeit, die Versorgungsspannung über die momentanen Grenze von 250 V zu erhöhen. Da die Verstärkung der Schaltstufe direkt von der Versorgungsspannung abhängig ist, könnte so die Ausgangsleistung des Einzelverstärkers gesteigert werden. Die höhere Spannung über dem sperrenden Transistor hat jedoch Einfluss auf den kapazitiven Anteil des Diodenrückstroms, welcher in Siliziumkarbid dominant ist. Als Folge der höheren Sperrspannung beim Schalten wird der Diodenrückstrom grundsätzlich ansteigen, die Höhe bleibt jedoch weiterhin über die Aussteuerung konstant. Da der Anstieg des Diodenrückstroms zu einer Zunahme der Schaltverluste führt, muss dieser Effekt im Hinblick auf den Wirkungsgrad gegen die Leistungssteigerung aufgrund der höheren Verstärkung abgewogen werden. Eine erneute Untersuchung der harmonischen Verzerrungen ist ebenfalls erforderlich, denn höhere Ausgangsamplituden bringen prinzipiell mehr harmonische Verzerrungen mit sich und die effektive Totzeit wird infolge einer größeren Abschaltverzögerung ebenfalls zunehmen. Mit den eingesetzten Transistoren wäre die Erhöhung der Versorgungsspannung bei gleichbleibender Last nur im Falle einer Parallelschaltung mehrerer Einzeltransistoren möglich, da die Stromtragfähigkeit von max. 17 A nicht ausreichen würde. Die Auslegung des Verstärkers auf eine höhere Last ist wegen der Lautsprecherimpedanz untypisch für einen Audioverstärker.

Aufgrund der kurzen Abschaltverzögerungen sowie der steilen Gate-Signale wäre eine Anhebung der Schaltfrequenz denkbar. Das Heraufsetzen der Schaltfrequenz wäre für alle Rückkopplungs-Topologien, die Selbstschwingenden mit eingeschlossen, gleichermaßen interessant. Damit würde der größten Herausforderung bei der Auslegung des Rückkopplungsdesigns Rechnung getragen – der Problematik von ausreichender Schleifenverstärkung bei gleichzeitiger System-Stabilität. Da mit einer höheren Schaltfrequenz die Grenzfrequenz des Tiefpassfilters erhöht werden kann, darf auch die Durchtrittsfrequenz der Rückkopplung höher ausgelegt werden. Damit gewinnt das System an Phasenreserve und die Schleifenverstärkung am oberen Ende des Audiobandes steigt an. Eine höhere Schaltfrequenz ist auch in Bezug auf die Dimensionierung des Ausgangsfilters vorteilhaft – die kleineren Filterkomponenten würden Gewicht und Ausmaß des Einzelverstärkers weiter reduzieren. Da eine Frequenzerhöhung jedoch mit steigenden Schaltverlusten verbunden ist, muss die Auswirkung auf Leistung und Wirkungsgrad sorgfältig geprüft und abgewogen werden.

Die Defizite der untersuchten 1200 V-SiC-Transistoren liegen in den vergleichsweise hohen Durchlassverlusten, welche primär durch den 5-fach größeren Durchgangswi-

derstand verursacht werden. Die Durchlassverluste könnten durch SiC-Transistoren mit geringeren Sperrspannungen reduziert werden, da diese technologiebedingt einen kleineren Durchgangswiderstand besitzen. Der Hersteller *ST Microelectronics* kündigte für das Jahr 2017 SiC-MOSFETs mit einer Sperrspannung von 600 V und einem Durchgangswiderstand von 20 m Ω an [133]. Die dreifache Stromtragfähigkeit dieser Transistoren ist nicht nur für eine Erhöhung der Versorgungsspannung interessant, bringt jedoch auch eine Verdreifachung von Gateladung und parasitären Kapazitäten mit sich. Muster eines 600 V-Transistors mit 45 m Ω und sonst vergleichbaren Leistungsmerkmalen wie Gateladung und Kapazitäten wurden vom Hersteller *United SiC* ebenfalls für 2017 angekündigt [134]. Diese Transistoren sind als SiC-Kaskode aus MOSFET und selbstleitenden SiC-JFET realisiert. Auf der Basis der gewonnenen Erkenntnisse ist anzunehmen, dass das Schaltverhalten der 600 V- und der 1200 V-Typen, insbesondere im Hinblick auf die effektive Totzeit, grundsätzliche Parallelen aufweist. Damit blieben die Verbesserung hinsichtlich der harmonischen Verzerrungen erhalten, die Durchlassverluste würden jedoch drastisch sinken. Eine Untersuchung dieser Transistoren ist somit viel versprechend, steht jedoch mangels Verfügbarkeit aus.

Eine weitere interessante Alternative sind Verbundhalbleiter aus Gallium-Nitrid, welche zu Beginn der Dissertation noch in der Entwicklung waren. Die übliche technologische Umsetzung sind HEMT-Transistoren (*high electron mobility transistor*), welche sich durch einen niedrigen Durchgangswiderstand und hohe Schaltgeschwindigkeiten auszeichnen. Einige Erfolge konnten bereits bei Klasse-D-Verstärkern im mittleren Leistungsbereich erzielt werden [135], [136]. Für den Einsatz in Leistungsverstärkern muss das Schaltverhalten sorgfältig charakterisiert werden, da hier wegen der HEMT-Technologie die Verhaltensweise der SiC-Transistoren nicht vorausgesetzt werden kann. Darauf aufbauend sind erneute Analysen zu Audioqualität und Wirkungsgrad erforderlich – einen Leitfaden zur Vorgehensweise stellt diese Arbeit zur Verfügung. Mit der hier entwickelten Messmethodik lassen sich die neuen Halbleiter in allen relevanten Aspekten – Schaltverhalten, Audioqualität und Wirkungsgrad – unkompliziert charakterisieren. Die vorgestellte Methode zur Ermittlung der optimalen Totzeit gewährleistet eine korrekte Vergleichbarkeit mit anderen Halbleitern und schafft die Voraussetzung für aussagekräftige Schlussfolgerungen.

Die vorliegende Arbeit liefert mit den tiefgehenden Untersuchungen einen wichtigen Beitrag zum theoretischen sowie praktischen Verständnis der Leistungshalbleiter in einem Klasse-D-Verstärker. Die praktischen Erkenntnisse zum Schaltverhalten der Transistoren können auf andere Schaltanwendungen der Leistungselektronik wie DC/DC-Wandler, Frequenzumrichter oder PWM-basierte Motorsteuerungen übertragen werden. Erstmals wurde der Zusammenhang zwischen der Entstehung von harmonischen Verzerrungen und der effektiven Totzeit der Schaltstufe ergründet und führte damit zu einer Erweiterung der etablierten Theorie.

Der Einsatz von Siliziumkarbid-Transistoren eröffnet in vielen Aspekten der Klasse D Technik neue Perspektiven. Diese Dissertation belegt den Gewinn hinsichtlich Audioqualität, Leistung und Wirkungsgrad und bietet darüber hinaus einen wertvollen Leitfaden für die Untersuchungen neuartiger Halbleiter-Technologien in Klasse-D-Audioverstärkern.

Anhang A

Ergänzung zu den Grundlagen und Siliziumkarbid

Dieser Teil-Bereich „A“ des Anhangs ist einer von vier Bereichen, welche alphabetisch nummeriert sind. Die einzelnen Bereiche beziehen sich immer auf das gleichnamige Kapitel im Hauptteil der Arbeit. Jeweils auf der ersten Seite werden allgemeine Informationen und Hinweise zum diesem Anhang-Teil gegeben.

- Der Bereich „A“ beinhaltet sowohl Grundlagen als auch weiterführende Informationen zu den ausgewählten Transistoren.
- Bereich „B“ stellt zusätzliche Informationen zur Entwicklung der Endstufen zur Verfügung. Darüber hinaus sind hier die Schaltpläne der Endstufen sowie die Zeichnungen des 6-lagigen Layouts abgebildet.
- Im Bereich „C“ sind alle relevanten Messungen zum Schaltverhalten der vier Endstufen zusammengestellt.
- Der Bereich „D“ zeigt die Oszillogramme zu den Messungen der Schaltverluste.

Der umseitige Bereich „A“ ist wie folgt gegliedert:

- Unter Abschnitt A 1 wird auf den Stromfluss in Abhängigkeit der Aussteuerung eingegangen, welcher sich nach der etablierten Theorie und einem spannungslosen Einschalten ergeben würde.
- Unter Abschnitt A 2 ist der technologische Querschnitt der ausgewählten Transistoren abgebildet.
- Unter Abschnitt A 3 sind die Kapazitätsverläufe in Abhängigkeit der Drain-Source-Spannung dargestellt.

A.1 Aussteuerung eines D-Verstärkers als Halbbrücke

Im Folgenden werden die Betriebsmodi einer Halbbrücke mit entsprechendem Stromfluss während Leit- und Sperrphase der Transistoren erklärt. Das vereinfachte Schaltbild eines D-Verstärkers sei an dieser Stelle kurz wiederholt:

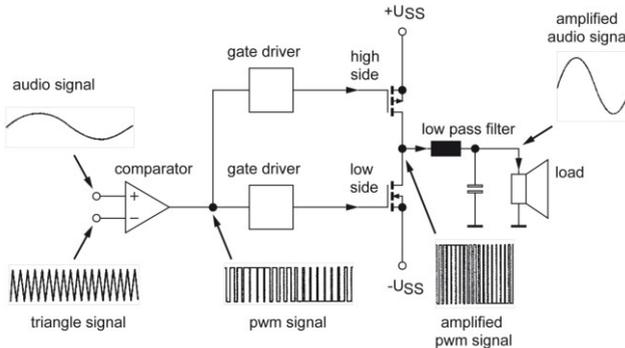


Abb. A.1: Vereinfachte Schaltung eines Klasse-D Verstärkers

Grundsätzlich steuert das Audiosignal am Eingang den Verstärker entweder positiv, negativ oder gar nicht aus. Die Betriebsmodi richten sich nach diesen drei Arten der Ansteuerungen und werden im weiteren Verlauf als „positive Aussteuerung“, „negative Aussteuerung“ und „keine Aussteuerung“ referenziert.

Bei *positiver Aussteuerung* entsteht an der Last der positive Teil des Audiosignals, also die positive Halbwelle der Ausgangsspannung. Der Laststrom ist positiv. Ein positiver Laststrom fließt, per Definition, von der Brücke über die Last nach Masse – also aus dem Verstärker heraus. Eine *negative Aussteuerung* erzeugt die negative Halbwelle der Spannung, also den negativen Teil des Audiosignals an der Last. Ein negativer Laststrom fließt von Masse über die Last zur jeweiligen Versorgungsspannung – in den Verstärker hinein. Im *Null-Zustand* liegt kein Audiosignal am Eingang an. Die Ausgangsspannung ist jedoch nicht durchweg null, sondern pendelt mit kleiner Amplitude um den Nullpunkt. Nur der Mittelwert ist null. Dieses Verhalten wird nachfolgend genauer erklärt.

A.1.1 Leerlauf bis geringe Aussteuerung – Central Region

Obwohl in der Central Region keine Eingangsspannung anliegt, kommt es am Ausgang des Verstärkers zu einem sogenannten Rippelstrom. Strom und Spannung über der Last pendeln mit kleiner Amplitude um den Nullpunkt. Der Rippelstrom entsteht durch die Filterdrossel: Liegt kein Audiosignal am Eingang an, beträgt die Spannung am Ausgang des idealen Verstärkers null. Damit der Mittelwert der PWM zu null wird, müssen beide Transistoren im Wechsel gleich lange eingeschaltet werden. Das

Puls-Pausen-Verhältnis liegt dann genau bei 50%. Die Spannung am Brückenknoten springt zwischen positiver und negativer Versorgung also auch ohne Audiosignal. Mit 0V am Lastwiderstand steht fast die gesamte Versorgungsspannung über der Filterdrossel und wird während der leitenden Phasen der Transistoren aufintegriert. Gemäß

$$I_L = \int_0^T U_L dt \quad (\text{A.1})$$

steigt der Spulen-Strom, während der obere Transistor leitet (positive Spannung über der Spule) und fällt mit der gleichen Steigung, während der Untere leitet (Spulen-Spannung negativ). Die Steigungen sind gleich, da die Versorgungsspannung betragsmäßig den selben Wert hat. Da beide Transistoren gleich lange leiten, sind die Endwerte des Strom ebenfalls gleich. Dieser dreieckförmige Strom wird als „Rippel-Strom“ bezeichnet und liegt im Bereich weniger Ampere. Da der Rippel-Strom über die Last nach Masse abfließt, erzeugt er am Verstärker-Ausgang (über dem Lastwiderstand) eine gleichnamige „Rippel-Spannung“. Ein Rechenexempel zur Höhe des Strom- und Spannungs-Rippels findet sich am Ende des Kapitels.

Wenn der Verstärker am Eingang nicht angesteuert wird, ist der Laststrom gleich dem Rippel-Strom. Das genaue Verhalten des Rippel-Stroms sowie der Brückenspannung während eines Schaltzyklus wird nachfolgend analysiert. Die Schaltung wird initial – also im nicht-ingeschwungenen Zustand – betrachtet.

High-Side leitend

Leitet der obere Transistor, so fließt ein Strom von der positiven Versorgung durch den Transistor über die Filterdrossel zur Last nach Masse. Hierdurch verschiebt sich das Potential des Brückenknotens zur positiven Versorgung hin, auf das Potential der Versorgung abzüglich der Kanalspannung des Transistors. Der größte Teil der Versorgungsspannung fällt über der Drossel ab, da die Rippel-Spannung über dem Lastwiderstand sehr klein ist. Wegen der positiven Spannung über der Spule steigt der Strom an, solange der Transistor leitet. Der Maximalwert, auf den der Rippel-Strom in dieser Zeit steigen kann, ist im Vergleich zum größtmöglichen Laststrom sehr gering. Wegen des niedrigen Rippel-Strom-Endwerts kann sich das Magnetfeld um die Drossel nur geringfügig aufbauen. Die Induktivität speichert in dieser Phase nur wenig Energie.

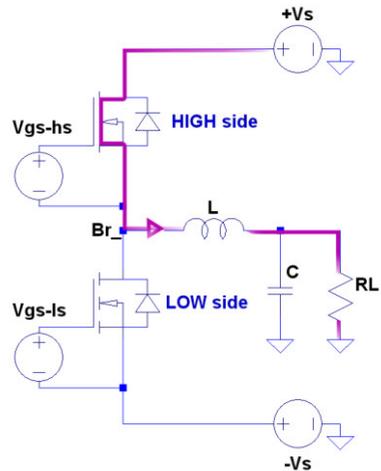


Abb. A.2: Stromfluss während der high-side Transistor leitet.

Totzeit

Wird der obere Transistor abgeschaltet, kommutiert der Strom augenblicklich in die Body-Diode des unteren Transistors, da die Drossel ihren Strom aufrecht erhalten will. Die Stromrichtung ist weiterhin positiv, die Brückenspannung wird jedoch auf die negative Versorgung gezogen. Die Induktivität wird nun zu Quelle und muss sowohl die Versorgungsspannung als auch die Diodenspannung bereitstellen. Infolgedessen liegt der Brückenknoten potentialmäßig unterhalb der negativen Versorgung, da sich die Diode-Flussspannung betragsmäßig hinzu addiert. Da nun die Spannung über der Drossel negativ ist, beginnt der Strom mit der gleichen Flankensteilheit zu sinken, fließt aber weiterhin in positiver Richtung. Während der gesamten Totzeit leitet die Diode – getrieben von der Induktivität – den Ripple-Strom. Ist die Totzeit hinreichend kurz, sinkt der Ripple-Strom nicht auf null und der Endwert bleibt positiv.

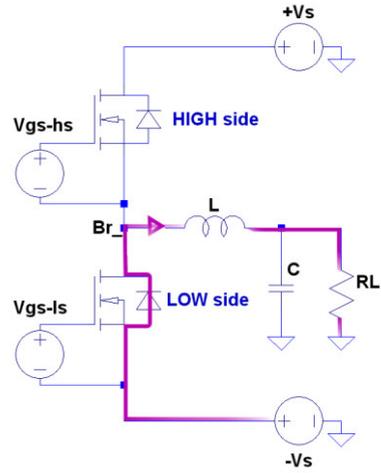


Abb. A.3: Stromfluss während der Totzeit.

Low-Side leitend

Beim Einschalten des unteren Transistors verschiebt sich der positive Strom lediglich von der Diode in den Kanal des FETs. Da der Transistor-Kanal sehr niederohmig ist, stellt der Innenwiderstand der Diode einen größeren Widerstand dar. Auch hier wählt der Strom den Weg des geringsten Widerstandes. Dementsprechend fällt die Diodenspannung weg und die Brückenspannung liegt knapp über der negativen Versorgung. Der positive Ripple-Strom nimmt weiter ab. Da unter der positiven Spannung nur wenig Energie in der Drossel gespeichert wurde, baut sich das Magnetfeld schnell ab und der Spulen-Strom versiegt. An der Drossel liegt jedoch weiterhin eine externe Spannung an, und zwar die negative Betriebsspannung. Da der Strom nicht mehr von der Induktivität getrieben wird, stellt sich nun ein Strom gemäß den äußeren Schaltungsbedingungen ein: Das Potential-Gefälle der Drossel-Spannung von Masse zur

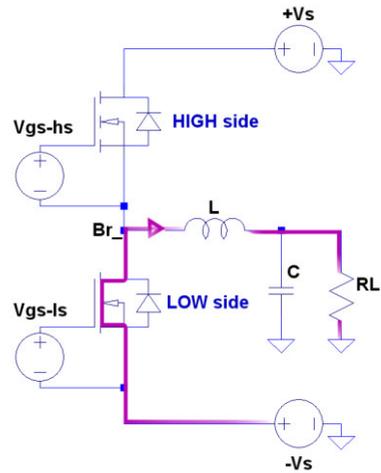


Abb. A.4: Stromfluss während der low-side Transistor leitet.

negativen Versorgung bedingt einen negativen Strom. Der Strom kehrt also seine Richtung um und fließt nun von Masse zur negativen Versorgung, also in den Verstärker hinein. Durch den negativen Strom baut sich das Magnetfeld der Drossel in entgegengesetzter Richtung auf. Die immer noch negative Spannung über der Induktivität wird weiter integriert. Infolgedessen sinkt der Strom weiter und es baut sich ein negativer Ripple-Strom auf.

Totzeit

Im Abschaltmoment des unteren Transistors fließt der Ripple-Strom in den Verstärker hinein. Ein negativer Strom kann nur über die Body-Diode des oberen Transistors abgebaut werden. Da die Induktivität diesen Strom treiben muss, liegt das Brückenpotential jetzt um die Flussspannung erhöht über der positiven Versorgung. Die Spannung über der Induktivität ist demnach positiv und erzeugt auf dem (negativen) Ripple-Strom eine ansteigende Flanke. Der Endwert bleibt nach der kurzen Totzeit negativ.

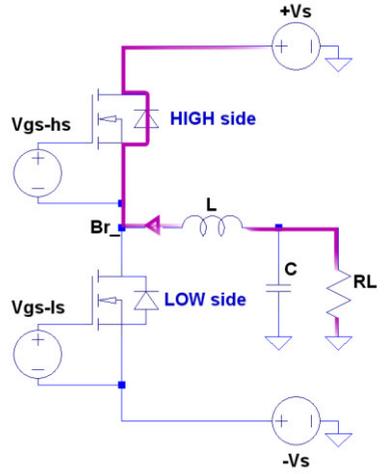


Abb. A.5: Stromfluss während der Totzeit.

High-Side leitend

Im Gegensatz zum initialen Einschalten der High-Side ist der Anfangswert des Stromes nun negativ. Die Schaltung befindet sich im eingeschwungenen Zustand, wenn die Maximalwerte des positiven und des negativen Ripples betragsmäßig gleich sind. Der Mittelwert des Ripple-Stromes beträgt dann null.

Durch das Einschalten des oberen Transistors verschiebt sich der negative Strom lediglich von der Diode in den Kanal. Das Brückenpotential liegt knapp unter der positiven Versorgung. Die Drosselspannung ist positiv und bewirkt eine ansteigende Flanke auf dem negativen Ripple-Strom. Durch die positive Drosselspannung wird das geringe Magnetfeld abgebaut und der Strom versiegt. Da an der Drossel weiterhin eine positive Spannung anliegt, stellt sich gemäß dem Potential-Gefälle von der positiven Versorgung nach Masse ein positiver

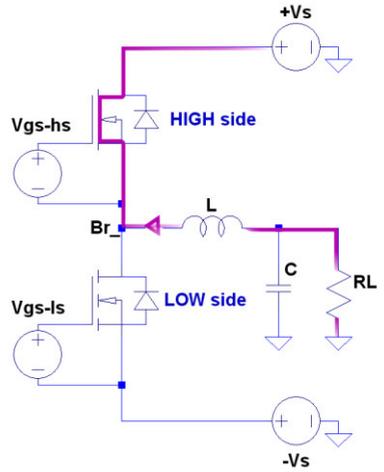


Abb. A.6: Der Stromfluss ist nun negativ.

Strom ein. Mit dem steigenden positiven Strom baut sich ein Magnetfeld in entgegengesetzter Richtung auf. Befindet sich die Schaltung im eingeschwungenen Zustand, speichert die Drossel während den Leitphasen von High- und Low-Side die gleiche Energie, da das Puls-Pausen-Verhältnis 50% beträgt. Infolgedessen pendeln Ripple-Strom und -Spannung um den Nullpunkt und sind im Mittel null.

Zusammenfassend lässt sich feststellen, dass die Brückenspannung immer dann ihren Zustand wechselt, wenn die Transistoren abschalten. Die abfallende Flanke tritt sofort auf, wenn der obere Transistor abschaltet und der Strom in die Body-Diode des Unteren kommutiert – *vor* der Totzeit! Die ansteigende Flanke wird durch das Abschalten der Low-Side erzeugt – ebenfalls *vor* der Totzeit! Demnach werden die Umschaltzeitpunkte im Schaltzyklus durch das *Abschalten des jeweiligen Brücken-Transistors* bestimmt. Das Einschalten der Transistoren Nullspannungs-Schaltvorgang (ZVS, Zero Voltage Switching) und hat keine Auswirkung auf den Zustand der Brückenspannung.

A.1.2 Positive Aussteuerung

Damit der positive Teil des Audiosignals am Ausgang entsteht, muss durchweg ein positiver Laststrom fließen. Ein positiver Laststrom stellt sich ein, wenn der obere Transistor länger einschaltet als der untere. Das Puls-Pausen-Verhältnis ist dann *größer* 50% und die Ausgangsspannung an der Last wird positiv. Damit wird der Laststrom den Ripple-Strom übersteigen. Die Stromrichtung ist positiv und bleibt während des gesamten Schaltvorgang unverändert. Warum der Ripplestrom sich zum Laststrom hinzu addiert und nicht mehr ins negative sinkt, wird in der nachfolgenden Diskussion deutlich.

High-Side leitend

Der Strom fließt während der Einschaltzeit durch den oberen Transistor aus dem Verstärker heraus in Richtung Last. Das Brückenspotential liegt, um die Kanalspannung reduziert, unter der positiven Versorgung. Durch den vergleichsweise großen positiven Laststrom fällt an der Last eine Spannung ab. Demnach teilt sich die Brückenspannung auf Induktivität und Lastwiderstand auf. Da die Drossel-Spannung nun niedriger ist als im Null-Zustand, steigt der Spulen-Strom mit einer flacheren Flanke an. Der Endwert ist jedoch deutlich höher, da nicht nur die Einschaltzeit des Transistors länger ist, sondern sich auch der Spulen-Strom zum Laststrom hinzu addiert. Mit dem höheren Strom kann die Drossel ein größeres Magnetfeld aufbauen und mehr Energie speichern.

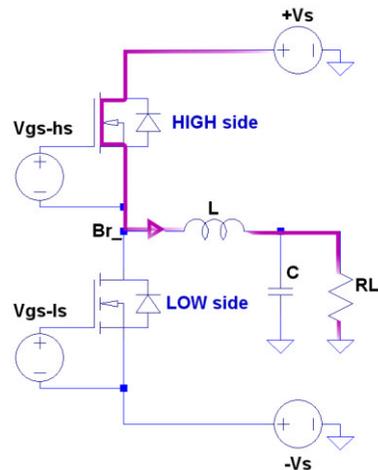


Abb. A.7: Stromfluss während der high-side FET leitet.

Totzeit

Wird der oberen Transistor abgeschaltet, kommutiert der Strom augenblicklich in die Body-Diode des unteren Transistors, da die Drossel ihren Strom aufrecht erhalten will. Die Stromrichtung ist weiterhin positiv, die Brückenspannung wird jedoch auf die negative Versorgung gezogen. Die Induktivität wird nun zur Quelle und muss sowohl die Versorgungsspannung als auch die Diodenspannung bereitstellen. Infolgedessen liegt der Brückenknoten potentialmäßig unterhalb der negativen Versorgung, da sich die Diode-Flussspannung betragsmäßig hinzu addiert. Da nun die Spannung über der Drossel negativ ist, beginnt der Strom mit der gleichen Flankensteilheit zu sinken, fließt aber weiterhin in positiver Richtung.

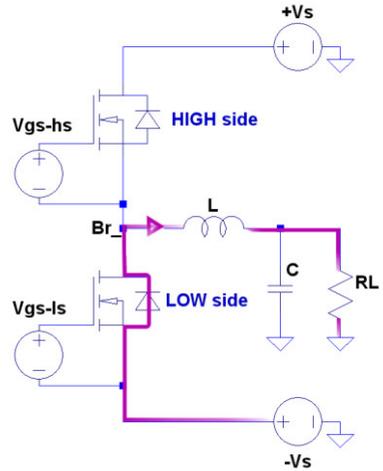


Abb. A.8: Stromfluss während der Totzeit.

Low-Side leitend

Das Einschalten des unteren Transistors bewirkt die Verschiebung des (positiven) Stroms von der Diode in den Kanal des FETs. Die Brückenspannung ist weiterhin negativ, der Strom sinkt mit moderater Flanke. Da die Drossel zuvor viel Energie gespeichert hat, kann sich das Magnetfeld während der kurzen Einschaltzeit nicht vollständig abbauen. Der Endwert des Strom bleibt nach der kurzen Einschaltzeit der Low-Side positiv.

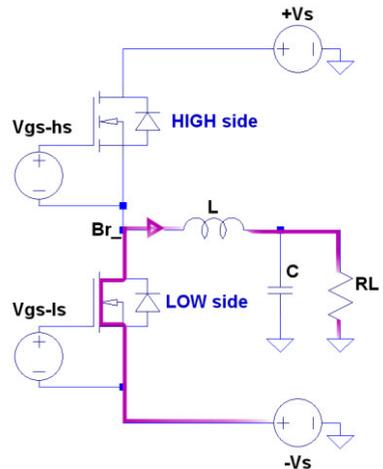


Abb. A.9: Stromfluss während der low-side Transistor leitet.

Totzeit

Beim Abschalten des unteren Transistors verschiebt sich der positive Strom zurück in die Diode. Die Induktivität wird wieder zur Quelle und treibt den Strom in positiver Richtung weiter. Das Brückenspotential ist negativer als die negative Versorgung. Damit liegt eine negative Spannung über der Drossel an, die den Strom leicht sinken lässt. Der Endwert am Ende der kurzen Totzeit ist immer noch positiv.

High-Side leitend

Wird der obere Transistors eingeschaltet, kommutiert der Laststrom von der Diode in den oberen Transistor-Kanal. Auch hier gilt wieder das Gesetz des geringsten Widerstandes. Erst jetzt wechselt die Brückenspannung ihren Zustand und der Spulen-Strom steigt wieder. Der Zyklus beginnt von vorne.

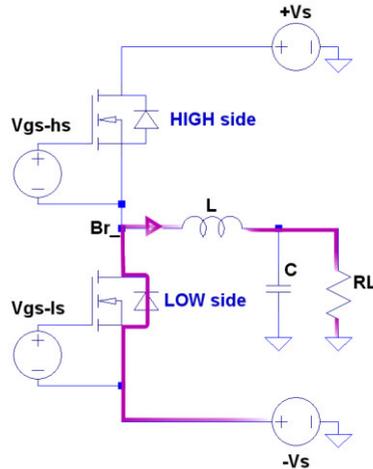


Abb. A.10: Stromfluss während der Totzeit.

Zusammenfassend gilt: Bei positiver Aussteuerung bestimmt der obere Transistor den Schaltzyklus. Der untere Transistor könnte ebenso gut durch eine Diode ersetzt werden, die Umschaltzeitpunkte der Brückenspannung würden dadurch nicht beeinflusst. Die Brückenspannung wechselt ihren Zustand sobald der obere Transistor schaltet (ein oder aus). Die abfallende Flanke entsteht *zu Beginn* der Totzeit durch die Kommutierung des Stroms. Die ansteigende Flanke tritt erst auf, wenn der Transistor einschaltet – also *am Ende* der Totzeit, durch den aktiven Einschaltvorgang.

Bei positiver Aussteuerung ist der Laststrom im Mittel positiv. Der Ripplestrom addiert sich zum Laststrom hinzu und pendelt um den Mittelwert des Laststromes aus dem jeweiligen Schaltzyklus.

A.1.3 Negative Aussteuerung

Wird der Verstärker negativ angesteuert, sind Spannung und Strom an der Last durchweg negativ. Der Laststrom ist betragsmäßig deutlich größer als der Ripplestrom. Das Puls-Pausen-Verhältnis muss *kleiner* 50% sein. Das Verhalten von Strom und Spannung an der Brücke wird nachfolgend erläutert.

High-Side leitet

Der negative Strom fließt vom Masse-Potential in den Verstärker hinein durch den Kanal des High-Side-Transistors zur positiven Versorgung. Die Brückenspannung entspricht der Versorgungsspannung abzüglich der Kanalspannung des FETs und teilt sich auf Filterdrossel und Lastwiderstand auf. Die positive Spannung über der Drossel erzeugt eine ansteigende Flanke auf dem negativen Strom. Der Strom nimmt betragsmäßig ab. Wegen des hohen negativen Laststroms und der kurzen Einschaltdauer kann die Drossel ihre Energie nicht vollständig abbauen. Der Endwert des Laststromes bleibt trotz steigender Flanke negativ.

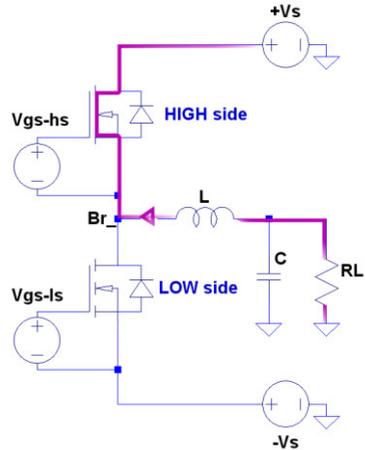


Abb. A.11: Stromfluss während der High-Side FET leitet.

Totzeit

Beim Abschalten des oberen Transistors verschiebt sich der negative Strom vom Kanal in die Diode. Die Induktivität wird wieder zur Quelle und treibt den Strom in positiver Richtung weiter. Das Brückenpotential liegt über der positiven Versorgung. Die positive Drossel-Spannung bewirkt eine ansteigende Flanke auf dem Laststrom.

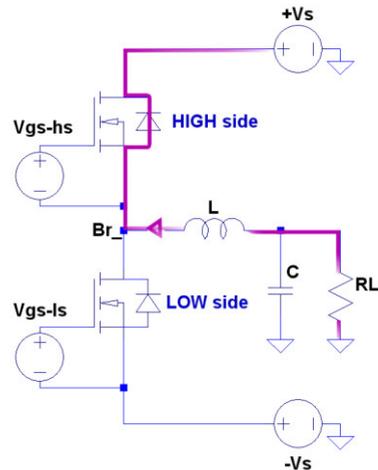


Abb. A.12: Stromfluss während der Totzeit.

Low-Side leitend

Wird der untere Transistors eingeschaltet, so kommutiert der Laststrom von der Diode in den unteren Transistor-Kanal. Die Brückenspannung wechselt ihren Zustand und liegt leicht über der negativen Versorgung. Die nun negative Drossel-Spannung bewirkt eine Stromänderung mit fallender Flanke. Der Laststrom wird wieder negativer.

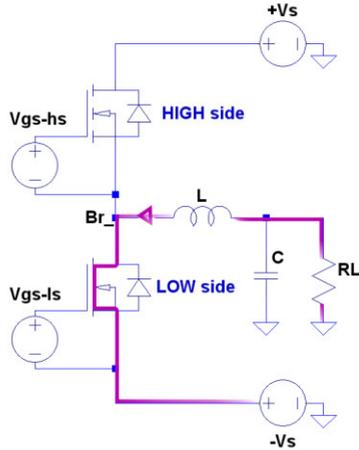


Abb. A.13: Stromfluss während der low-side Transistor leitet.

Totzeit

Schaltet man den unteren Transistor ab, kommutiert der Strom zurück in die Body-Diode des oberen FETs. Die Stromrichtung ist weiterhin negativ. Das Brückenpotential liegt oberhalb der positiven Versorgung, wodurch die Drossel-Spannung – als Quellspannung für den Stromfluss – positiv werden muss. Damit steigt der negative Strom betragsmäßig mit moderater Flanke an, der Endwert bleibt negativ.

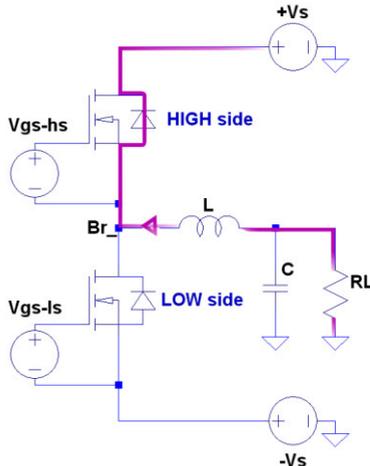


Abb. A.14: Stromfluss während der Totzeit.

High-Side leitend

Das Einschalten des oberen Transistors bewirkt die Verschiebung des (negativen) Stroms von der Diode in den Kanal des FETs. Brückenpotential und Drosselspannung sind weiterhin positiv, die Stromflanke ist ansteigend. Da die Drossel zuvor viel Energie gespeichert hat, kann sich das Magnetfeld während der kurzen Einschaltzeit nicht vollständig nicht abbauen. Der Endwert des Strom bleibt nach der kurzen Einschaltzeit der High-Side negativ. Der Zyklus beginnt von vorne.

Zusammenfassend gilt: Bei negativer Aussteuerung bestimmt der untere Transistor den Schaltzyklus. Würde der obere Transistor durch eine Diode ersetzt, blieben die Umschaltzeitpunkte der Brückenspannung dennoch unverändert. Die Brückenspannung wechselt ihren Zustand sobald der Low-Side Transistor schaltet. Die abfallende Flanke kommt sofort wenn er abschaltet (*zu Beginn* der Totzeit!), durch die Kommutierung des Stroms). Die ansteigende Flanke kommt erst, wenn der Transistor wieder einschaltet, *am Ende* der Totzeit.

Der Laststrom ist im Mittel negativ. Der Ripplestrom addiert sich vorzeichenrichtig zum Laststrom hinzu und pendelt um den Mittelwert des Laststromes aus dem jeweiligen Schaltzyklus.

A.2 Technologischer Querschnitt der Transistoren

SiC-MOSFET

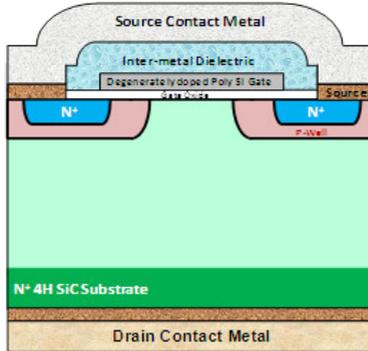


Abb. A.15: SiC-MOSFET (Cree): DMOS-Struktur in Silizium-Karbid.

SiC-JFET

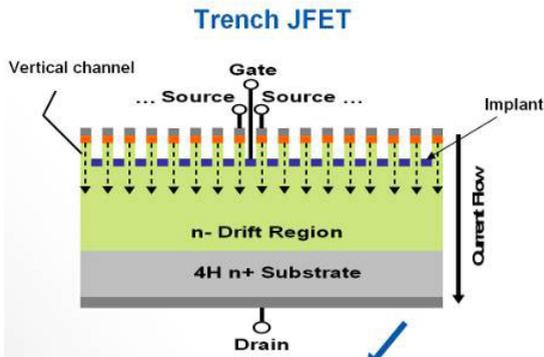


Abb. A.16: SiC-JFET (Semisouth): Trench-Struktur ohne Body-Diode.

HEXFET

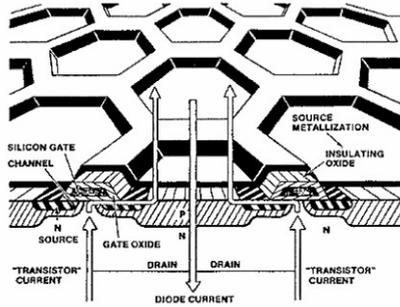


Abb. A.17: HEXFET (International Rectifier): DMOS-basierte Struktur mit hexagonalen Einzelzellen.

SJ-CoolMOS

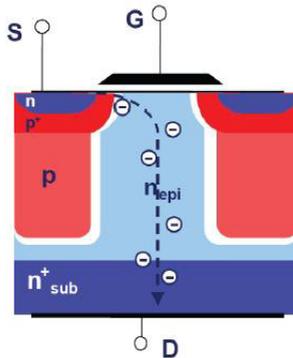


Abb. A.18: CoolMOS-Transistor (Infineon): Superjunction Struktur mit verlängerten p-Gebieten.

A.3 Kapazitätsverläufe der Transistoren über V_{DS}

SiC-MOSFET

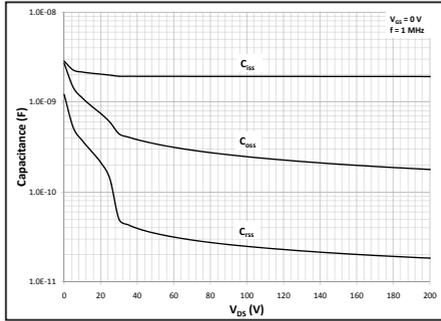


Abb. A.19: SiC-MOSFET: Rückwirkungs- und Ausgangskapazität verlaufen in etwa parallel.

SiC-JFET

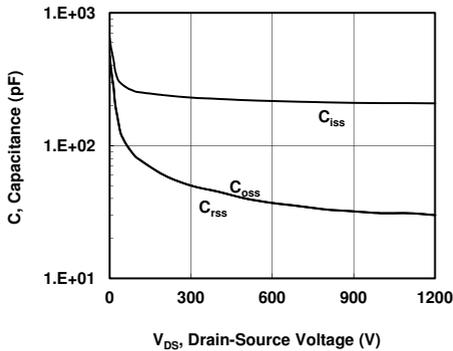


Abb. A.20: SiC-JFET: Die Verläufe von Rückwirkungs- und Ausgangskapazität sind deckungsgleich.

HEXFET

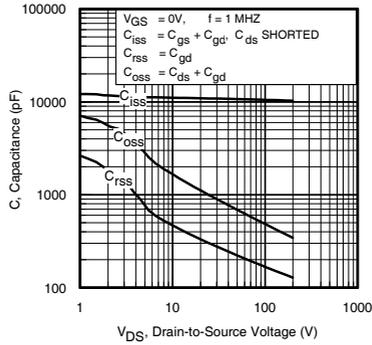


Abb. A.21: HEXFET: Rückwirkungs- und Ausgangskapazität verlaufen etwa parallel.

CoolMOS

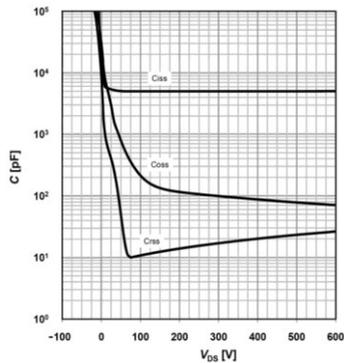


Abb. A.22: CoolMOS: Das Minimum im Verlauf der Rückwirkungskapazität ist ungewöhnlich. Zudem vergrößern sich die Kapazitäten stark für kleine bzw. negative Drain-Source-Spannungen.

Anhang B

Ergänzung zur Entwicklung der Endstufen

B.1 Belegung der Oszilloskop-Kanäle

Spannungsmessung:

- Kanal 1 / gelb : Gate-Source-Spannung der High-Side
- Kanal 2 / pink : Gate-Source-Spannung der High-Side
- Kanal 3 / blau : Brücken-Spannung
- Kanal 4 / grün : Ausgangsspannung

Strommessung:

- Kanal 1 / gelb : Gate-Strom zum Einschalten der High-Sd. (Spannung üb. R_{111})
- Kanal 2 / pink : Gate-Strom zum Abschalten der High-Sd. (Spannung üb. R_{110})
- Kanal 3 / blau : Brücken-Spannung
- Kanal 4 / grün : Ausgangsspannung

B.2 Belegung der GPIO-Ports des Piccolo-DSPs

GPIO	Belegungs-Beschreibung
00	Gate-Steuersignal der Leistungsstufe, high-side (VIA)
02	Gate-Steuersignal der Leistungsstufe, low-side (VIB)
04	Gate-Steuersignal des DC/DC-Wandlers (IN)
07	LED grün
16	over current sensing-Signal aus dem DC/DC-Gate-Treiber (OC)
17	shut down-Signal für den DC/DC-Gate-Treiber (SD)
18	debugging
19	disable-Signal für den Gate-Treiber der Leistungsstufe (DIS)
34	LED orange

B.3 Sperrspannungen des CoolMOS-Transistors

Messungen der Brückenspannung zeigen, dass sich das Schaltverhalten der CoolMOS-Platine durch negatives Abschalten deutlich verbessert. Die Schwingungen (Ringing) nehmen auf allen Signalen deutlich ab.

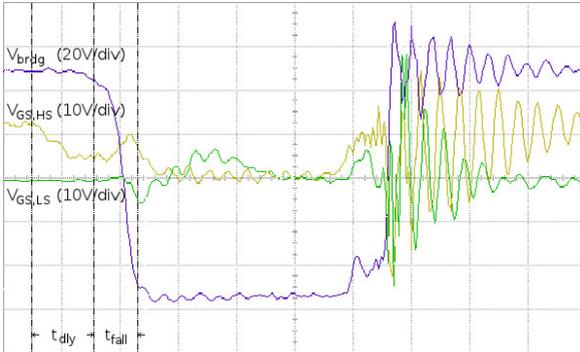


Abb. B.1: Konventionelles Abschalten mit einer Sperrspannung von 0 V.

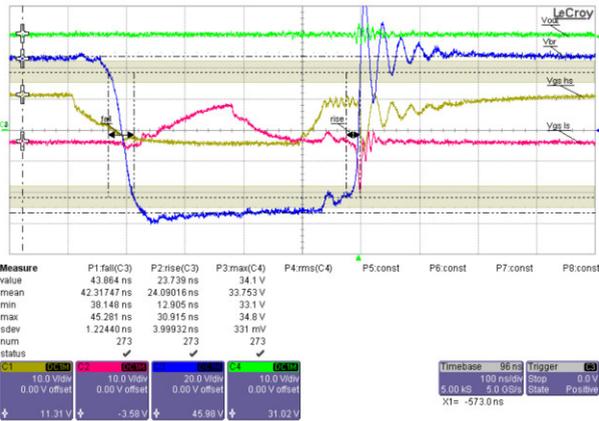


Abb. B.2: Negatives Abschalten mit einer Sperrspannung von -4 V.

B.4 Zusammenhang zwischen Leerlauf-Verlustleistung und DSP-Totzeit

Die nachstehende Abbildung zeigt die Verlustleistung über die Totzeit für die Versorgungsspannungen von ± 50 V (blau) und ± 90 V (rot) bei einer Kühlkörper-Temperatur von 38° C. Als Beispiel hier die SiC-MOSFET-Kurve. Mit wachsender Totzeit sinkt die Verlustleistung, da sich die Transistoren immer mehr einem spannungslosen Schaltvorgang nähern (zero voltage switching).

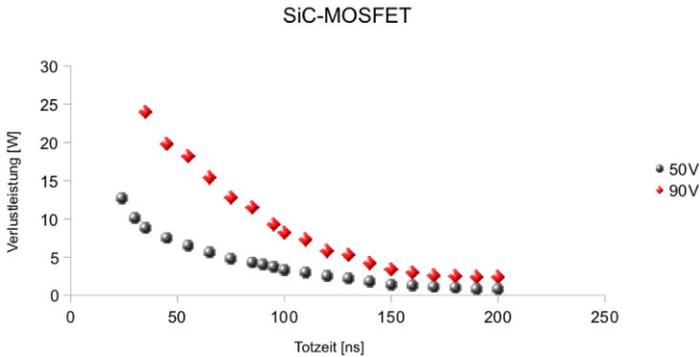


Abb. B.3: Die Verlustleistung im Leerlauf steigt durch Verringerung der Totzeit.

Die nachstehende Tabelle listet die am DSP eingestellte Totzeit mit der gemessenen Verlustleistung. Die eingestellte Totzeit ist jedoch nur für die SiC-Halbbrücken optimal. Die Totzeit für den HEXFET-Halbbrücke wurde zu groß, die für die CoolMOS-Brücke zu kurz gewählt.

Technologie der Leistungsstufe	SiC-MOSFET (Cree)	SiC-JFET (Semisouth)	CoolMOS (Infineon)	HEXFET (Int. Rectifier)
Totzeit [ns]	35	35	120	120
Verlustleistung [W]	9	5	15	4

Tab. B.1: Leerlauf-Verlustleistung bei nicht optimal eingestellter DSP-Totzeit.

B.5 Gateströme zum Ein- und Abschalten

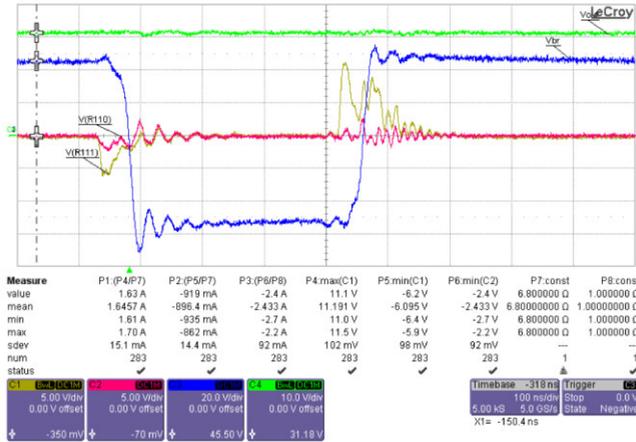


Abb. B.4: SiC-MOSFET. P1,2: $I_{on,off}(R_{111})$ / P3: $I_{off}(R_{110})$ / P7: R_{111} / P8: R_{110} .

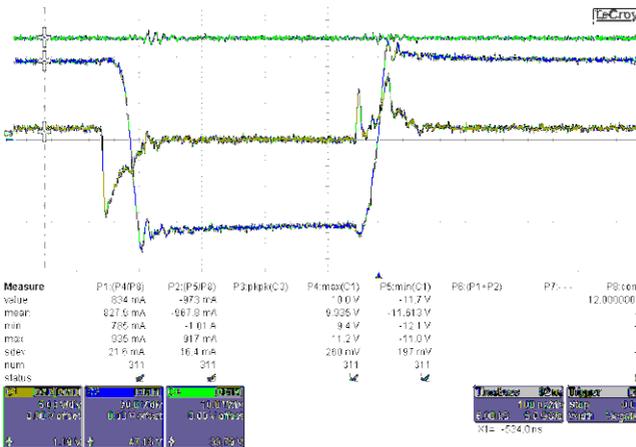


Abb. B.5: SiC-JFET. P1: $I_{on}(R_{111})$ / P2: $I_{off}(R_{111})$ / P8: R_{110} .

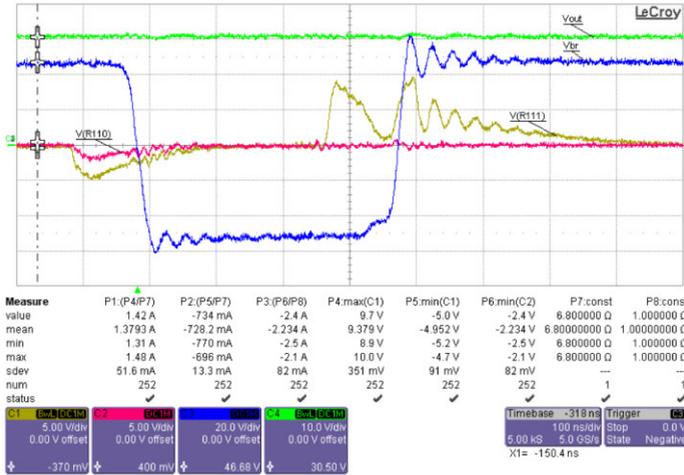


Abb. B.6: HEXFET. P1,2: $I_{\text{on,off}}(R_{111})$ / P3: $I_{\text{off}}(R_{110})$ / P7: R_{111} / P8: R_{110} .

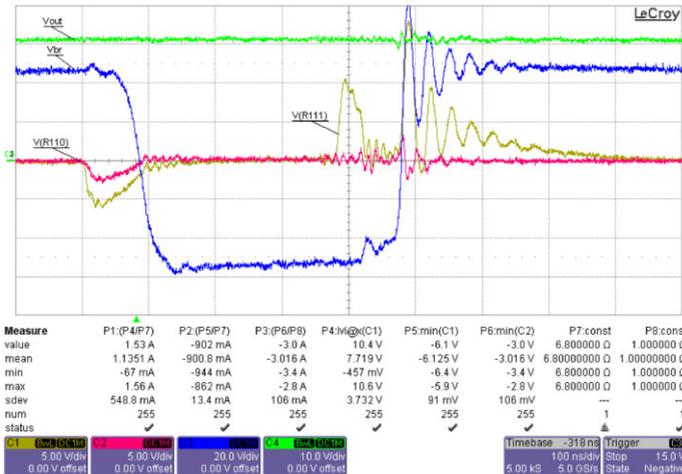


Abb. B.7: CoolMOS. P1,2: $I_{\text{on,off}}(R_{111})$ / P3: $I_{\text{off}}(R_{110})$ / P7: R_{111} / P8: R_{110} .

B.6 Messungen mit und ohne Entlastungsnetzwerk (Snubber)

SiC-MOSFET-Endstufe

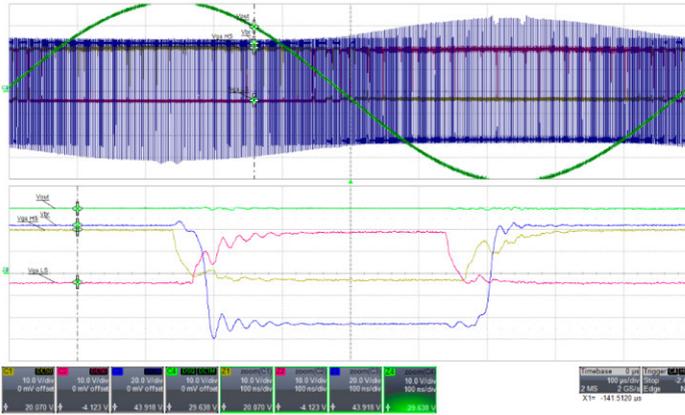


Abb. B.8: Charakteristische Spannungen (SiC-MOSFET) *ohne* Snubber.

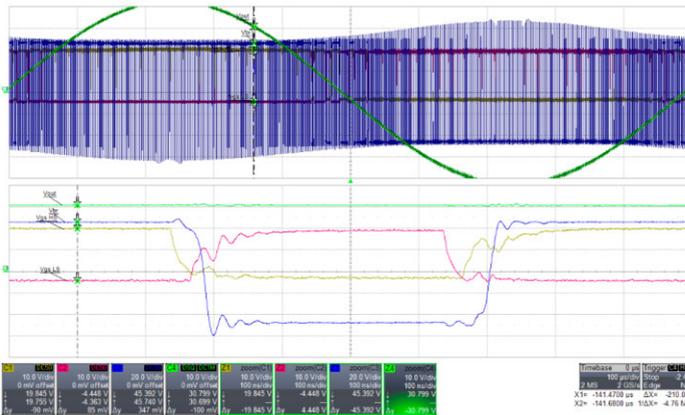
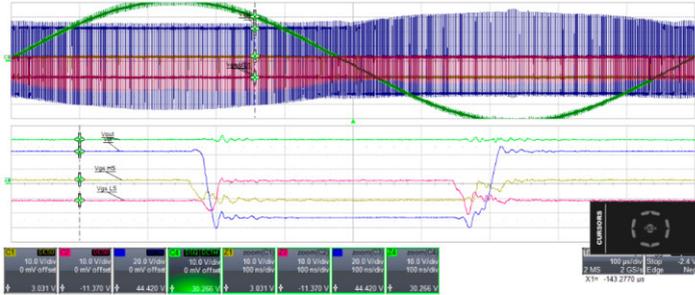


Abb. B.9: Charakteristische Spannungen (SiC-MOSFET) *mit* Snubber.

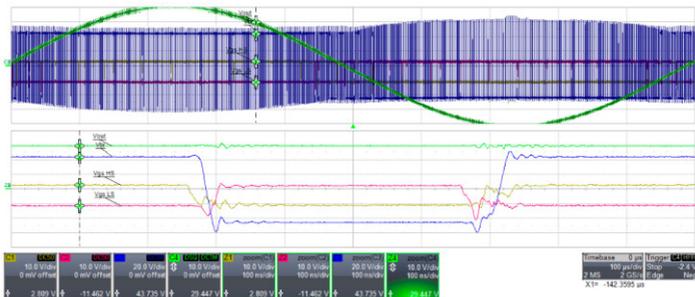
SiC-JFET-Endstufe



Channel Status

	C1	C2	C3	C4
V / Div	10.0 V	10.0 V	20.0 V	10.0 V
Offset	0 mV	0 mV	0 mV	0 mV
Vertical Coupling	DC50Ω	DC50Ω	DC50Ω	DC1MΩ

Abb. B.10: Charakteristische Spannungen (SiC-JFET) *ohne* Snubber.



Channel Status

	C1	C2	C3	C4
V / Div	10.0 V	10.0 V	20.0 V	10.0 V
Offset	0 mV	0 mV	0 mV	0 mV
Vertical Coupling	DC50Ω	DC50Ω	DC50Ω	DC1MΩ

Abb. B.11: Charakteristische Spannungen (SiC-JFET) *mit* Snubber.

HEXFET-Endstufe

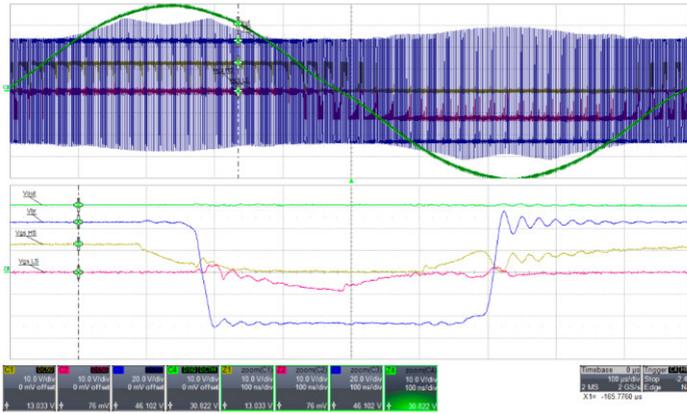


Abb. B.12: Charakteristische Spannungen (HEXFET) ohne Snubber.

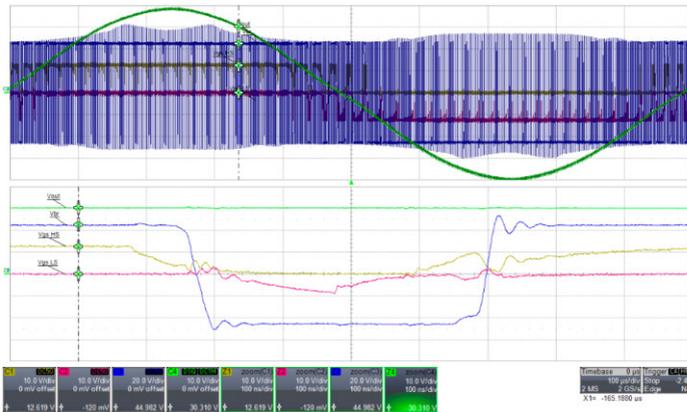


Abb. B.13: Charakteristische Spannungen (HEXFET) mit Snubber.

CoolMOS-Endstufe

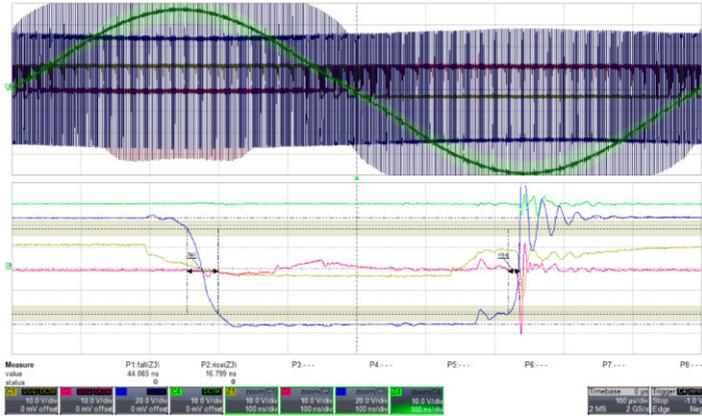


Abb. B.14: Charakteristische Spannungen (CoolMOS) *ohne* Snubber.

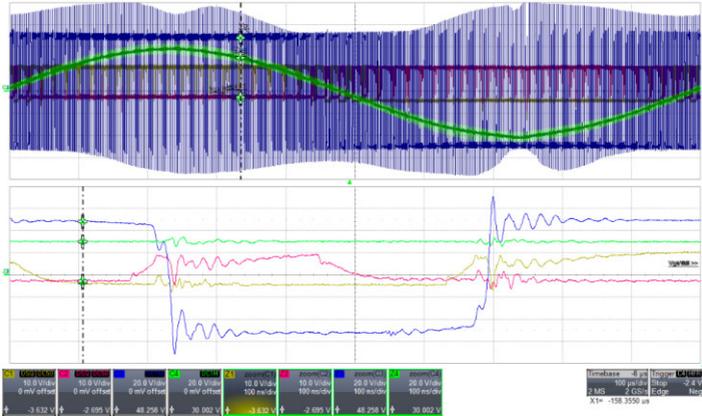


Abb. B.15: Charakteristische Spannungen (CoolMOS) *mit* Snubber.

SiC-MOSFET-Endstufe – THD+N

Audio Precision

08/30/16 12:21:06

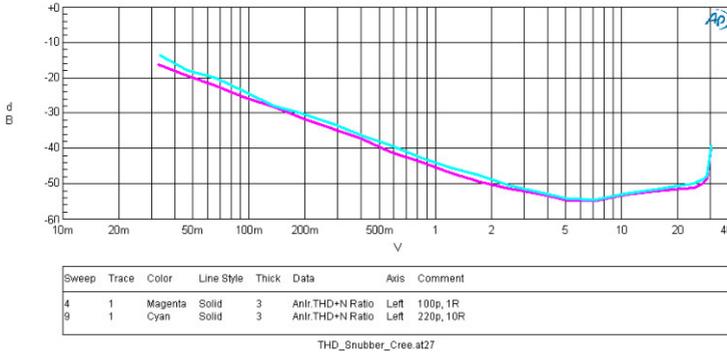


Abb. B.16: Klirrfaktor (SiC-MOSFET) *magenta*: mit Snubber, *cyan*: ohne Snubber.

SiC-JFET-Endstufe – THD+N

Audio Precision

08/30/16 12:12:25

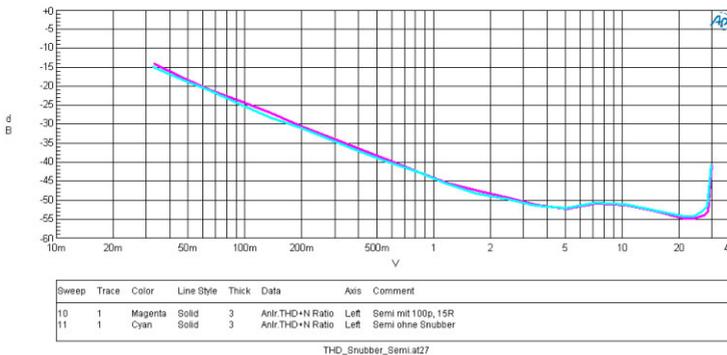


Abb. B.17: Klirrfaktor (SiC-JFET) *magenta*: mit Snubber, *cyan*: ohne Snubber.

HEXFET-Endstufe – THD+N

Audio Precision

08/30/16 12:50:13

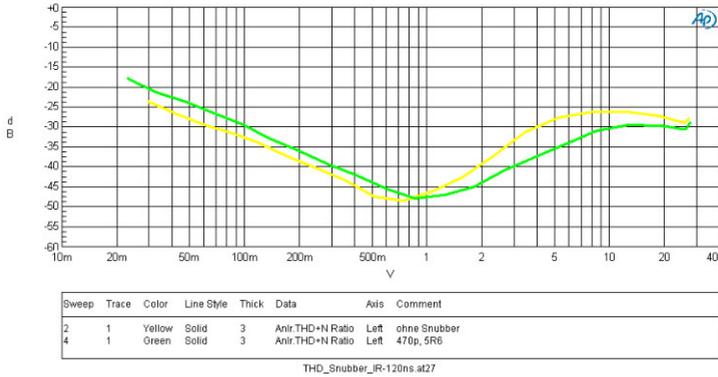


Abb. B.18: Klirrfaktor (HEXFET) grün: mit Snubber, gelb: ohne Snubber.

CoolMOS-Endstufe – THD+N

Audio Precision

06/13/16 17:53:29

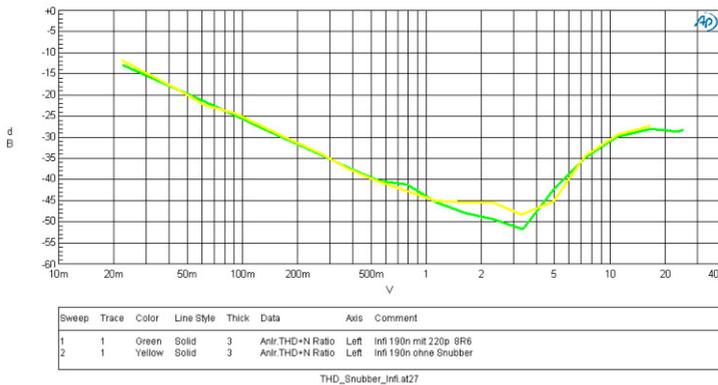


Abb. B.19: Klirrfaktor (CoolMOS) grün: mit Snubber, gelb: ohne Snubber.

B.7 Stromlaufplan und Layout der Endstufen

Stromlaufplan

Nachfolgend sind Stromlaufpläne sowie das Layout der vier Endstufen dargestellt. Die erste Abbildung (B.20) zeigt den Kleinsignalteil der Schaltung mit den Spannungswandlern und Abblock-Elektrolytkondensatoren am Eingang, der Primärseite des LLC-Wandlers sowie der Beschaltung des DSPs.

Die folgenden Abbildungen (B.21ff) zeigen jeweils den Stromlaufplan der Leistungsstufe für jede Endstufe. Der Stromlaufplan beinhaltet die Primärseite des LLC-Wandlers mit den Spannungsreglern zur individuellen Anpassung der Gate-Source-Spannung, die Halbbrücke mit Gate-Treiber-Schaltkreis und Entlastungsnetzwerk, die keramischen Abblock-Kondensatoren zwischen den Versorgungsspannungen und Masse sowie den Ausgangsfilter.

Leiterplatten-Layout

Im Anschluss daran sind alle 6 Lagen des Layouts, beginnend mit der Top-Lage, dargestellt. Auf den Innenlagen sind die Umrisszeichnungen der Bauteile zur Orientierung weiterhin eingeblendet. Die SiC-MOSFET-, HEXFET sowie die CoolMOS-Endstufe basieren auf dem gleichen Leiterplatten-Design, für die SiC-JFET-Endstufe musste eine separate Leiterplatte produziert werden. Hier wurde das Design der Leistungsstufe um die Bauteile der Cascode-Light erweitert. Aus Platzgründen werden die Lagen jedoch nicht abgebildet, da das grundlegende Design beibehalten wurde.

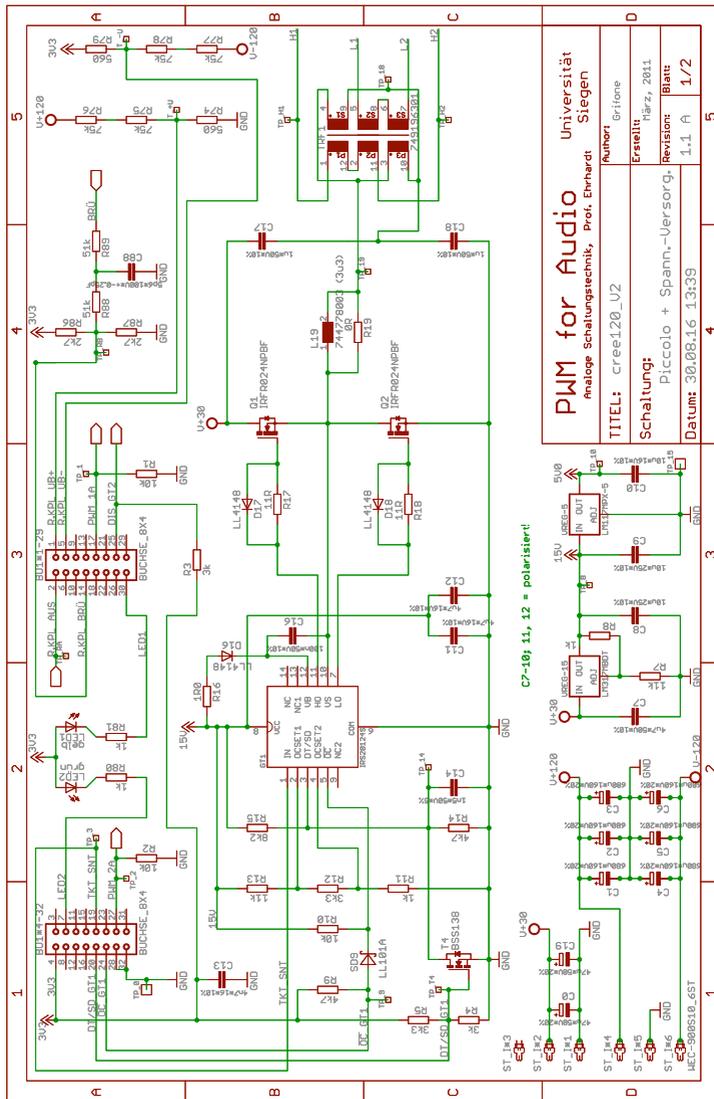


Abb. B.20: Kleinsignalteil mit DSP-Beschaltung und LLC-Wandler.

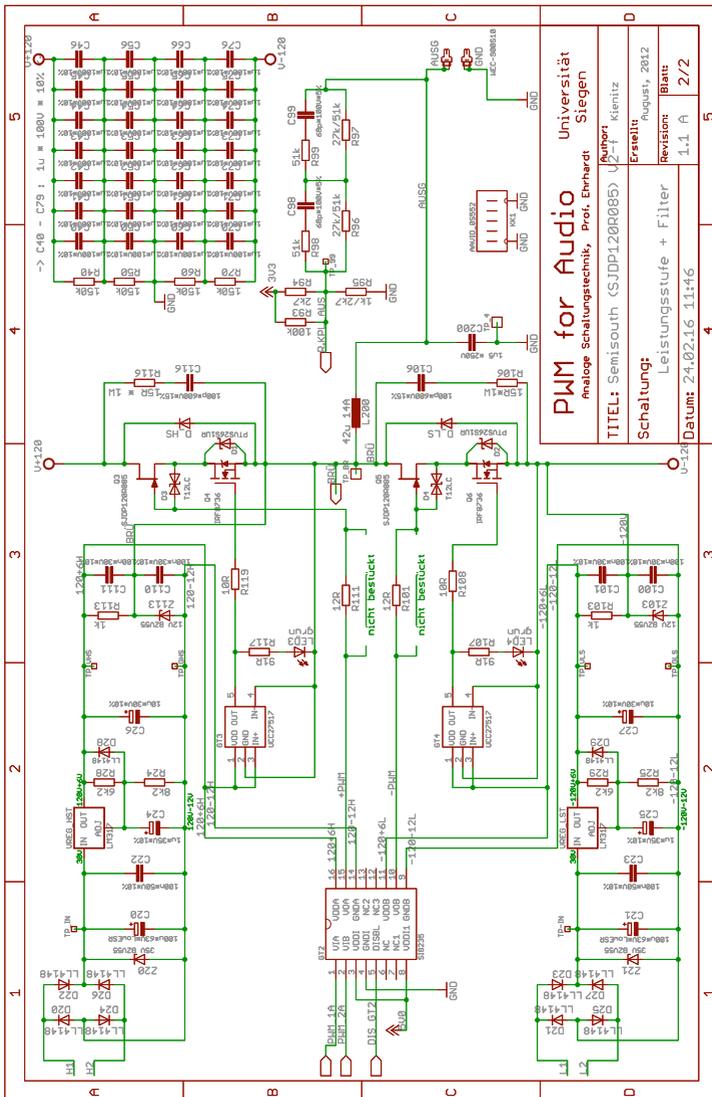
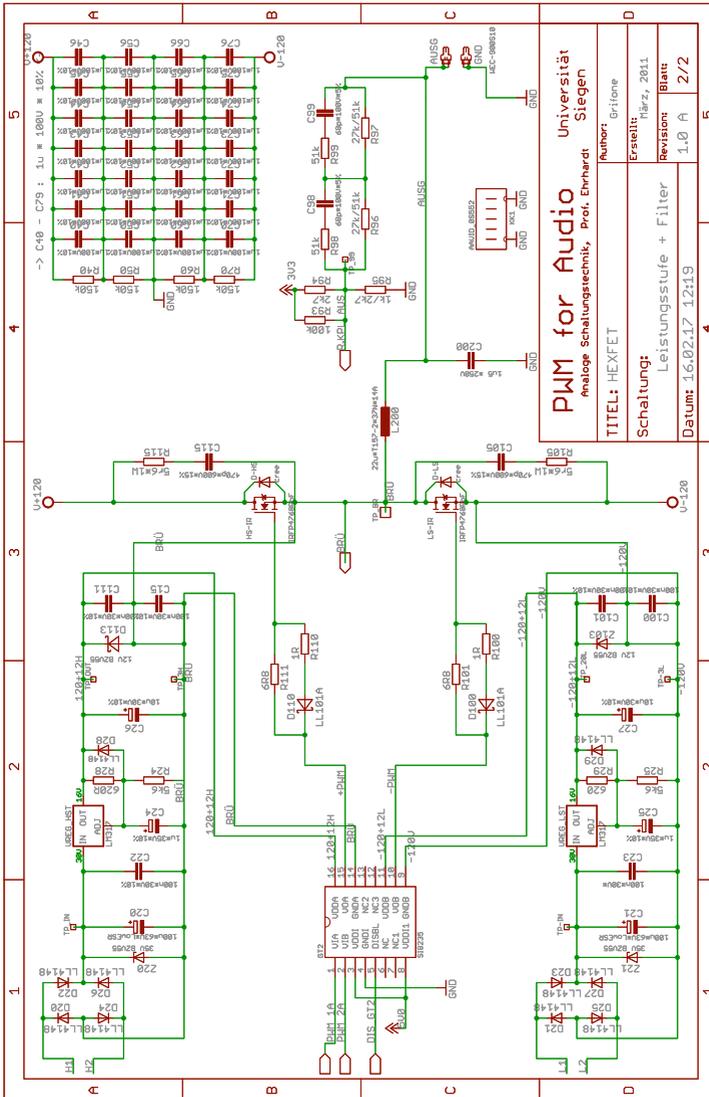


Abb. B.22: Leistungsstufe mit SiC-JFETs.



<p>PWM for Audio Universität Analoge Schaltungstechnik, Prof. Einhardt Siegen</p>		Autor: Grifone
		Erstellt: März, 2011
Schaltung: Leistungsstufe + Filter		Blatt: 1/0 A 2/2
Datum: 16.02.17 12:19		5

Abb. B.23: Leistungsstufe mit HEXFETs.

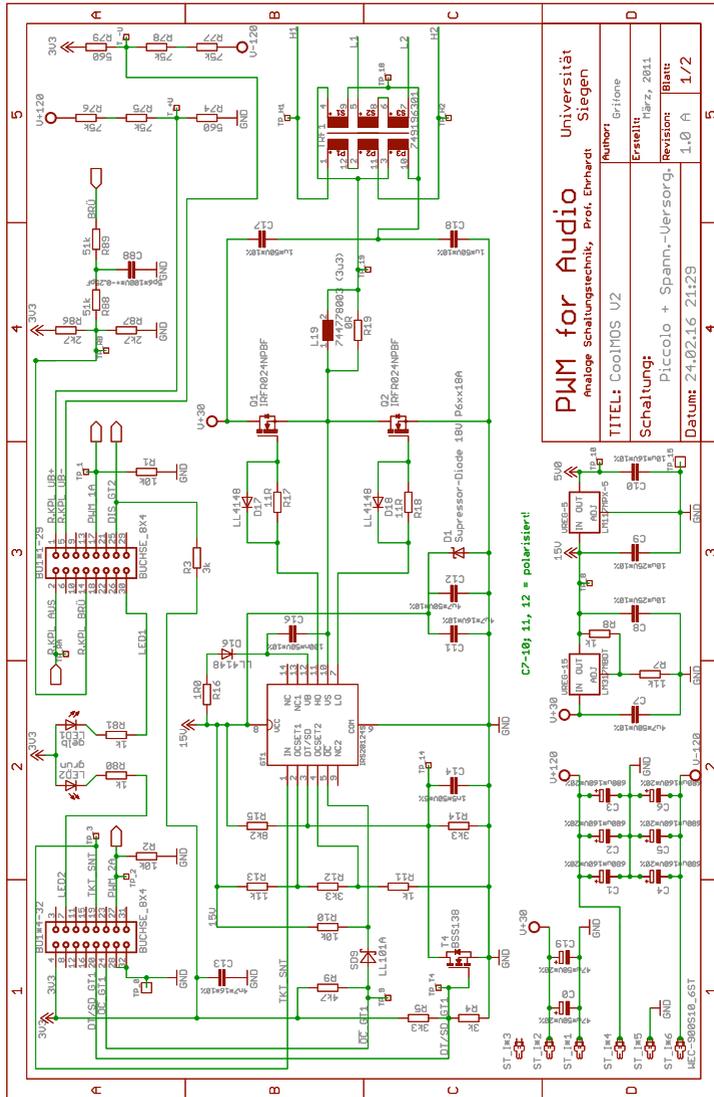


Abb. B.24: Leistungsstufe mit CoolMOS-Transistoren.

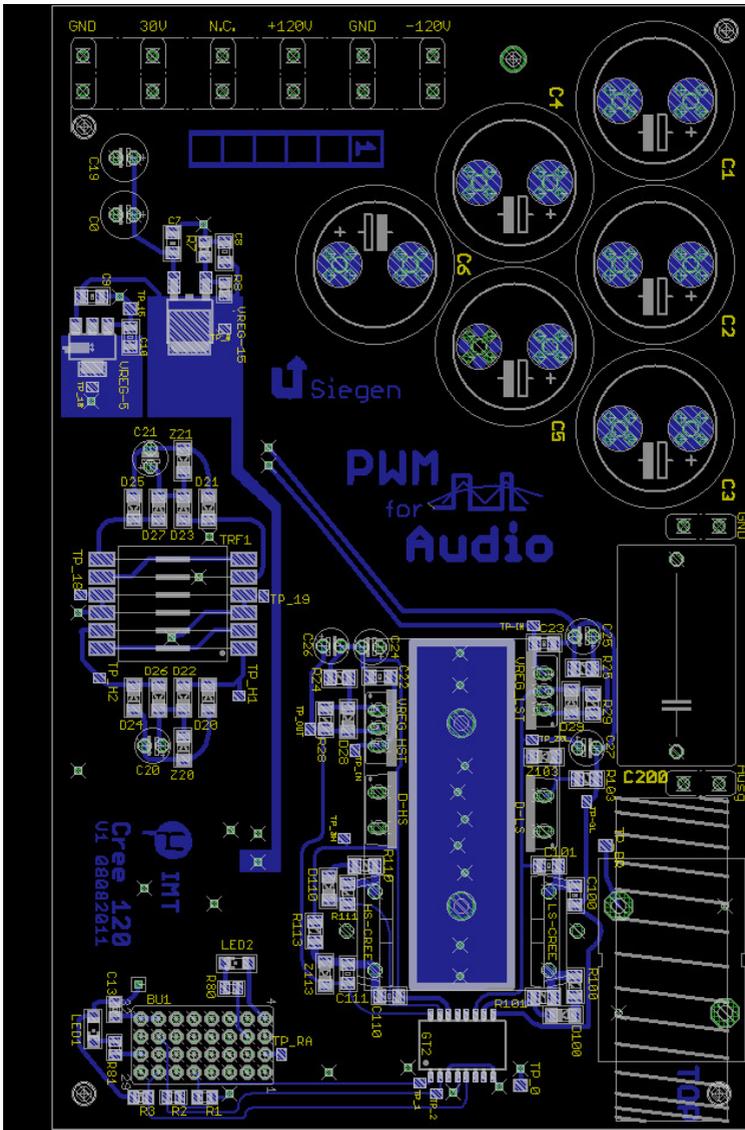


Abb. B.25: Gemeinsames Layout der Platinen – Top-Lage (Oberseite).

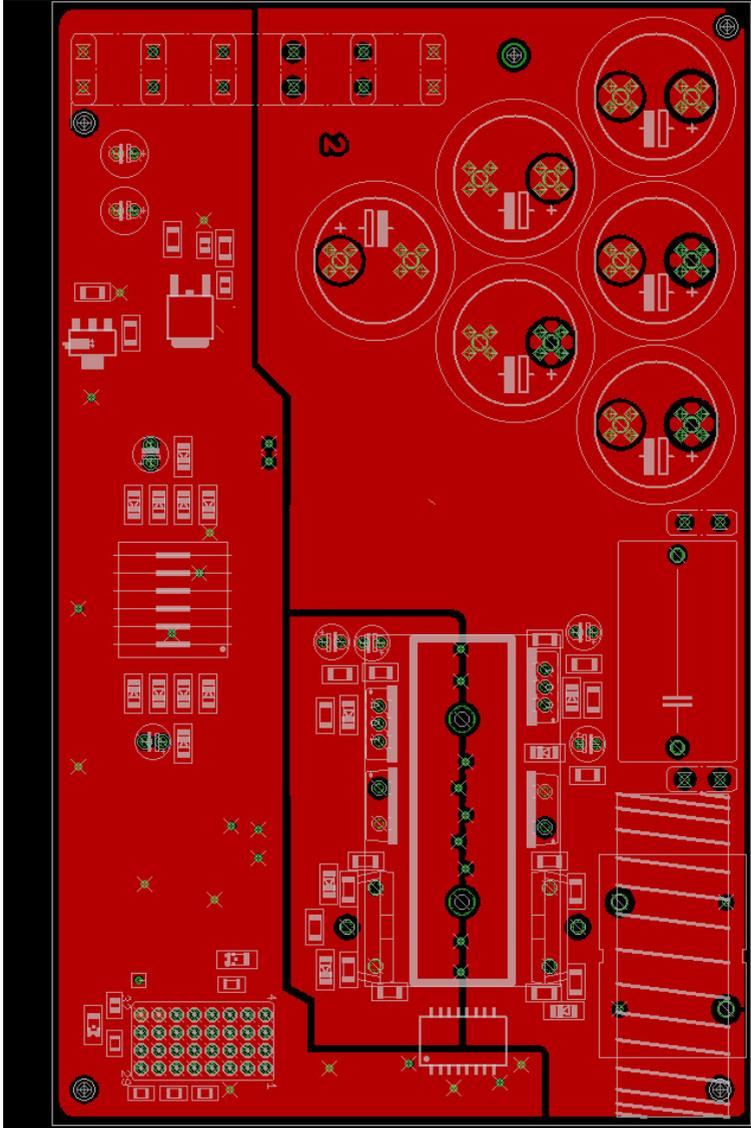


Abb. B.26: Gemeinsames Layout der Platinen – 2. Lage (Innenlage).

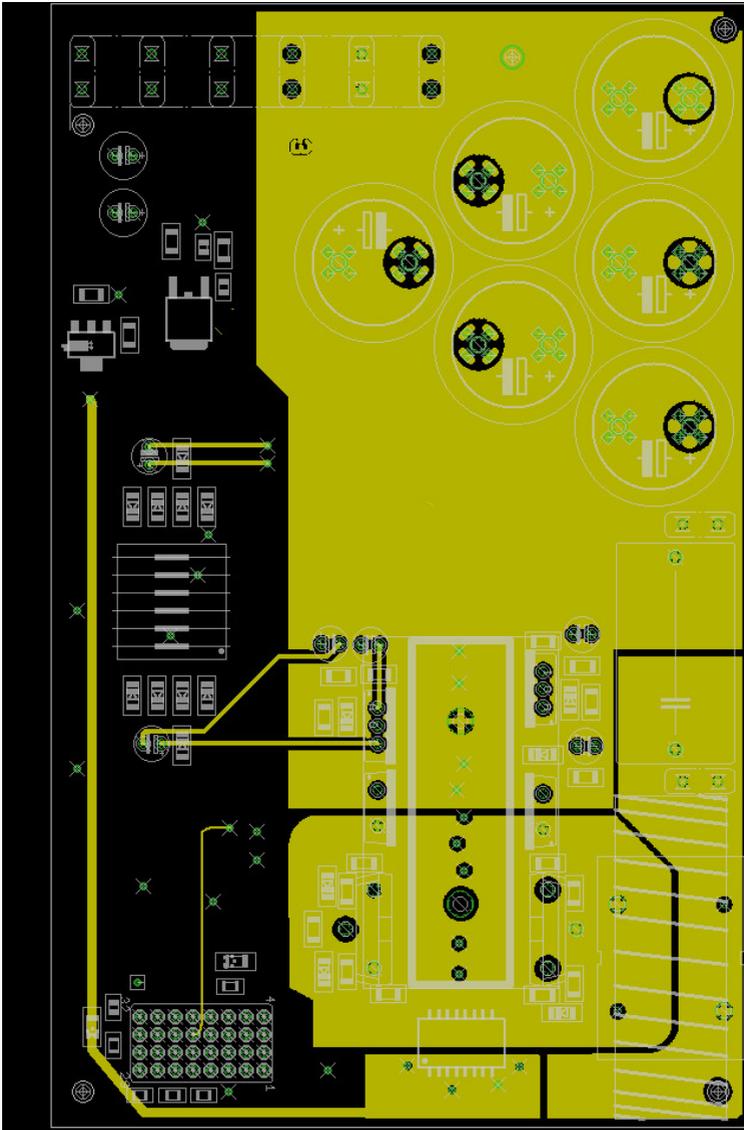


Abb. B.27: Gemeinsames Layout der Platinen – 3. Lage (Innenlage).

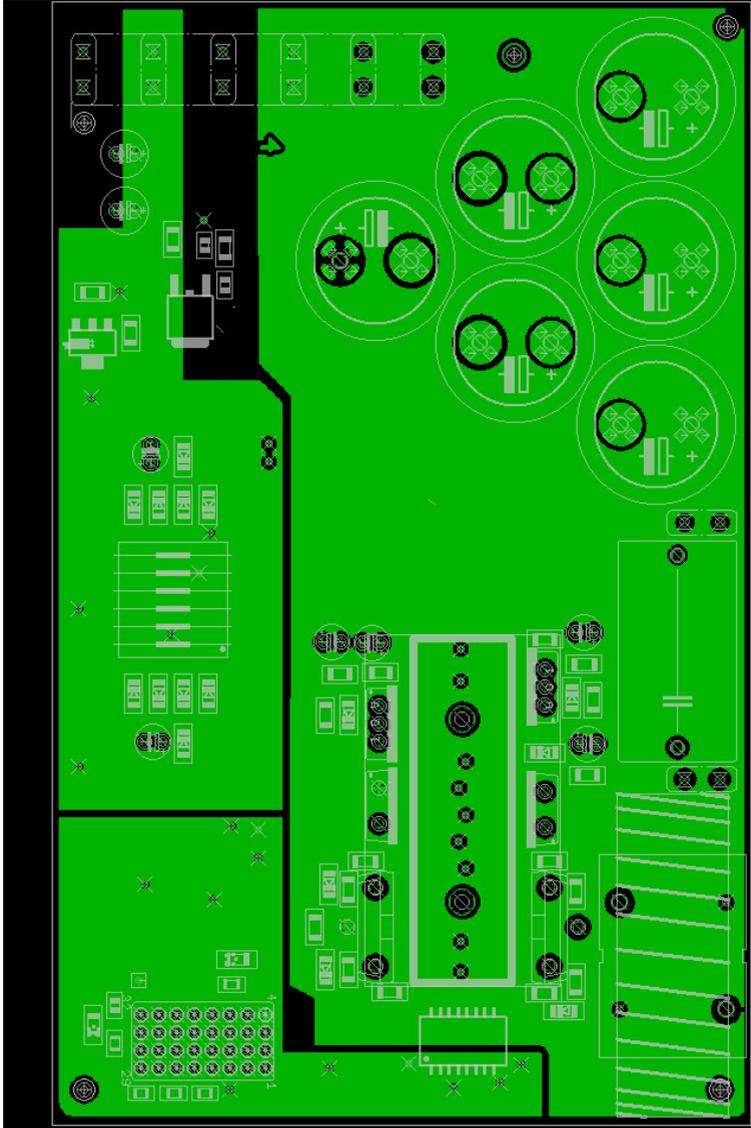


Abb. B.28: Gemeinsames Layout der Platinen – 4. Lage (Innenlage).

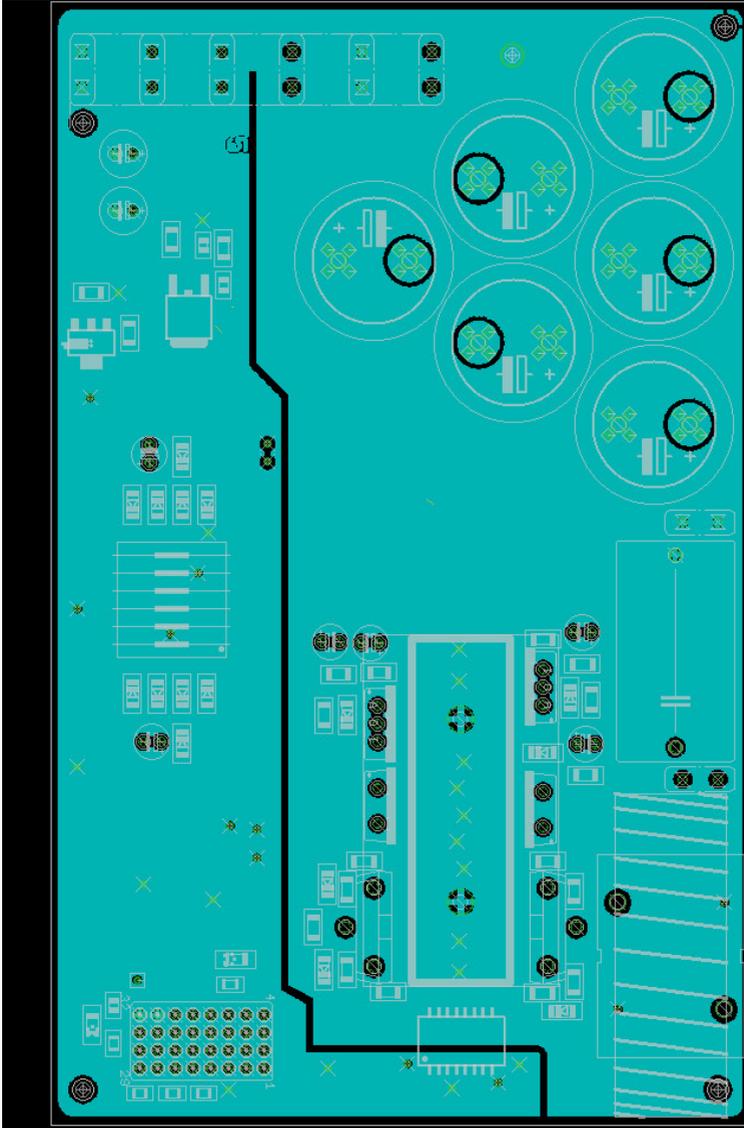


Abb. B.29: Gemeinsames Layout der Platinen – 5. Lage (Masselage).

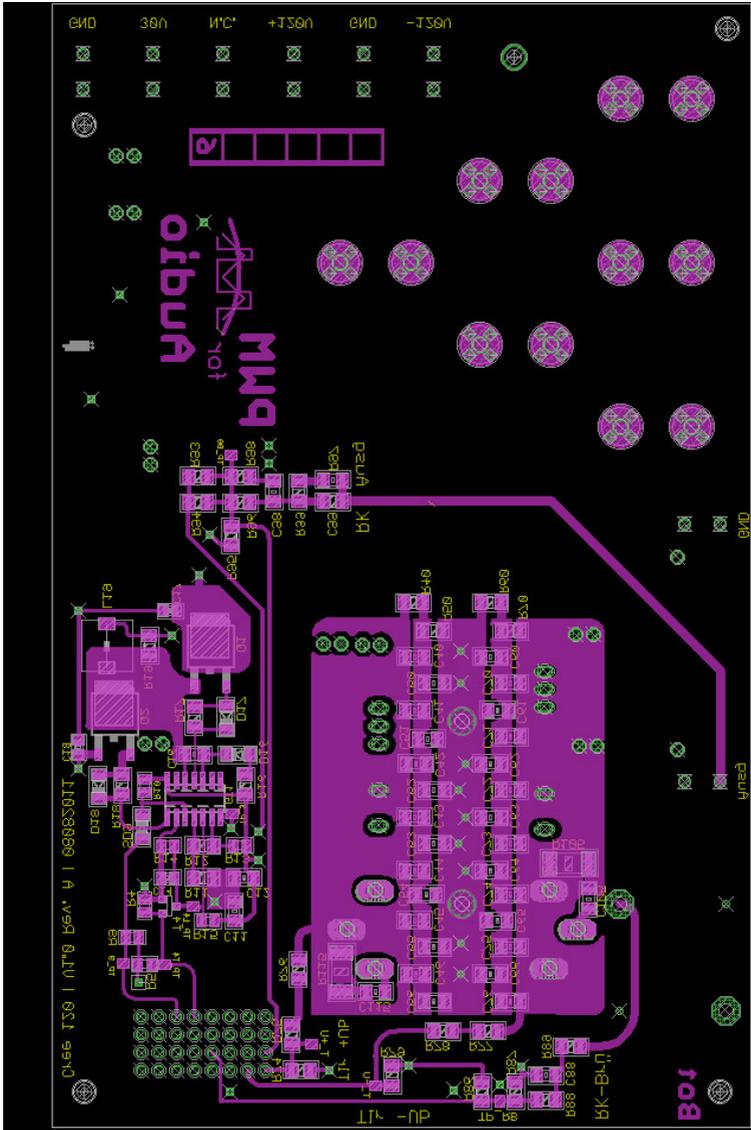


Abb. B.30: Gemeinsames Layout der Platinen – Bottom-Lage (Unterseite).

B.8 Auswirkung von Layout-Fehlern auf die Funktion der Schaltung

Im Layout der SiC-JFET-Leiterplatte musste der Gate-Treiber für die Leistungsstufe aufgrund der Bauteile für die *Cascode-Light*-Schaltung verschoben werden.

Im Zuge dieser Neuplatzierung wurde die Kleinsignal-Masse, also das Bezugspotential für die Steuersignale, versehentlich mit PGND verbunden. Die eingekoppelten Störspitzen des schaltenden Leistungsteils wurden zum Teil vom Gate-Treiber missinterpretiert und führten so zu nicht korrekten PWM-Steuersignalen. Infolgedessen entstanden signifikante Verzerrungen des Ausgangssignal, welche sich bei einer 70%igen Aussteuerungen als abgeschnittene Sinus-Kuppen äußerten. Bei geringeren Aussteuerungen war zwar optisch keine Verformung zu erkennen, die THD-Messung zeigte jedoch einen ungewöhnlichen Anstieg mit einer ausgeprägten Spitze im *Bodenbereich* der THD+N-Kurve¹ wie in Abbildung B.31 dargestellt.



Abb. B.31: Übermäßiger THD infolge eines Layout-Fehlers auf der SiC-JFET-Leiterplatte.

¹ im sog. *Bodenbereich* erreicht die THD+N-Kurve in der Regel ihr Minimum.

Anhang C

Messungen zum Schaltverhalten

Die Oszilloskop-Aufnahmen der vier Endstufen befinden sich immer auf einer Doppelseite – links die SiC-Endstufen, rechts die konventionellen. Die nebenstehende Reihenfolge wird strikt beibehalten. An dieser Stelle werden aus Platzgründen keinerlei Erläuterungen gegeben – Die grundlegenden Informationen sind den Untertiteln zu entnehmen, die Diskussion wird in Kapitel 5 geführt. Diese Art der Darstellung gewährleistet einen direkten und übersichtlichen Vergleich der gemessenen Parameter als Grundlage für die Analyse in Kapitel 5. Da die CoolMOS-Endstufe von den Analysen zur identischen Totzeit ausgenommen ist, bleibt der entsprechende Platz auf der Doppelseite frei.

SiC-MOSFET	HexFET
SiC-JFET	CoolMOS

Abb. C.1: Normierte Anordnung.

Belegung der Oszilloskop-Kanäle

Spannungsmessung:

- Kanal 1 / gelb / 10V/div : Gate-Source-Spannung der High-Side
- Kanal 2 / pink / 10V/div : Gate-Source-Spannung der Low-Side
- Kanal 3 / blau / 20V/div : Brückenspannung
- Kanal 4 / grün / 20V/div : Ausgangsspannung

Strommessung:

- Kanal 1 / gelb / 10V/div : Gate-Source-Spannung der High-Side
- Kanal 2 / pink / 10V/div : Gate-Source-Spannung der Low-Side
- Kanal 3 / blau / 20V/div : Brückenspannung
- Kanal 4 / grün / 10V/div : Drainstrom des High-Side FETs

C.1 Reverse Recovery im Leerlauf

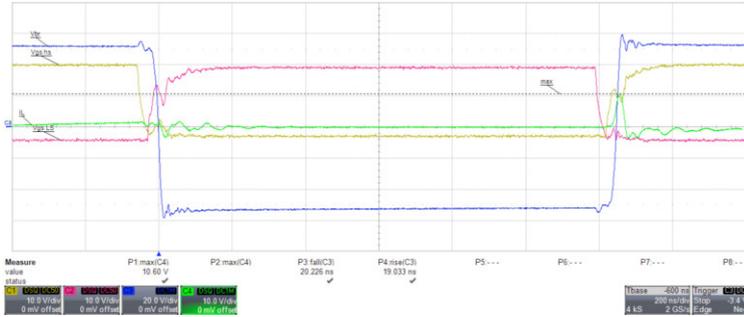


Abb. C.2: SiC-MOSFET: Diodenrückstrom $I_{rr} = \hat{I}_D = 10,6 \text{ A}$.

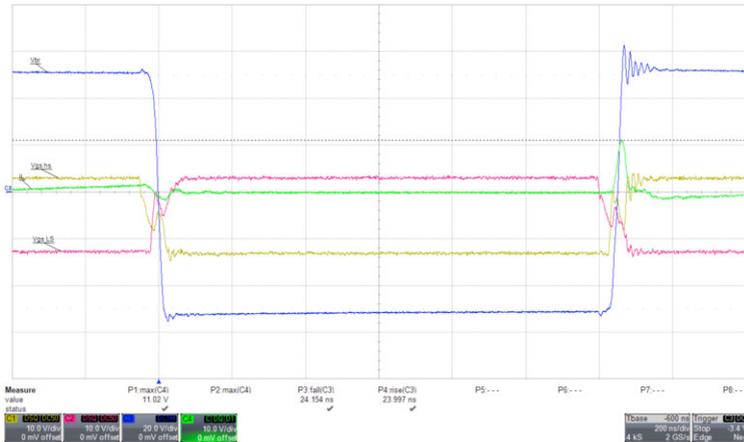


Abb. C.3: SiC-JFET: Diodenrückstrom $I_{rr} = \hat{I}_D = 11 \text{ A}$.

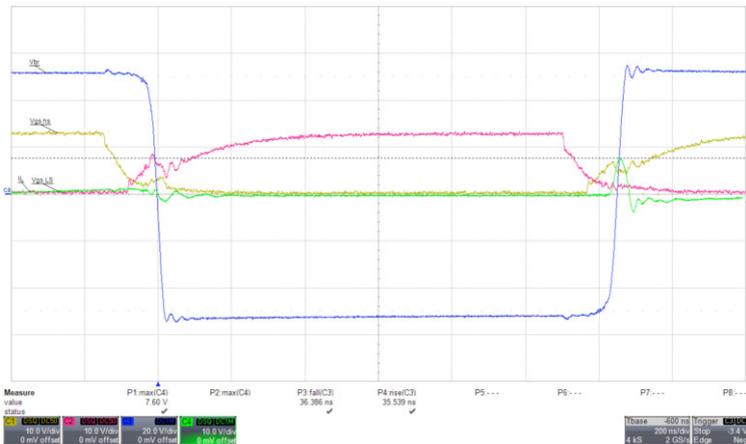


Abb. C.4: HEXFET: Diodenrückstrom $I_{rr} = \hat{I}_D = 7,6 \text{ A}$.

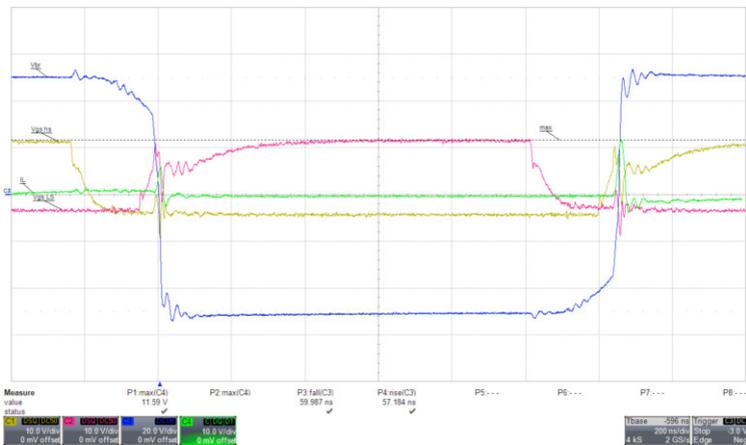


Abb. C.5: CoolMOS: Diodenrückstrom $I_{rr} = \hat{I}_D = 11,6 \text{ A}$.

C.2 Umladezeiten und Schaltverzögerung im Leerlauf – optimale DSP-Totzeit

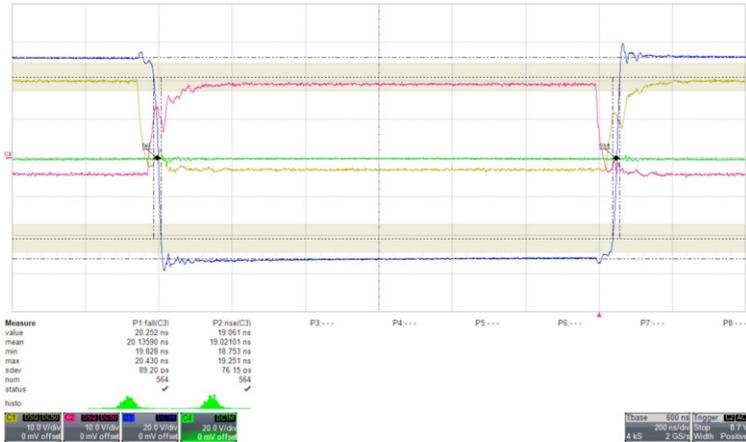


Abb. C.6: SiC-MOSFET: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{\text{off}}=60$ ns | $t_{\text{on}}=31$ ns

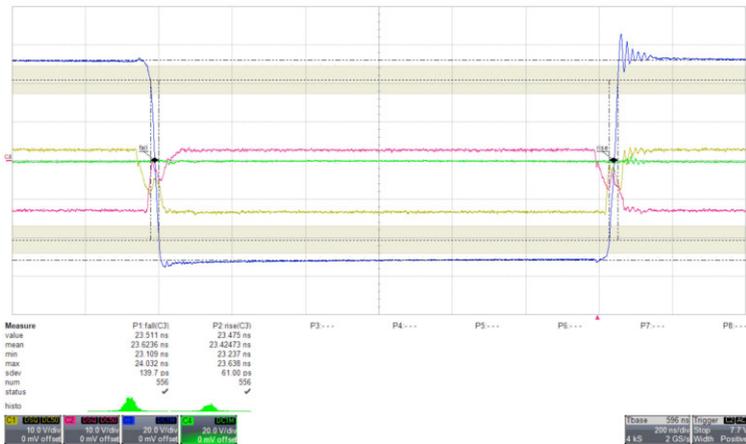


Abb. C.7: SiC-JFET: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{\text{off}}=53$ ns | $t_{\text{on}}=28$ ns



Abb. C.8: HEXFET: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{\text{off}} = 147 \text{ ns}$ | $t_{\text{on}} = 80 \text{ ns}$

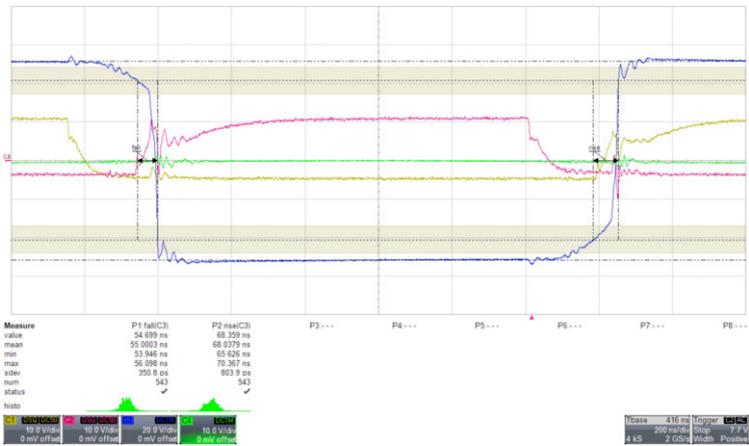


Abb. C.9: CoolMOS: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{\text{off}} = 245 \text{ ns}$ | $t_{\text{on}} = 58 \text{ ns}$

C.3 Umladezeiten und Schaltverzögerung im Leerlauf – identische DSP-Totzeit

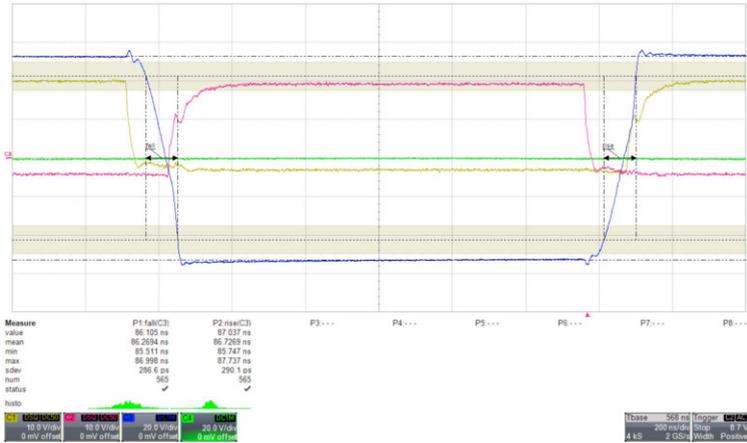


Abb. C.10: SiC-MOSFET: t_{fall} : s. P1 | t_{rise} : s. P2 | t_{off} = 138 ns | t_{on} = $\bar{\mu}$

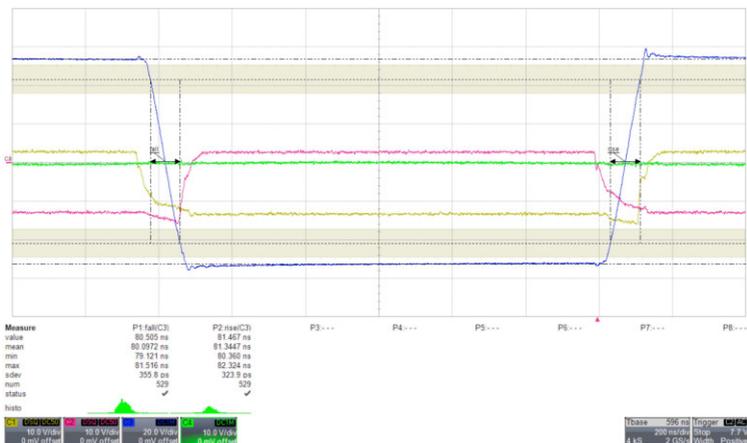


Abb. C.11: SiC-JFET: t_{fall} : s. P1 | t_{rise} : s. P2 | t_{off} = 80 ns | t_{on} = $\bar{\mu}$

C.3 Umladezeiten und Schaltverzögerung im Leerlauf – identische DSP-Totzeit



Abb. C.12: HEXFET: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{\text{off}}= 194 \text{ ns}$ | $t_{\text{on}}= 78 \text{ ns}$

C.4 Nulllinie im Leerlauf

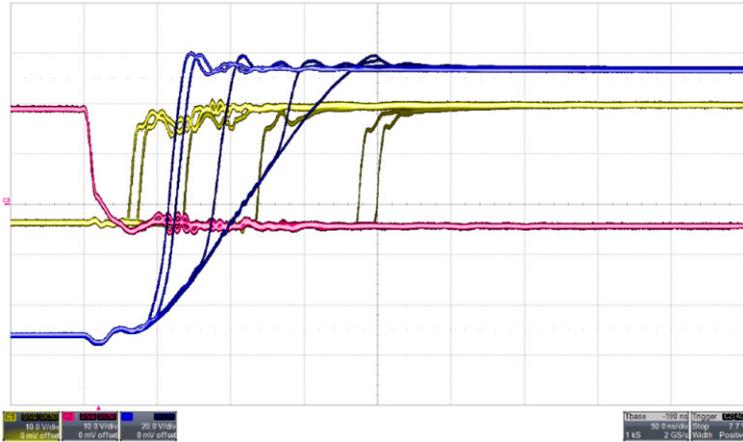


Abb. C.13: SiC-MOSFET – Totzeiten: 35 – 40 – 70 – 120 – 190 – 200.

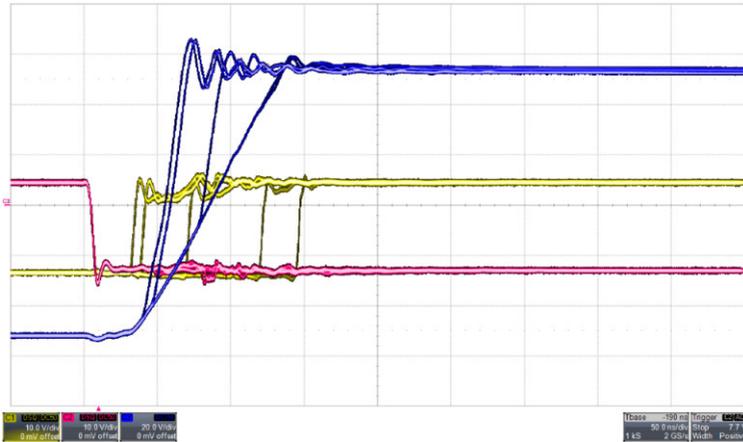


Abb. C.14: SiC-JFET – Totzeiten: 35 – 40 – 70 – 120 – 145.

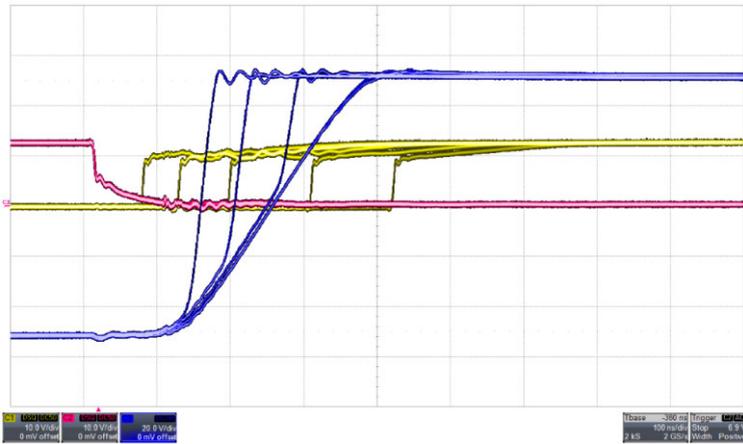


Abb. C.15: HEXFET- Totzeiten: 70 – 120 – 190 – 300 – 415.

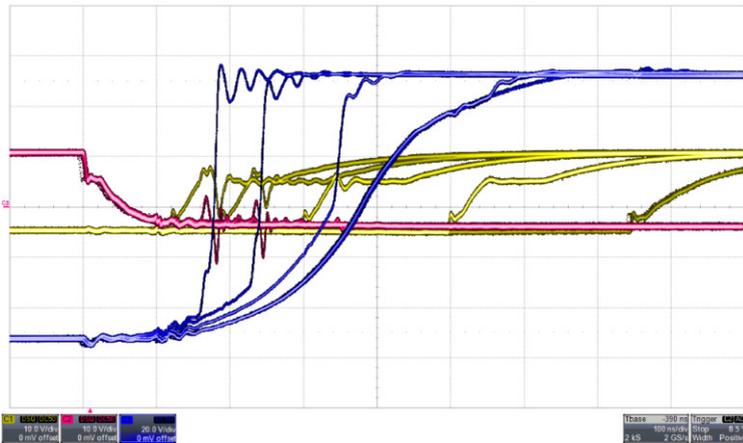


Abb. C.16: CoolMOS- Totzeiten: 120 – 190 – 300 – 500 – 750.

C.5 Flankenmodulation am Ende der Central Region

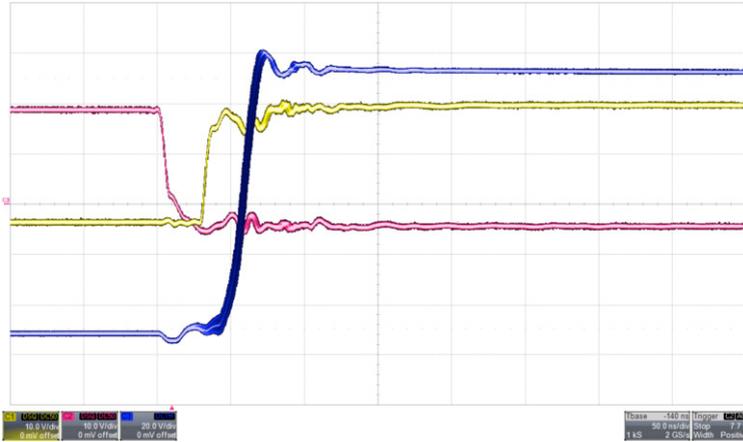


Abb. C.17: SiC-MOSFET: effektive Totzeit $t_{eff} = 5,5$ ns

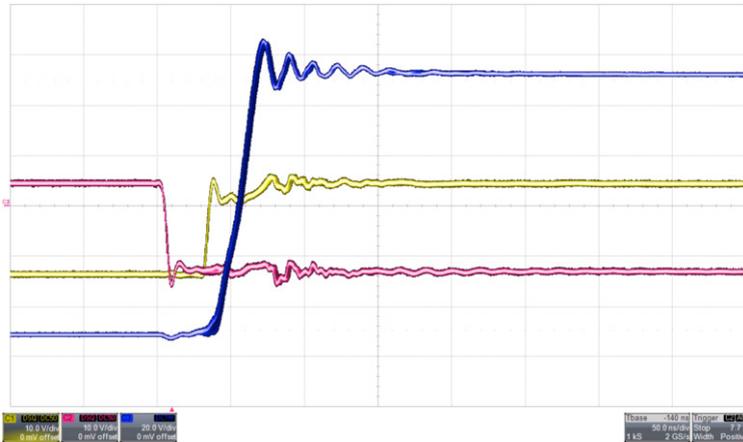


Abb. C.18: SiC-JFET: effektive Totzeit $t_{eff} = 4$ ns

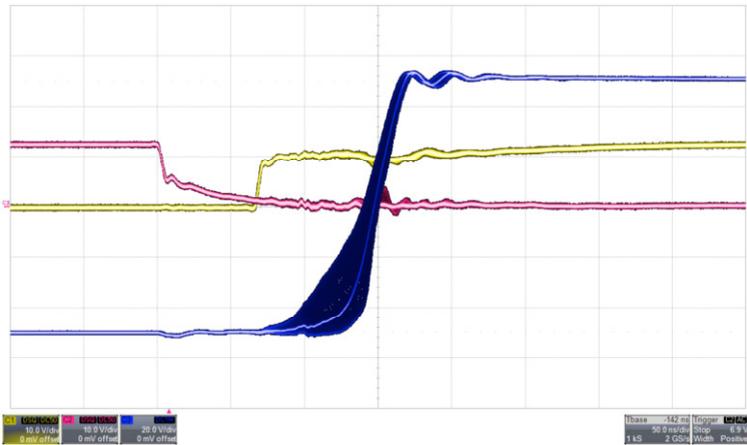


Abb. C.19: HEXFET: effektive Totzeit $t_{\text{eff}} = 11 \text{ ns}$

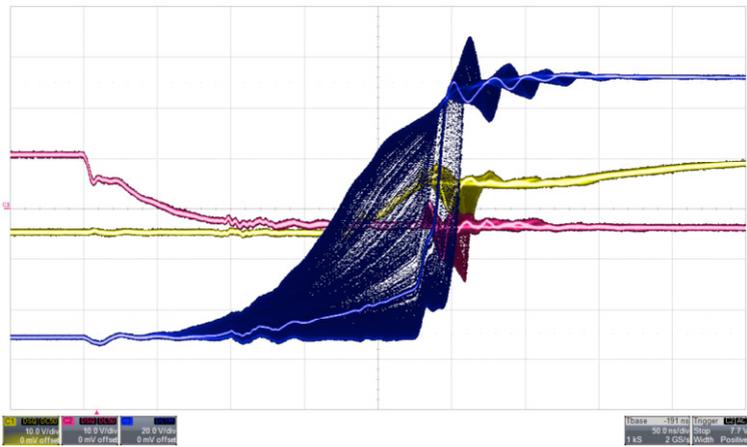


Abb. C.20: CoolMOS: effektive Totzeit $t_{\text{eff}} = 82 \text{ ns}$

C.6 Reverse Recovery unter Aussteuerung

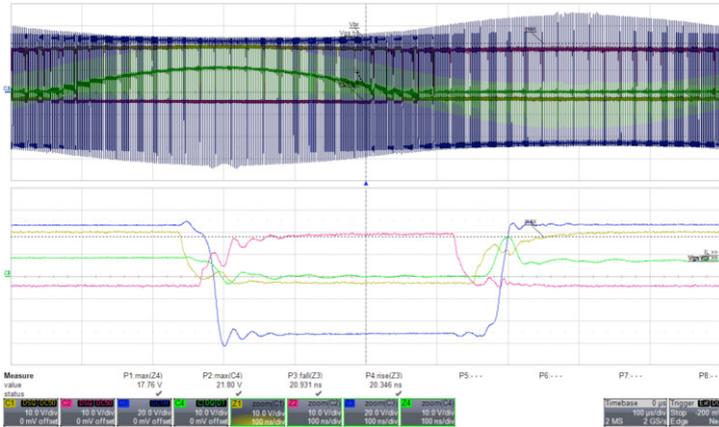


Abb. C.21: SiC-MOSFET: Einschaltstrom-Spitze: $\hat{I}_{D(7A)} = 18 \text{ A}$, $\hat{I}_{D(max)} = 21 \text{ A}$
 Diodenrückstrom: $I_{rr(7A)} = 11 \text{ A}$

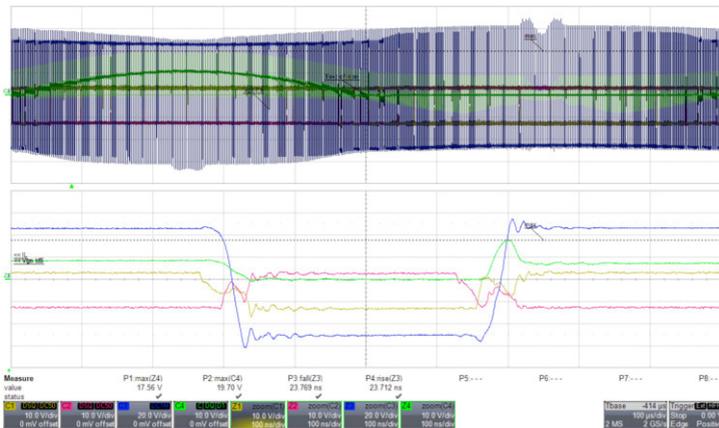


Abb. C.22: SiC-JFET: Einschaltstrom-Spitze: $\hat{I}_{D(7A)} = 18 \text{ A}$, $\hat{I}_{D(max)} = 20 \text{ A}$
 Diodenrückstrom: $I_{rr(7A)} = 11 \text{ A}$

C.7 Umladezeiten und Schaltverzögerung unter Aussteuerung – optimale DSP-Totzeit

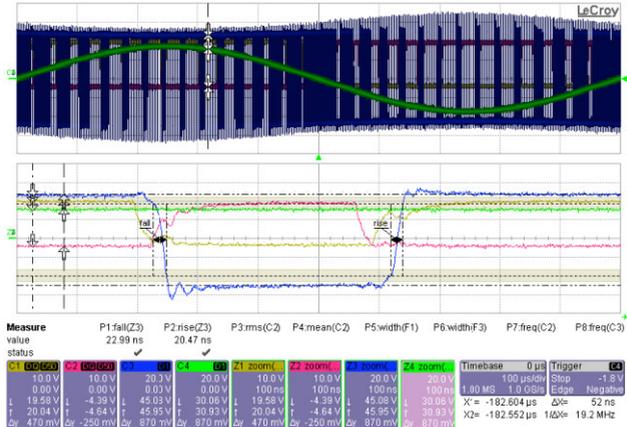


Abb. C.25: SiC-MOSFET: t_{fall} : s. P1 | t_{rise} : s. P2 | t_{off} = 51 ns | t_{on} = 40 ns

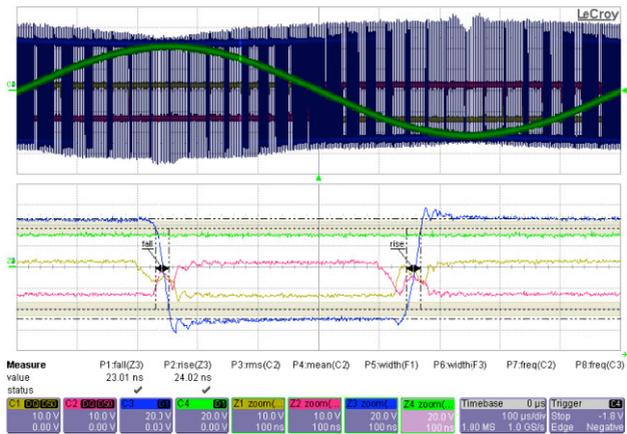


Abb. C.26: SiC-JFET: t_{fall} : s. P1 | t_{rise} : s. P2 | t_{off} = 49 ns | t_{on} = 36 ns

C.7 Umladezeiten und Schaltverzögerung unter Aussteuerung – optimale DSP-Totzeit

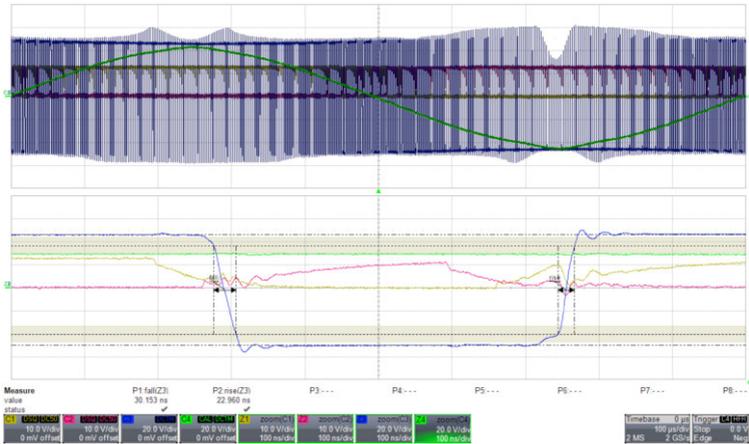


Abb. C.27: HEXFET: t_{fall} : s. P1 | t_{rise} : s. P2 | t_{off} = 99 ns | t_{on} = 98 ns

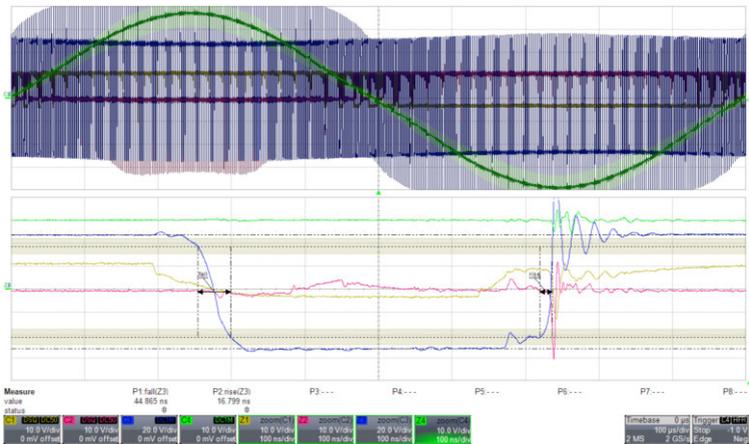


Abb. C.28: CoolMOS: t_{fall} : s. P1 | t_{rise} : s. P2 | t_{off} = 85 ns | t_{on} = 100 ns

C.8 Umladezeiten und Schaltverzögerung unter Aussteuerung – identische DSP-Totzeit

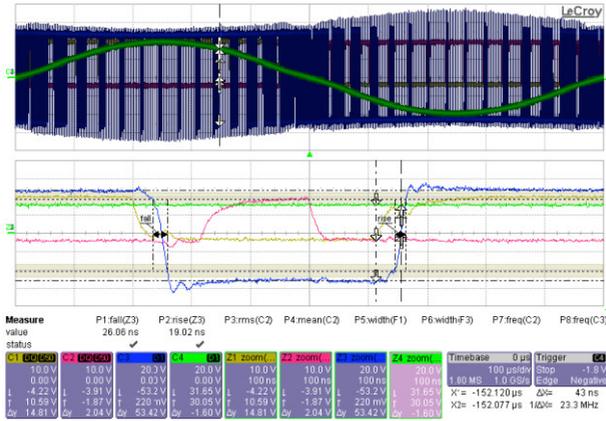


Abb. C.29: SiC-MOSFET: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{off} = 50$ ns | $t_{on} = 43$ ns. Die Positionsmarken bezeichnen die Einschaltverzögerung.

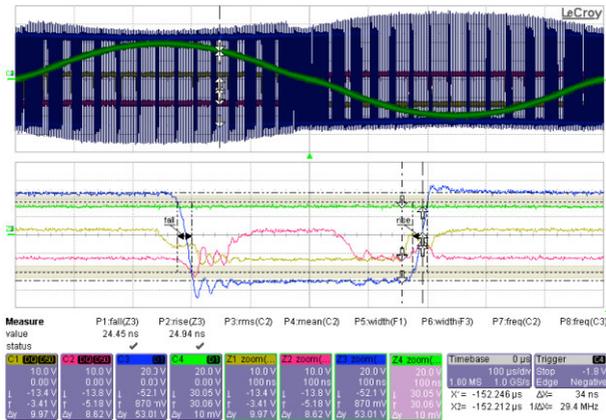


Abb. C.30: SiC-JFET: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{off} = 49$ ns | $t_{on} = 34$ ns. Die Positionsmarken bezeichnen die Einschaltverzögerung.

C.8 Umladezeiten und Schaltverzögerung unter Aussteuerung – identische DSP-Totzeit

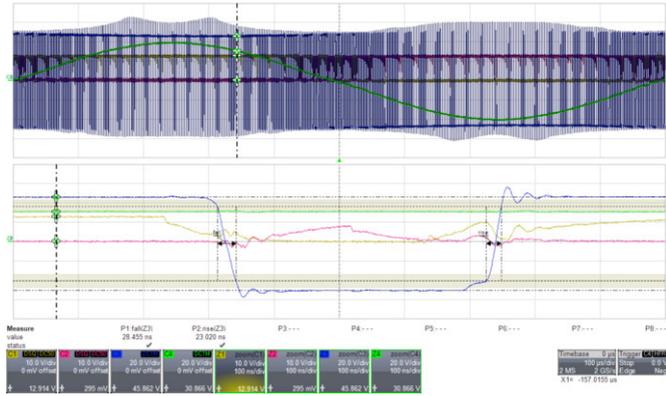


Abb. C.31: HEXFET: t_{fall} : s. P1 | t_{rise} : s. P2 | $t_{\text{off}} = 100 \text{ ns}$ | $t_{\text{on}} = 100 \text{ ns}$

C.9 Flankenmodulation unter Vollaussteuerung – optimale DSP-Totzeit

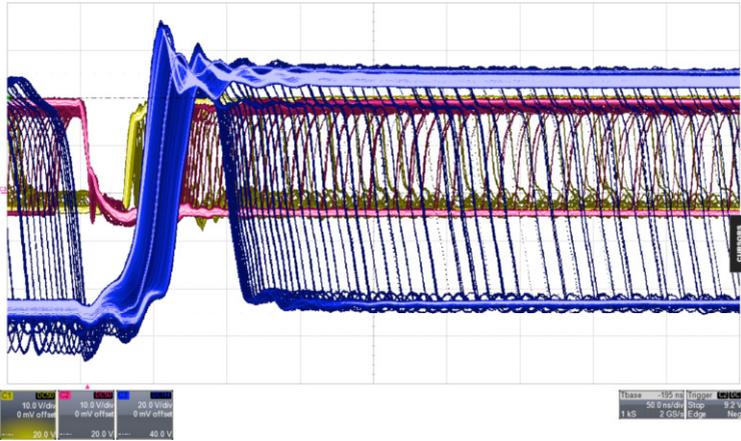


Abb. C.32: SiC-MOSFET: effektive Totzeit $t_{\text{eff}} = 27 \text{ ns}$

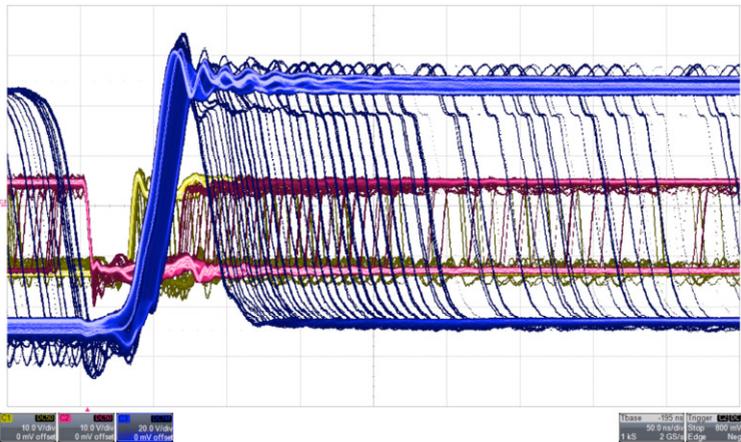


Abb. C.33: SiC-MOSFET: effektive Totzeit $t_{\text{eff}} = 18 \text{ ns}$

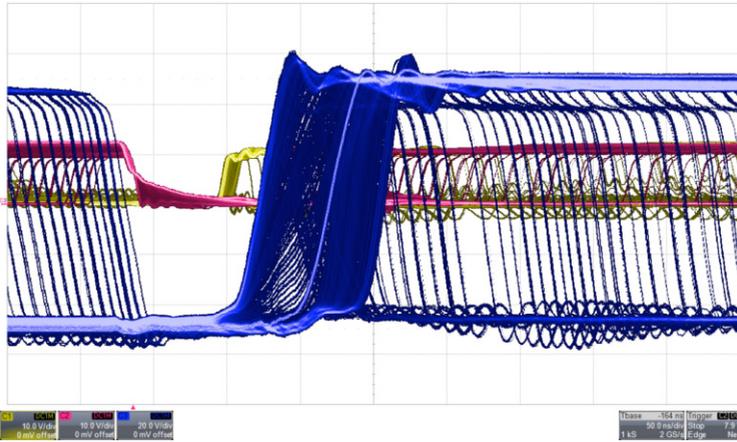


Abb. C.34: SiC-MOSFET: effektive Totzeit $t_{\text{eff}} = 93 \text{ ns}$

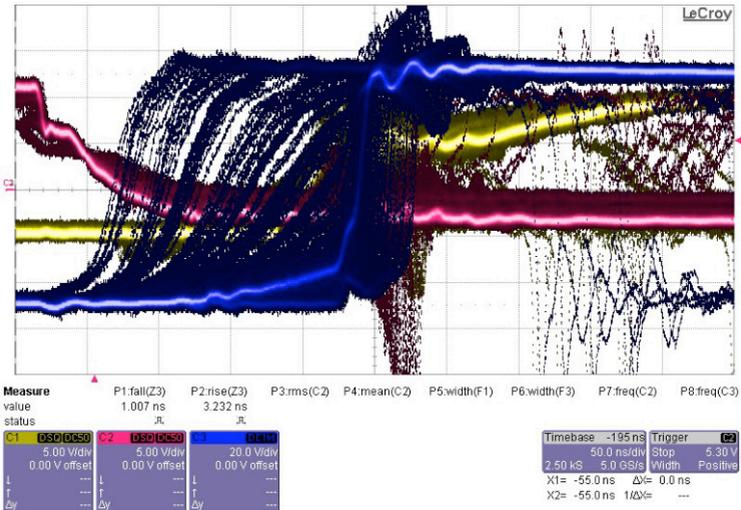


Abb. C.35: SiC-MOSFET: effektive Totzeit $t_{\text{eff}} \approx 210 \text{ ns}$

C.10 Flankenmodulation unter Vollaussteuerung – identische DSP-Totzeit

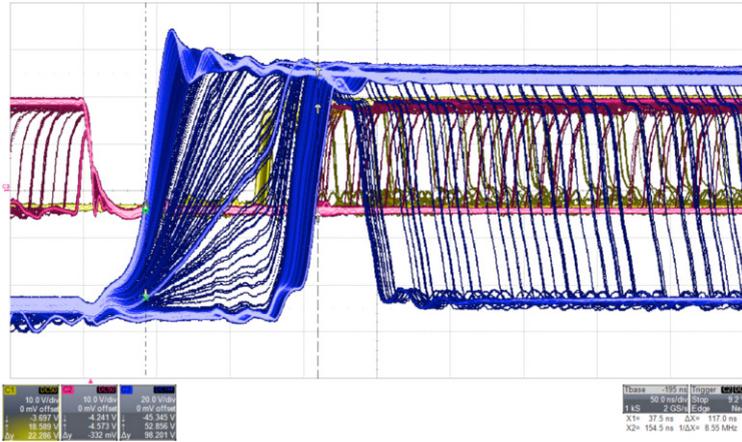


Abb. C.36: SiC-MOSFET: effektive Totzeit = 117 ns

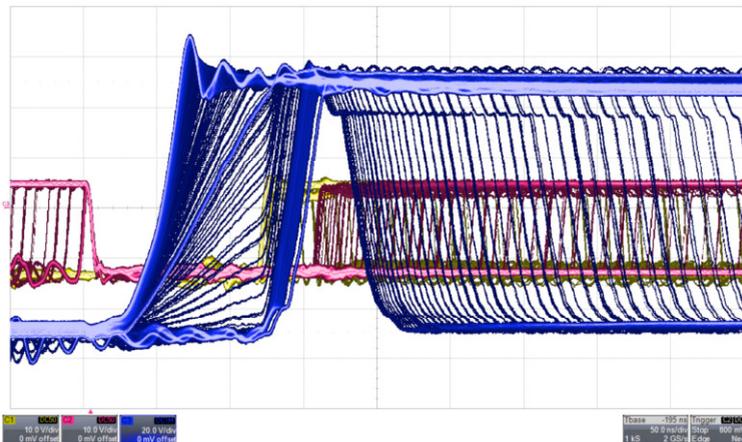


Abb. C.37: SiC-MOSFET: effektive Totzeit = 100 ns

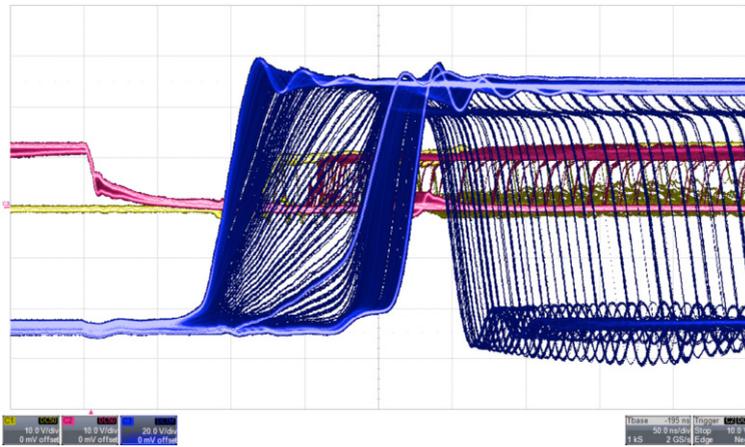


Abb. C.38: SiC-MOSFET: effektive Totzeit = 145 ns

C.11 Parasitäre Bauteile der Filterkomponenten

Alle Messungen wurden mit einem Netzwerkanalysator durchgeführt. Die Eigeninduktivität des Messanschlusses beträgt 180 nH.

Wicklungskapazität der Filterdrossel

Die Drossel wird direkt an den Messanschluss des Analysators angeschlossen. Die Messung liefert die folgende Impedanzkurve.

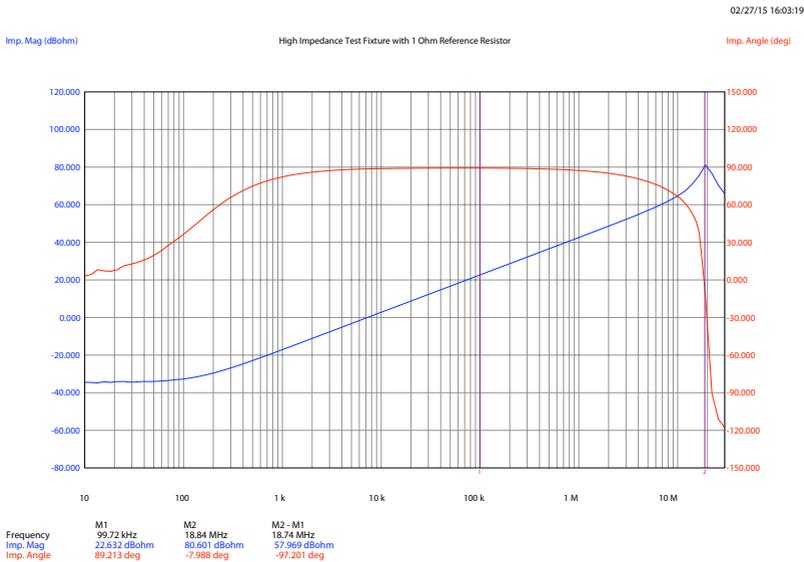


Abb. C.39: Impedanzkurve der Filterdrossel

Die gemessene Resonanzfrequenz liegt bei 18,84 MHz, die Induktivität beträgt 22 μH . Gemäß

$$w_{\text{res}}^2 = \frac{1}{LC} \quad (\text{C.1})$$

ergibt sich die Wicklungskapazität zu

$$C_{L(\text{TP})} = \frac{1}{(2\pi f_{\text{res}})^2 L_{\text{TP}}} = \frac{1}{(2\pi 18,84 \text{ MHz})^2 22 \mu\text{H}} = 3,23 \text{ pF}. \quad (\text{C.2})$$

Parasitäre Induktivität des Filterkondensators

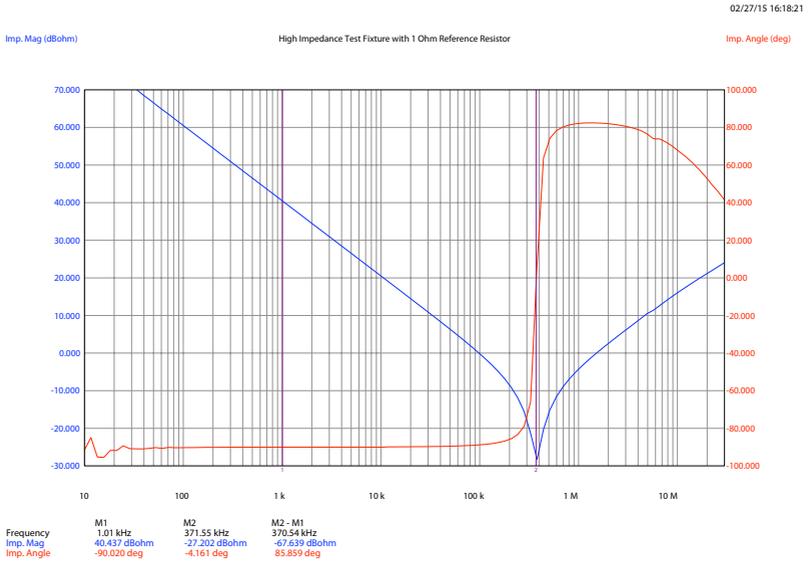


Abb. C.40: Impedanzkurve des Filterkondensators

Die Berechnung der parasitären Induktivität des Kondensators erfolgt nach dem selben Prinzip wie bei der Drossel. Die gemessene Resonanzfrequenz liegt bei 371,55 MHz, die Induktivität beträgt 1,5 μF .

Anhang D

Messungen zur Verlustleistung

Die Verlustleistungskurve wird in folgenden Messungen aus dem Produkt von Brückenspannung (Kanal 3, blau) und Drain-Strom (Kanal 4, grün) für die Schaltzyklen im Leerlauf, bei 7 A und unter Vollaussteuerung ermittelt. Die Oszilloskop-Aufnahmen unter Aussteuerung zeigen jeweils die gesamte Periode sowie den ausgewählten Schaltzyklus. In der Darstellung der Periode ist die Brückenspannung ausgeblendet, damit die Hüllkurve des Drainstroms gut sichtbar ist.

Unmittelbar unterhalb der Oszilloskop-Aufnahmen sind Messwerte der Kurven angezeigt mit den folgenden Entsprechungen:

Messfunktionen auf den Kurven

- P 1: $\max(F5)$: \hat{P}_{on} Spitzenwert der Verlustleistungskurve im gezeigten Schaltzyklus
- P 2: $\max(C4)$: $\hat{I}_{D(sin)}$ Maximalwert des Einschaltstroms in einer Periode des Ausgangssignals
- P 3: $\max(Z4)$: $\hat{I}_{D(pwm)}$ Spitzenwert des Einschaltstroms im gezeigten Schaltzyklus

Belegung der Oszilloskop-Kanäle

- Kanal 2 / pink / 10V/div : Gate-Source-Spannung der Low-Side
- Kanal 3 / blau / 20V/div : Brückenspannung
- Kanal 4 / grün / 10V/div : Drainstrom des High-Side FETs
- Funktion F 5 / gelb-orange : Verlustleistungskurve

D.1 Verlustleistung und- Energie im Leerlauf

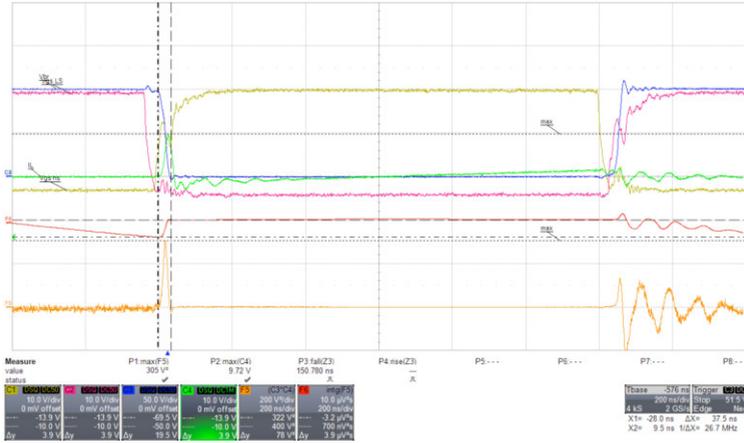


Abb. D.1: SiC-MOSFET: $E_{on(Leer)} = 5,7 \mu\text{J}$ | $\hat{P}_{on(Leer)} = 305 \text{ W}$ | $\hat{I}_D = I_{rr} = 10 \text{ A}$

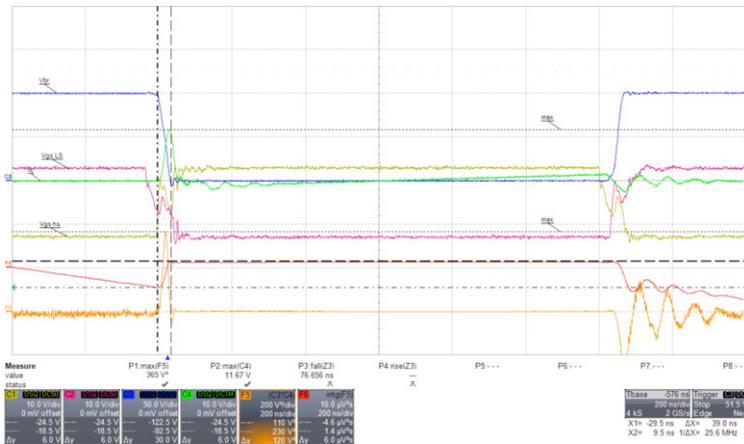


Abb. D.2: SiC-JFET: $E_{on(Leer)} = 7,1 \mu\text{J}$ | $\hat{P}_{on(Leer)} = 365 \text{ W}$ | $\hat{I}_D = I_{rr} = 11 \text{ A}$

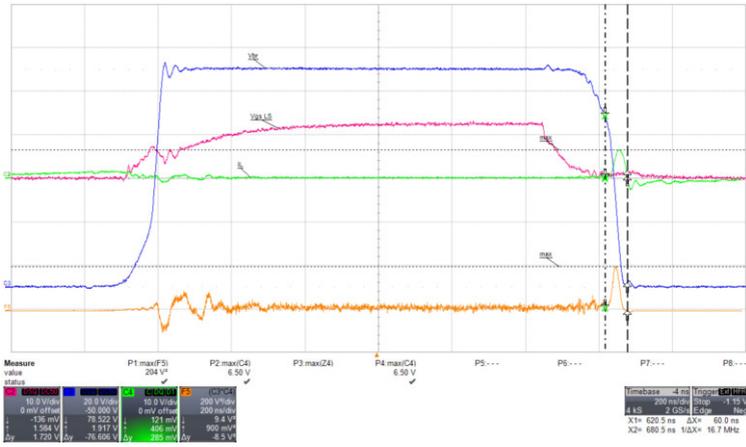


Abb. D.3: HEXFET: $E_{on(Leer)} = 4 \mu\text{J}$ | $\hat{P}_{on(Leer)} = 204 \text{ W}$ | $\hat{I}_D = I_{rr} = 6,5 \text{ A}$

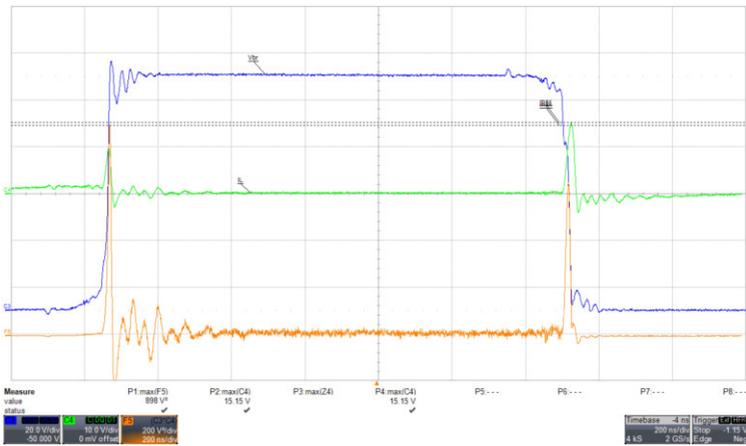


Abb. D.4: CoolMOS: $E_{on(Leer)} = 26 \mu\text{J}$ | $\hat{P}_{on(Leer)} = 898 \text{ W}$ | $\hat{I}_D = I_{rr} = 15 \text{ A}$

D.2 Verlustleistung und- Energie für 7 A

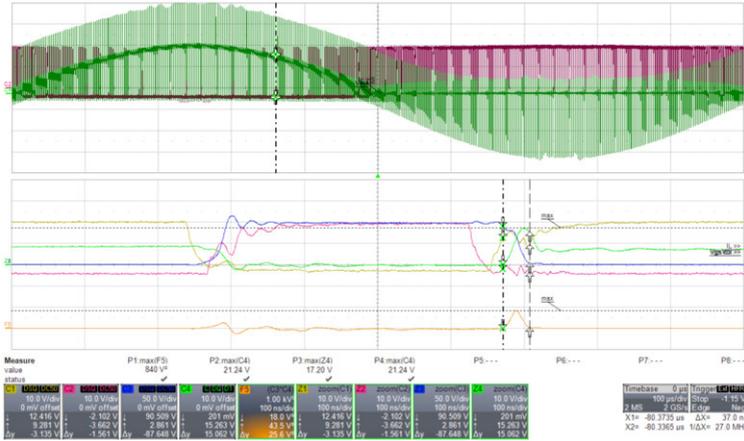


Abb. D.5: SiC-MOSFET: $E_{on(7A)} = 15,5 \mu\text{J}$ | $\hat{P}_{on} = 840 \text{ W}$ | $\hat{I}_{D,on} = 17 \text{ A}$ | $I_{rr} = 10 \text{ A}$

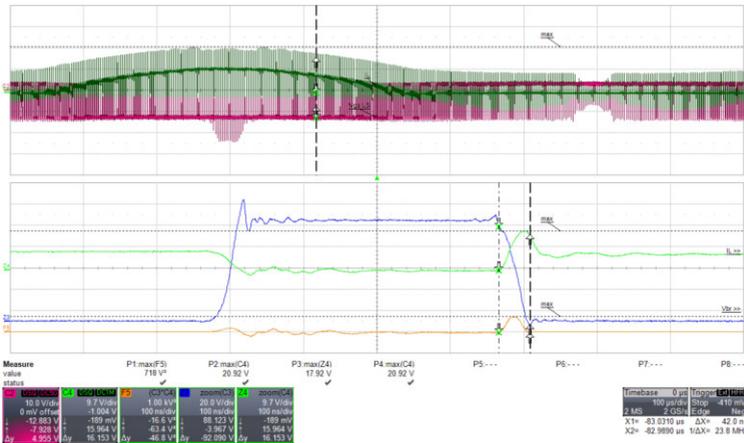


Abb. D.6: SiC-JFET: $E_{on(7A)} = 15 \mu\text{J}$ | $\hat{P}_{on} = 718 \text{ W}$ | $\hat{I}_{D,on} = 17 \text{ A}$ | $I_{rr} = 10 \text{ A}$

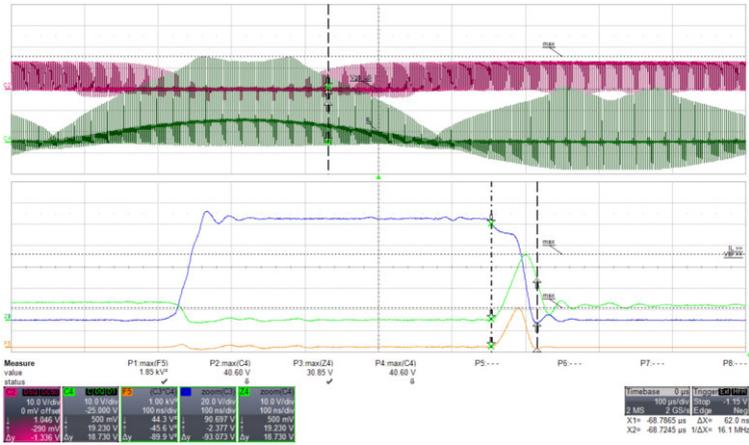


Abb. D.7: HEXFET: $E_{on}(7A) = 57 \mu J$ | $\hat{P}_{on} = 1850 W$ | $\hat{I}_{D,on} = 31 A$ | $I_{rr} = 24 A$

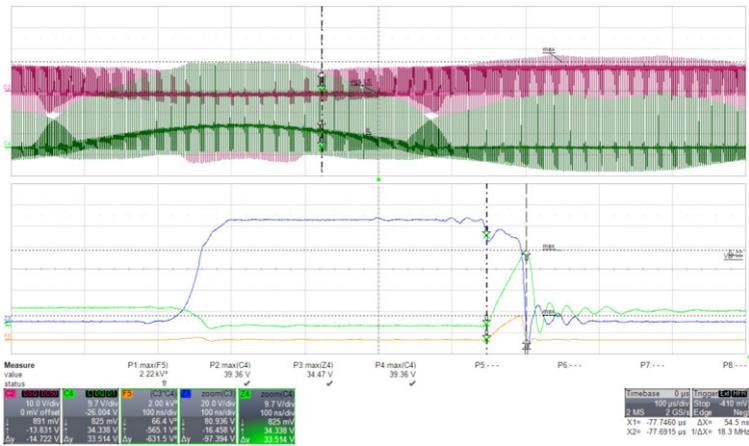


Abb. D.8: CoolMOS: $E_{on}(7A) = 61 \mu J$ | $\hat{P}_{on} = 2220 W$ | $\hat{I}_{D,on} = 34 A$ | $I_{rr} = 27 A$

D.3 Verlustleistung und- Energie unter Vollaussteuerung

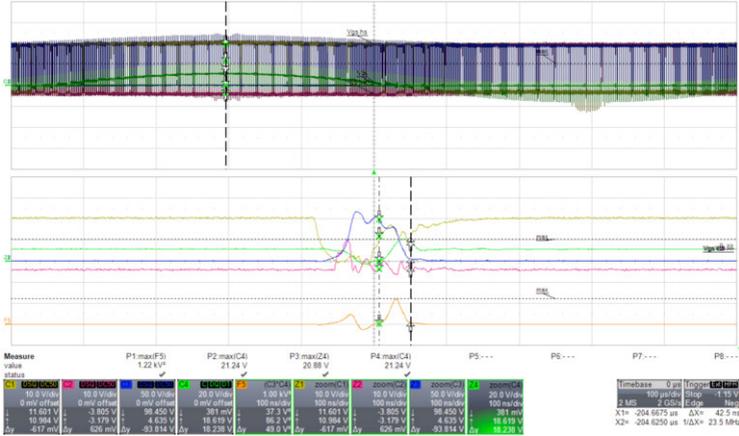


Abb. D.9: SiC-MOSFET: $E_{on(10A)} = 26 \mu J$ | $\hat{P}_{on} = 1,22 \text{ kW}$ | $\hat{I}_{D,on} = 21 \text{ A}$ | $I_{rr} = 11 \text{ A}$

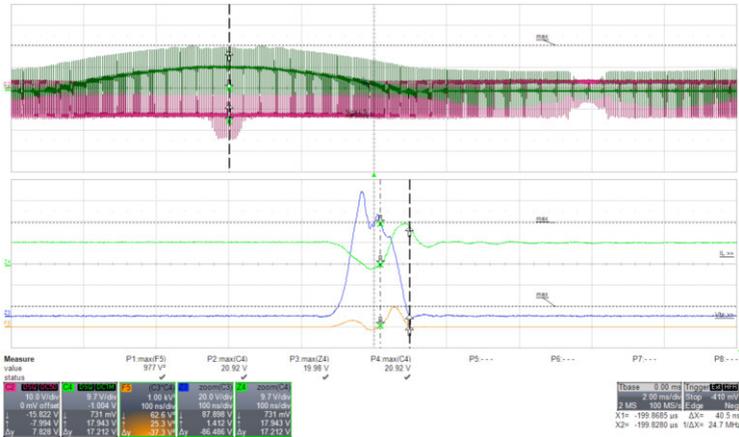


Abb. D.10: SiC-JFET: $E_{on(10A)} = 24 \mu J$ | $\hat{P}_{on} = 0,97 \text{ kW}$ | $\hat{I}_{D,on} = 21 \text{ A}$ | $I_{rr} = 11 \text{ A}$

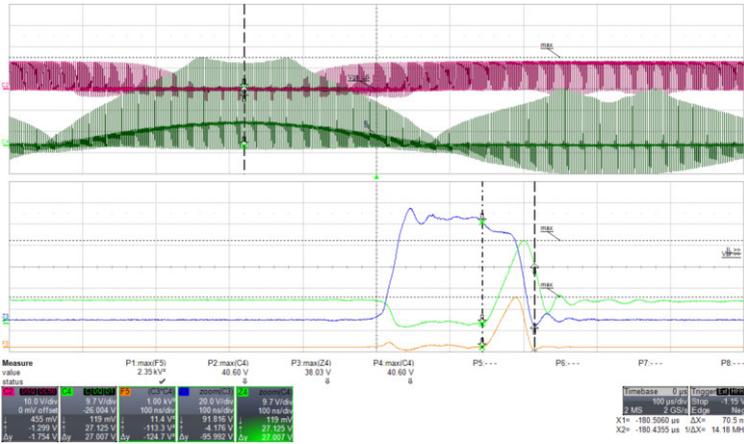


Abb. D.11: HEXFET: $E_{on(10A)} = 83 \mu J$ | $\hat{P}_{on} = 2,35 \text{ kW}$ | $\hat{I}_{D,on} = 38 \text{ A}$ | $I_{rr} = 28 \text{ A}$;
 Maximalwerte bei 9 A: $E_{on(9A)} = 94 \mu J$ | $\hat{P}_{on} = 2,55 \text{ kW}$ | $\hat{I}_{D,on} = 41 \text{ A}$
 $I_{rr} = 32 \text{ A}$

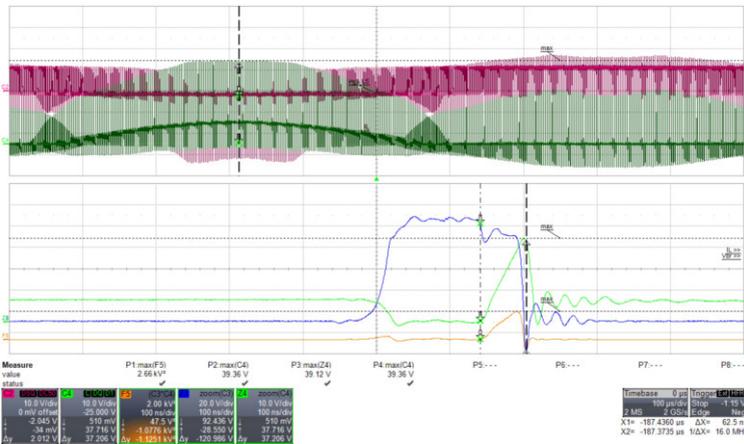


Abb. D.12: CoolMOS: $E_{on(9A)} = 83 \mu J$ | $\hat{P}_{on} = 2,66 \text{ kW}$ | $\hat{I}_{D,on} = 39 \text{ A}$ | $I_{rr} = 30 \text{ A}$

Literaturverzeichnis

- [1] ARISTOTELES, *Politik. Buch VIII (Bekker-Zahl:1340a)* (Übersetzt von Christian Garve (1803), ca. 334 a.D.).
- [2] BÖHMER, E., EHRHARDT, D., and OBERSCHELP, W., *Elemente der angewandten Elektronik* (Vieweg+Teubner, 16.Auflage, 2010).
- [3] CORDELL, B., *Designing Audio Power Amplifiers* (McGraw-Hill, 2011).
- [4] SELF, D., *Audio Power Amplifier Design* (Taylor & Francis, 2013).
- [5] HONDA, J. and ADAMS, J., *Class D audio amplifier basics*, International Rectifier Application Note AN-1071 (2005).
- [6] HONDA, J., *How Class D audio amplifiers work*, Tech. rep., Audio DesignLine (Jan. 2006).
- [7] KOESLAG, F., MOUTON, H. DU T., and MIDYA, P., *A Detailed Analysis of the Effect of Dead Time on Harmonic Distortion in a Class D Audio Amplifier*, IEEE AFRICON (2007).
- [8] NIELSEN, K., *Audio Power Amplifier Techniques With Energy Efficient Power Conversion*, Ph.D. thesis, Technical University of Denmark (DTU) (April 1998).
- [9] KULKA, Z., *Application of pulse modulation techniques for class-D audio power amplifiers*, Archives of Acoustics, 32 (2007).
- [10] FERSTENBERG, I., *Bridging Class D Amplifiers*, International Rectifier Application Note AN-1198 (July 2013).
- [11] NABAE, A., TAKAHASHI, I., and AKAGI, H., *A new neutral-point-clamped PWM inverter*, Industry Applications, IEEE Transactions on, 1, 518–523 (1981).
- [12] MATSUI, K., KAWATA, Y., and UEDA, F., *Application of parallel connected NPC-PWM inverters with multilevel modulation for AC motor drive*, Power Electronics, IEEE Transactions on, 15, 901–907 (2000).
- [13] MECKE, R., *Energy efficiency of two-level and multilevel inverters - A drive system comparison*, in Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17th European Conference on, 1–8 (IEEE, 2015).
- [14] FUJII, K., NOTO, Y., OSHIMA, M., and OKUMA, Y., *1-MW solar power inverter with boost converter using all SiC power module*, in Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17th European Conference on, 1–10 (IEEE, 2015).

- [15] MA, L., KEREKES, T., TEODORESCU, R., JIN, X., FLORICAU, D., and LISERRE, M., *The high efficiency transformer-less PV inverter topologies derived from NPC topology*, in Power Electronics and Applications, 2009. EPE'09. 13th European Conference on, 1–10 (IEEE, 2009).
- [16] PERSÖNLICHE GESPRÄCHE MIT CARSTEN WEGNER, *Abteilungsleiter der Entwicklung, Firma Camco Produktion- und Vertriebs-GmbH*.
- [17] KANG, K., ROH, J., CHOI, Y., ROH, H., NAM, H., and LEE, S., *Class-D audio amplifier using 1-bit fourth-order delta-sigma modulation*, Circuits and Systems II: Express Briefs, IEEE Transactions on, 55, 728–732 (2008).
- [18] SCHNICK, O; MATHIS, W., *Realisierung eines verzerrungsarmen Open-Loop Klasse-D Audio-Verstärkers mit SB-ZePoC*, Advances in Radio Science, 5, 225–230 (2007).
- [19] SOZAŃSKI, K.P., *A digital click modulator for a class-D audio power amplifier*, Elektronika: konstrukcje, technologie, zastosowania, 51, 84–88 (2010).
- [20] BLACK, H., *Modulation theory*. (D.Van Nostrand Company Inc., 1953).
- [21] MARTIN, J., *Theoretical efficiencies of class-D power amplifiers*, Electrical Engineers, Proceedings of the Institution of, 117, 1089–1090 (1970).
- [22] MOUTON, H. and PUTZEYS, B., *Understanding the PWM Nonlinearity: Single-Sided Modulation*, IEEE Transactions on Power Electronics, 27, 2116–2128 (2012).
- [23] GOLDBERG, J.M., *Signal processing for high resolution pulse width modulation based digital-to-analogue conversion*, Ph.D. thesis, University of London (1992).
- [24] GOLDBERG, J.M. and SANDLER, M.B., *New results in PWM for digital power amplification*, in Audio Engineering Society Convention 89 (Audio Engineering Society, 1990).
- [25] SANDLER, M.B., GOLDBERG, J.M., HIORNS, R., BOWMAN, R., WATSON, M., and ZIMAN, P., *Ultra-low distortion digital power amplification*, in Audio Engineering Society Convention 91 (Audio Engineering Society, 1991).
- [26] SANDLER, M.B., *Pseudo-natural pulse width modulation for high accuracy digital-to-analogue conversion*, Electronics letters, 27, 1491–1492 (1991).
- [27] GOLDBERG, J. and SANDLER, M., *New high accuracy pulse width modulation based digital-to-analogue convertor/power amplifier*, IEE Proceedings-Circuits, Devices and Systems, 141, 315–324 (1994).
- [28] SANDLER, M., *Digital-to-analogue conversion using pulse width modulation*, Electronics & communication engineering journal, 5, 339–348 (1993).
- [29] SONG, Z., *Digital pulse width modulation: Analysis, algorithms, and applications*, Ph.D. thesis, University of Illinois at Urbana-Champaign (2002).
- [30] SONG, Z. and SARWATE, D.V., *The frequency spectrum of pulse width modulated signals*, Signal Processing, 83, 2227–2258 (2003).

- [31] PASCUAL, C., SONG, Z., KREIN, P.T., SARWATE, D.V., MIDYA, P., and ROECKNER, W.J., *High-fidelity PWM inverter for digital audio amplification: spectral analysis, real-time DSP implementation, and results*, Power Electronics, IEEE Transactions on, 18, 473–485 (2003).
- [32] NGUYEN, K.C. and SARWATE, D.V., *Up-sampling and natural sample value computation for digital pulse width modulators*, in Information Sciences and Systems, 2006 40th Annual Conference on, 1096–1101 (IEEE, 2006).
- [33] PUTZEYS, B., *Pulse width-modulated noise shaper* (2003), uS Patent App. 10/535,299.
- [34] STEWART, R.W., GRUHLER, G., and ESSLINGER, R., *Digital audio power amplifiers using Sigma Delta Modulation-Linearity problems in the class-D power stage*, in Audio Engineering Society Convention 110 (Audio Engineering Society, 2001).
- [35] PUTZEYS, B.J. and DE SAINT MOULIN, R., *A True One-Bit Power D/A Converter*, in Audio Engineering Society Convention 112 (Audio Engineering Society, 2002).
- [36] MAGRATH, A.J. and SANDLER, M.B., *Digital-domain dithering of sigma-delta modulators using bit flipping*, Journal of the Audio Engineering Society, 45, 467–475 (1997).
- [37] ESSLINGER, R., GRUHLER, G., and STEWART, R.W., *Sigma-delta modulation in digital class-D power amplifiers: Methods for reducing the effective pulse transition rate*, in Audio Engineering Society Convention 112 (Audio Engineering Society, 2002).
- [38] ADAMS, R., GAALAAS, E., LIU, B.Y., MORAJKAR, R., NISHIMURA, N., and SWEETLAND, K., *Integrated Stereo Sigma-Delta Class D Amplifier*, in Audio Engineering Society Convention 118 (Audio Engineering Society, 2005).
- [39] MAGRATH, A. and SANDLER, M., *Hybrid pulse width modulation/sigma-delta modulation power digital-to-analogue converter*, IEE Proceedings-Circuits, Devices and Systems, 143, 149–156 (1996).
- [40] KOSTRZEWA, M. and KULKA, Z., *Time-domain performance investigation of the click modulation based PWM for digital class-D audio power amplifiers*, in Conference proceedings, signal processing, 121–126 (2005).
- [41] LOGAN, B., *Click modulation*, AT&T Bell Laboratories Technical Journal, 63, 401–423 (1984).
- [42] STREITENBERGER, M., BRESCH, H., and MATHIS, W., *A new concept for high performance class-D audio amplification*, in Audio Engineering Society Convention 106 (Audio Engineering Society, 1999).
- [43] STREITENBERGER, M. and MATHIS, W., *A novel coding topology for digital class-D audio power amplifiers with very low pulse-repetition rate*, in Solid-State Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European, 515–518 (IEEE, 2002).

- [44] STREITENBERGER, M., *Zur Theorie digitaler Klasse-D-Audioleistungsverstärker und deren Implementierung* (VDE-Verlag, 2005).
- [45] STEFANAZZI, L., OLIVA, A.R., and PAOLINI, E.E., *Alias-free digital click modulator*, IEEE Transactions on Industrial Informatics, 9, 1074–1083 (2013).
- [46] STREITENBERGER, M., BRESCH, H., and MATHIS, W., *Theory and implementation of a new type of digital power amplifier for audio applications*, in Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on, vol. 1, 511–514 (IEEE, 2000).
- [47] STEFANAZZI, L., PAOLINI, E., and OLIVA, A., *Click modulation: an off-line implementation*, in 2008 51st Midwest Symposium on Circuits and Systems (2008).
- [48] PASCUAL, C. and ROECKNER, B., *Computationally efficient conversion from pulse-code modulation to naturally sampled pulse-width modulation*, in Audio Engineering Society Convention 109 (Audio Engineering Society, 2000).
- [49] WAGH, P., *Closed-form spectral analysis of pulse-width modulation*, in Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on, vol. 3, 799–802 (IEEE, 2001).
- [50] NEUSER, S., *Implementation and evaluation of two PCM to PWM conversion algorithms on an MCU/DSP*, Diplomarbeit, Universität Siegen (Sept. 2015).
- [51] HONDA, J., *Class D audio amplifier basics II*, Tech. rep., International Rectifier (Feb. 2009).
- [52] HONDA, J. and CEREZO, J., *Class D Audio Amplifier Design*, Tech. rep., International Rectifier (Oct. 2003).
- [53] BINGHAM, I.M.P.M.C., *Effect of dead time on harmonic distortion in class-D audio power amplifiers*, Electronics Letters, Vol.35 No.12 (June 1999).
- [54] WEGNER, C., *Switching power amplifier and method for amplifying a digital input signal*, International Patent Application. US7276963 B2 (2007), uS Patent 7,276,963.
- [55] WEGNER, C., *unveröffentlichte Forschungsergebnisse der Promotion*.
- [56] ESSLINGER, R., GRÜHLER, G., and STEWART, R., *Feedback strategies in digitally controlled class-D amplifiers*, in Audio Engineering Society Convention 114 (Audio Engineering Society, 2003).
- [57] NIELSEN, K., *Pulse Referenced Control Method For Enhanced Power Amplification of a Pulse Modulated Signal*, International Patent Application. PCT/DK98/00133 (2004).
- [58] MUNK, STEEN M; ANDERSEN, K.S., *State of the art digital pulse modulated amplifier system*, in Audio Engineering Society Conference: 23rd International Conference: Signal Processing in Audio Recording and Reproduction (Audio Engineering Society, 2003).
- [59] NIELSEN, K., *Pulse edge delay error correction (PEDEC)-a novel power stage error correction principle for power digital-analog conversion*, in Audio Engineering Society Convention 103 (Audio Engineering Society, 1997).

- [60] NIELSEN, K., *PEDEC-A novel pulse referenced control method for high quality digital PWM switching power amplification*, in Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE, vol. 1, 200–207 (IEEE, 1998).
- [61] NIELSEN, K., *Digital Pulse Modulation Amplifier (PMA) topologies based on PEDEC control*, PREPRINTS-AUDIO ENGINEERING SOCIETY (1999).
- [62] PUTZEYS, B., *A universal grammar of class D amplification, tutorial. 124th AES convention* (2012).
- [63] NIELSEN, K., *Pulse modulation power amplifier with enhanced cascade control method*, International Patent Application. PCT/DK1997/000497 (2001), uS Patent 6,297,692.
- [64] NIELSEN, K., *MECC-A novel control method for high end switching audio power amplification*, in Audio Engineering Society Convention 105 (Audio Engineering Society, 1998).
- [65] FREDERIKSEN, T., BENGTTSSON, H., and NIELSEN, K., *A novel audio power amplifier topology with high efficiency and state-of-the-art performance*, in Audio Engineering Society Convention 109 (Audio Engineering Society, 2000).
- [66] PATE, M., RISBO, L., ANDREANI, P., and CHAO, K., *Distortion and error reduction in a class D power stage using feedback*, in 27th International AES Conference (2005).
- [67] RISBO, L. and ANDERSEN, H.K., *Conversion of a PCM signal into a UPWM signal*, Conversion of a PCM signal into a UPWM signal (2003), uS Patent 6,657,566.
- [68] RISBO, L., *Discrete-time modeling of continuous-time pulse width modulator loops*, in Audio Engineering Society Conference: 27th International Conference: Efficient Audio Power Amplification (Audio Engineering Society, 2005).
- [69] RISBO, L., HOYERBY, M.C., and ANDERSEN, M.A.E., *A versatile discrete-time approach for modeling switch-mode controllers*, in 2008 IEEE Power Electronics Specialists Conference, 1008–1014 (IEEE, 2008).
- [70] RISBO, L. and HØYERBY, M.C., *Suppression of continuous-time and discrete-time errors in switch-mode control loops*, in Audio Engineering Society Conference: 37th International Conference: Class D Audio Amplification (Audio Engineering Society, 2009).
- [71] RISBO, L. and NEESGAARD, C.N., *Loop filter for class D amplifiers*, US Patent Application. US2005/0017799 A1 (2005), uS Patent 7,002,406.
- [72] DING, L., HEZAR, R., and HUR, J., *Circuits and methods for cancelling non-linear distortions in pulse width modulated sequences*, US Patent Application. US2015/0070088 A1 (2015), uS Patent 9,209,791.
- [73] MIDYA, P., ROECKNER, W.J., and WAGH, P.A., *Switching amplifier having digital correction and method therefor*, US Patent Application. US6504427 B1 (2003), uS Patent 6,504,427.

- [74] PUTZEYS, B., *Globally modulated self-oscillating amplifier with improved linearity*, in Audio Engineering Society Conference: 37th International Conference: Class D Audio Amplification (Audio Engineering Society, 2009).
- [75] PUTZEYS, B., *Simple self-oscillating class d amplifier with full output filter control*, in Audio Engineering Society Convention 118 (Audio Engineering Society, 2005).
- [76] DAHL, N., IVERSEN, N.E., KNOTT, A., and ANDERSEN, M.A.E., *Comparison of Simple Self-Oscillating PWM Modulators*, in Audio Engineering Society Convention 140 (Audio Engineering Society, 2016).
- [77] POULSEN, S., *Towards active transducers*, Ph.D. thesis, Technical University of Denmark (DTU) (2004).
- [78] POULSEN, S. and ANDERSEN, M.A.E., *Self oscillating PWM modulators, a topological comparison*, in Power Modulator Symposium, 2004 and 2004 High-Voltage Workshop. Conference Record of the Twenty-Sixth International, 403–407 (IEEE, 2004).
- [79] MEYER, K.S., *Minimizing distortion in self-oscillating switching amplifiers*, Master's thesis, Technical University of Denmark (DTU) (2006).
- [80] NIELSEN, O.N., *Digital pulse width controlled oscillation modulator*, US Patent Application. US7479840 B2 (2009).
- [81] PUTZEYS, B., *Ncore Technologie White Paper*, Tech. rep., Hypex (2011).
- [82] PUTZEYS, B., *Digital audio's final frontier*, IEEE spectrum, 40, 34–41 (2003).
- [83] PUTZEYS, B., *Power amplifier* (2006), uS Patent 7,113,038.
- [84] NASHIT, S., ADRIAN, V., CUI, K., MAI, Q.A., GWEE, B.H., and CHANG, J.S., *A self-oscillating class D audio amplifier with dual voltage and current feedback*, in Proc. Int. Symp. Integrated Circuits (ISIC), 480–483 (2014).
- [85] BIRCH, T.H., PLOUG, R., and KNOTT, A., *Investigation of cross-talk in self-oscillating amplifiers*, Audio Engineering Society Convention 127 (2012).
- [86] NIELSEN, D., KNOTT, A., and PFAFFINGER, G., *Investigation of swiching frequency variations and EMI properties in self-oscillating class D amplifiers*, Proceedings of the 127th Audio Engineering Society Convention (2009).
- [87] HØYERBY, M.C.W. and ANDERSEN, M.A.E., *Carrier Distortion in Hysteretic Self-Oscillating Class-D Audio Power Amplifiers: Analysis and Optimization*, IEEE Transactions on Power Electronics, 24, 714–729 (2009).
- [88] NIELSEN, D., KNOTT, A., and ANDERSEN, M.A.E., *Class D audio amplifier with 4th order output filter and self-oscillating full-state hysteresis based feedback driving capacitive transducers*, in Proc. 16th European Conf. Power Electronics and Applications, 1–7 (2014).
- [89] POULSEN, S. and ANDERSEN, M.A.E., *Hysteresis controller with constant switching frequency*, IEEE Transactions on Consumer Electronics, 51, 688–693 (2005).

- [90] ANDERSEN, M. A. E.; LJUSEV, P., *Self-Oscillating Modulators for Direct Energy Conversion Audio Power Amplifiers*, Audio Engineering Society Conference: 27th International Conference: Class D Audio Amplification (2005).
- [91] PLOUG, R.O. and KNOTT, A., *Minimizing Crosstalk in Self Oscillating Switch Mode Audio Power Amplifiers*, in Audio Engineering Society Conference: 48th International Conference: Automotive Audio (Audio Engineering Society, 2012).
- [92] KNOTT, A., PFAFFINGER, G., and ANDERSEN, M.A.E., *Comparison of three different modulators for Power Converters with respect to EMI optimization*, in Proc. IEEE Int. Symp. Industrial Electronics, 117–123 (2008).
- [93] WEITZEL, C.E. and PALMOUR, J.W., *Silicon Carbide High-Power Devices*, IEEE Transactions on Electronic Devices (Oct. 1996).
- [94] BALIGA, B., *Fundamentals of Power Semiconductor Devices* (Springer US, 2010).
- [95] SHENG, K., UDREA, F., AMARATUNGA, G.A.J., and PALMER, P.R., *Behaviour of the CoolMOS device and its body diode*, in Solid-State Device Research Conference. Proceeding of the 31st European (2001).
- [96] DEBOY, G. and CHIOLA, D., *Bauelemente der Leistungselektronik und ihre Anwendungen*, in 6. ETG-Fachtagung, Bad Nauheim (April 2011).
- [97] GRIFONE FUCHS, V., WEGNER, C., NEUSER, S., and EHRHARDT, D., *A class-D power stage as an application for silicon carbide switches*, PCIM Power Electronic Conference (presentation slides), Nürnberg (May 2012).
- [98] TEXAS INSTRUMENTS, *TMS320x2806x Piccolo*, Technical Reference Manual, Texas Instruments (April 2011).
- [99] NEUSER, S., *Ansteuerung einer Klasse-D Endstufe mit dem TMDX28069USB controlSTICK*, Tech. rep., Projekt PWM4Audio, Universität Siegen (2013).
- [100] PERSÖNLICHE GESPRÄCHE MIT FRANK SITTE, *Entwicklungsingenieur, Firma Stamer Musikanlagen / HK Audio*.
- [101] HUANG, H., *Designing an LLC Resonant Half-Bridge Power Converter*, Power Supply Design Seminar, Texas Instruments (2010).
- [102] FAIRCHILD SEMICONDUCTOR, *Half-Bridge LLC Resonant Converter Design Using FSFR-series Fairchild Power Switch*, Application Note 4151 (2007).
- [103] DOMES, D. and ZHANG, X., *CASCADE LIGHT - normally-on JFET stand alone performance in a normally-off Cascode circuit*, Proceedings of the PCIM Conference Nürnberg (May 2010).
- [104] SIEMIENIEC, R., NÖBAUER, G., and DOMES, D., *Stability and performance analysis of a cascode switch and an alternative solution*, Microelectronics Reliability, Vol. 52, Issue 3 (March 2012).
- [105] KIENITZ, P., *Realisierung einer Ansteuerschaltung für selbstleitende Siliziumkarbid JFETs in einer Audio-Endstufe der Klasse D*, Master's thesis, Universität Siegen (September 2012).

- [106] SEMISOUTH LABORATORIES, *Datenblatt zu SJDP120R085 (SiC-JFET)* (2012).
- [107] SEVERNS, R., *Snubber Circuits For Power Electronics* (not id., 2008).
- [108] SEVERNS, R., *Design of Snubbers for Power Electronic Circuits*, handout (2014).
- [109] MOHAN, N., UNDELAND, T.M., and ROBBINS, W.P., *Power Electronics (2nd Edition)* (John Wiley & Sons, 1995).
- [110] MCMURRAY, W., *Optimum Snubbers for Power Semiconductors*, IEEE Transactions on Industry Applications, Vol.IA8 (1972).
- [111] MCMURRAY, W., *Selection of Snubbers and Clamps to Optimize the Design of Transistor Switching Converters*, IEEE Transactions on Industry Applications (1980).
- [112] DROEGE, J., *RC-Snubber auslegen*, Tech. rep., Camco GmbH (2014).
- [113] SEMISOUTH LABORATORIES, *Cascode for 85mohm JFET*, Tech. rep., Semisouth, Nigel Springett (December 2011).
- [114] ONLINE., <https://de.wikipedia.org/wiki/Kunststoff-Folienkondensator>.
- [115] WESTERMANN, W., *Der Folienkondensator ein Auslaufmodell ?*, Tech. rep., WIMA-Sonderdruck (Sept. 2005).
- [116] HARPER, C.A., *High Performance Printed Circuit Boards*, McGraw-Hill professional engineering (McGraw-Hill, 2000).
- [117] CRUMP, S., *Class-D Audio Power Amplifiers: PCB Layout For Audio Quality, EMC & Thermal Success*, Audio Power Amplifier Applications, Texas Instruments (August 2010).
- [118] ARCHAMBEAULT, B., *PCB Design for Real-World EMI Control*, The Springer International Series in Engineering and Computer Science (Springer, 2002).
- [119] ZIMNIK, H., *Top oder Flop - Eine Frage des Layouts*, Tech. rep.
- [120] LENOIR, E., *Leiterbahnführung bei Spannungswandlern*, D&V KOMPENDIUM (2004/2005).
- [121] EHRHARDT, D., *Skript zur Vorlesung Analoge Schaltungstechnik*, Universität Siegen (SoSe 2010).
- [122] AHMADI, H., *Calculating Creepage and Clearance Early Avoids Design Problems Later*, March/April (2001).
- [123] EUROPÄISCHE NORM 60065, *Audio- Video- und ähnliche elektronische Geräte - Sicherheitsanforderungen*, EN 60065:2002 + A1:2006 (2006).
- [124] APPEL, T. and ECKEL, H.G., *Reverse Recovery Behavior of the Body Diode of the SiC MOSFET*, Proceedings of the PCIM Conference Nürnberg (May 2012).
- [125] WANG, Z. and SHENG, K., *Analysis on Reverse Recovery Characteristic of SiC MOSFET Intrinsic Diode*, IEEE Energy Conversion Congress and Exposition (ECCE) (2014).

- [126] BARBIERI, T., *SiC power devices gain traction among electric vehicles manufacturers*, EE times Europe Automotive (online-Article by Cree Inc.) (May, 2014).
- [127] GRIFONE FUCHS, V., WEGNER, C., NEUSER, S., and EHRHARDT, D., *A class-D power stage as an application for silicon carbide switches*, PCIM Power Electronic Conference, Nürnberg (May 2012).
- [128] SCHRÖDER, M., *Ermittlung von Spice-Parametern diverser Leistungstransistoren und Verifikation derselben anhand einer simulierten Klasse-D-Leistungsstufe*, Diplomarbeit, Universität Siegen (Dec. 2013).
- [129] GRIFONE FUCHS, V., WEGNER, C., NEUSER, S., and EHRHARDT, D., *The benefit of silicon carbide for a class-D power stage*, 133rd Audio Engineering Society Convention (AES), Vol. 133, San Francisco (October 2012).
- [130] HOFER, B., *Measuring Distortion in Switching Amplifiers*, in 27th International AES Conference (Audio Engineering Society, 2005).
- [131] HOFER, B., *Measuring Switch-mode Power Amplifiers*, White Paper (October 2003).
- [132] NEESGAARD, C., *Digital Audio Measurements*, Tech. rep., Texas Instruments (Jan. 2001).
- [133] ST-MICROELECTRONICS, *vorläufiges Datenblatt zu SCTW90N65G2V (SiC-MOSFET)*, preliminary Sept. 2016.
- [134] USiC, *vorläufiges Datenblatt zu UJC06505K (SiC-JFET-Kaskode)*, preliminary Jan. 2016.
- [135] PLOUG, R.O., KNOTT, A., and POULSEN, S.B., *GaN Power Stage for Switch Mode Audio Amplification*, in Audio Engineering Society Convention 138 (Audio Engineering Society, 2015).
- [136] DURAIJ, M., IVERSEN, N.E., PETERSEN, L.P., and BOSTRÖM, P., *Self-oscillating 150 W switch-mode amplifier equipped with eGaN-FETs*, in Audio Engineering Society Convention 139 (Audio Engineering Society, 2015).

Danksagungen

Diese Dissertation entstand während meiner Zeit als wissenschaftliche Mitarbeiterin am Lehrstuhl für Analoge Schaltungstechnik der Universität Siegen unter der Leitung von Prof. Dr.-Ing. Dietmar Ehrhardt. Mein besonderer Dank gilt Professor Ehrhardt, meinem Doktorvater, für die Überlassung dieses interessanten Themas und für eine Betreuung, die mir weitreichende Freiräume gewährte. Für die stetige Begleitung auf dem mitunter beschwerlichen Weg einer Promotion möchte ich mich an dieser Stelle herzlich bedanken. Prof. Dr.-Ing. Günter Schröder möchte ich meinen Dank für die Übernahme des Koreferats und den konstruktiven Austausch zu meiner Arbeit aussprechen. Über das entgegengebrachte Interesse habe ich mich sehr gefreut. Prof. Dr.-Ing. Rainer Brück danke ich herzlich für die Leitung des Promotionsverfahrens und Prof. Dr.-Ing. Mustafa Kizilcay für seine Tätigkeit als vierter Prüfer. Prof. Dr.-Ing. Mario-Pacas bin ich für die Anregungen zu Siliziumkarbid dankbar.

Der Firma Camco danke sehr ich für die großzügige Bereitstellung von Infrastruktur und Messequipment. Mein besonderer Dank gilt Carsten Wegner, der immer ein offenes Ohr für mich hatte und mich durch bereichernde Diskussionen und oftmals zielführenden Anregungen unterstützt hat. Herzlichen Dank. Dem gesamten Team der Entwicklungsabteilung möchte ich für die Hilfsbereitschaft und die stets nette und entspannte Arbeitsatmosphäre danken. Bei der Firma Semisouth bedanke ich mich für die Erteilung eines Forschungsauftrags und der Bereitstellung der SiC-JFETs.

Für die Gewährung eines Promotionsstipendiums bin ich der Universität Siegen sehr dankbar. An dieser Stelle möchte ich auch dem FraMeS-Programm und insbesondere meiner Mentorin Dr. Mechthild Klotz danken, deren Rat mir, auch über akademische Fragen hinaus, immer sehr wertvoll ist. Vielen Dank an alle Studierenden, die mit Diplom- und Bachelorarbeiten diese Dissertation vorangebracht haben. Ein besonderer Dank gilt Sebastian Neuser, der mit seinem Engagement meine Arbeit nicht nur während der Zeit als studentische Hilfskraft unterstützt hat.

Meinen Korrekturlesern Anna, Adrian, Gunnar und meinem Vater bin ich für ihre Gründlichkeit, die bereichernden Anmerkungen und ihren Zuspruch sehr dankbar. Anne Wegner und Harry Dymond danke ich herzlich für die Korrektur des englischen Abstracts. Darüber hinaus gebührt jedem mein Dank, der durch differenzierte Betrachtung und kreativen Diskurs zur Qualität dieser Arbeit beigetragen hat.

Ein besonderer Dank gilt meinen Eltern, die mir stets Ermutigung, Motivation und grenzenlose Unterstützung entgegengebracht haben. Meinem Bruder Raphael und meiner langjährigen Freundin Anna Wigger danke ich für die hervorragende akademische Kritik und die aufheiternden Worte in den Höhen und Tiefen der Promotion. Danken möchte ich auch meinen Schwiegereltern und meinen Freunden, von denen jeder auf unterschiedliche Art zum Gelingen der Promotion beigetragen hat.

Meinem Mann Bastian danke ich von Herzen für die unermüdliche Unterstützung während der Promotion und dafür, dass er mir immer zur Seite steht. Meinem Sohn Nico bin ich für die (für einen dreijährigen) schier unendliche Geduld und sein stets heiteres Wesen dankbar, welches mir oft ein Lichtblick war.



Verena Grifone Fuchs studierte von 2001 bis 2007 Elektrotechnik mit dem Schwerpunkt Mikro- und Halbleiterelektronik an der Universität Siegen. Ihre Diplomarbeit „Analyse und Bewertung einer 24bit-Audio-Übertragungsstrecke für den professionellen Beschallungsbereich“ entstand 2007 bei der Firma Stamer Musikanlagen (HK Audio / Hughes & Kettner) und wurde im Jahre 2008 mit dem Studienpreis des Kreises Altenkirchen ausgezeichnet. Nach dem Studium promovierte sie am Lehrstuhl für Analoge Schaltungstechnik und erhielt im Jahre 2007 ein Promotionsstipendium der Universität Siegen. Ihre Dissertation entstand in Zusammenarbeit mit der Firma Camco GmbH und wurde 2017 mit dem Titel „Siliziumkarbid-Transistoren für Audioverstärker der Klasse-D“ veröffentlicht.

In professionellen Veranstaltungen trägt die Beschallungsanlage mit mehreren hundert einzelnen Audioverstärkern einen wesentlichen Teil zum Klangerlebnis bei. Die hier eingesetzten Audioverstärker müssen nicht nur höchsten Anforderungen bezüglich der Audioqualität genügen, sondern auch möglichst effizient, leicht und handlich sein. Effizienz und Gewicht sind die wesentlichen Vorteile eines Klasse-D-Verstärkers. Bedingt durch die schaltende Betriebsart der Transistoren kann eine hohe Leistung auf kleinem Bauraum mit geringen Gewicht vereint werden. Da die Audioqualität im Vergleich zu seinem linearen Pendant jedoch etwas zurücksteht, wird meist letzteres bevorzugt eingesetzt. In der Vergangenheit wurden viele Anstrengungen unternommen, um die Audioqualität anzugleichen. Hierbei handelte es sich jedoch ausschließlich um Kompensationsmechanismen - Die Ursache, welche unter anderem im realen Schaltverhalten der Transistoren zu suchen ist, konnte bisher nicht behoben werden. Gelingt eine grundlegende Verbesserung der Audioqualität, würde sich die Komplexität einer Beschallungsanlage reduzieren. Die Verwendung neuer Transistortechnologien mit besseren Schaltcharakteristika setzt bei der Ursache der minderen Audioqualität an. Im Rahmen dieser Dissertation wird das Potential von Siliziumkarbid-Transistoren für die Klasse-D-Technik auf der Basis intensiver Untersuchungen von Schaltverhalten, Audioqualität sowie Leistung und Wirkungsgrad ergründet. Die Analyse der Audioqualität deckt interessante Aspekte auf, welche zur Erweiterung der etablierten Theorie eines D-Verstärkers führen. Darüber hinaus wird erstmalig der Zusammenhang zwischen den Halbleitereigenschaften des Transistors und der Audioqualität hergestellt. Die Dissertation gibt im Ausblick einen ganzheitlichen Ansatz, wie Siliziumkarbid-Transistoren in der Leistungsstufe des Verstärkers neue Perspektiven für die Klasse-D-Technik eröffnen.